Panasonic

MICROCOMPUTER MN103H

MN103HF43/44/45/46/47/48 シリーズ
MN103HF53/54/55/56/57/58 シリーズ
LSI 説明書 前編

Pub.No. 2375401-010

本書に記載の技術情報および半導体のご使用にあたってのお願いと注意事項

(1)　本書に記載の製品および技術情報を輸出または非居住者に提供する場合は、当該国における法令、特に安全保障輸出管理に関する法令を遵守してください。

(2)　本書に記載の技術情報は、製品の代表特性および応用回路例などを示したものであり、それをもってパナソニック株式会社または他社の知的財産権もしくはその他の権利の許諾を意味するものではありません。したがって、上記技術情報のご使用に起因して第三者所有の権利にかかわる問題が発生した場合、当社はその責任を負うものではありません。

(3)　本書に記載の製品は、一般用途(事務機器、通信機器、計測機器、家電製品など)および本書に個別に記載されている用途に使用されることを意図しております。
　特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途
　－　特定用途(航空・宇宙用、輸送機器、交通信号機器、燃焼機器、生命維持装置、安全装置など)へのご使用をお考えのお客様は、事前に当社営業窓口までご相談願います。ご相談なく使用されたことにより発生した損害などについては責任を負いかねますのでご了承ください。

(4)　本書に記載の製品および製品仕様は、改良などのために予告なく変更する場合がありますのでご了承ください。したがって、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格書または仕様書をお求め願い、ご確認ください。

(5)　設計に際しては、絶対最大定格、動作保証条件(動作電源電圧、動作環境等)の範囲内でご使用いただきますようお願いいたします。特に絶対最大定格に対しては、電源投入および遮断時、各種モード切替時などの過渡状態においても、超えることのないように十分なご検討をお願いいたします。保証値を超えてご使用された場合、その後に発生した機器の故障、欠陥については当社として責任を負いません。
　また、保証値内のご使用であっても、半導体製品について通常予測される故障発生率、故障モードをご考慮の上、当社製品の動作が原因でご使用機器が人身事故、火災事故、社会的な損害などを生じさせない冗長設計、延焼対策設計、誤動作防止設計などの システム上の対策を講じていただきますようお願いいたします。

(6)　製品取扱い時、実装時およびお客様の工程内における外的要因（ESD、EOS、熱的ストレス、機械的ストレス）による故障や特性変動を防止するために、使用上の注意事項の記載内容を守ってご使用ください。
　また、防湿包装を必要とする製品は、保存期間、開封後の放置時間など、個々の仕様書取り交わしの折に取り決めた条件を守ってご使用ください。

(7)　本書の一部または全部を当社の文書による承諾なしに、転載または複製することを堅くお断りいたします。

20100202

本書はじめ当社半導体についてのお問合せは、当社営業部門へお願いいたします。

PanaXSeries は、パナソニック株式会社の商標です。
その他記載された会社名およびロゴ、製品名などは該当する各社の商標または登録商標です。

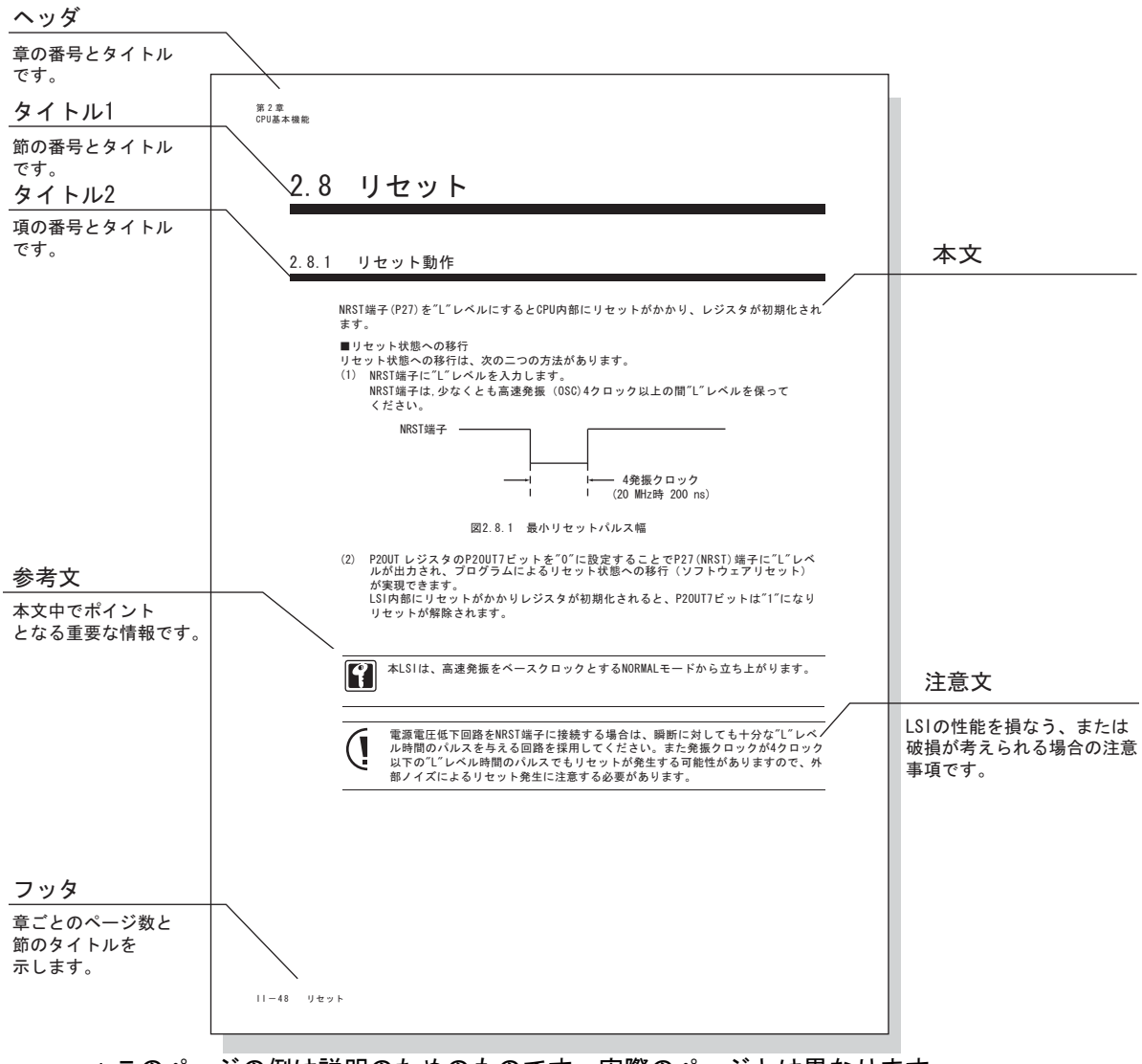
本書の読み方

■ 本書の目的

本LSI説明書の主な目的は、概要、CPU基本機能、割込み機能、ポート機能、タイマ機能、シリアルインタフェース機能、その他の周辺ハードウェア機能を説明することです。
各章は、機能の概要、ブロック図、制御レジスタ、動作説明、設定例で構成されています。

■ 本書の構成

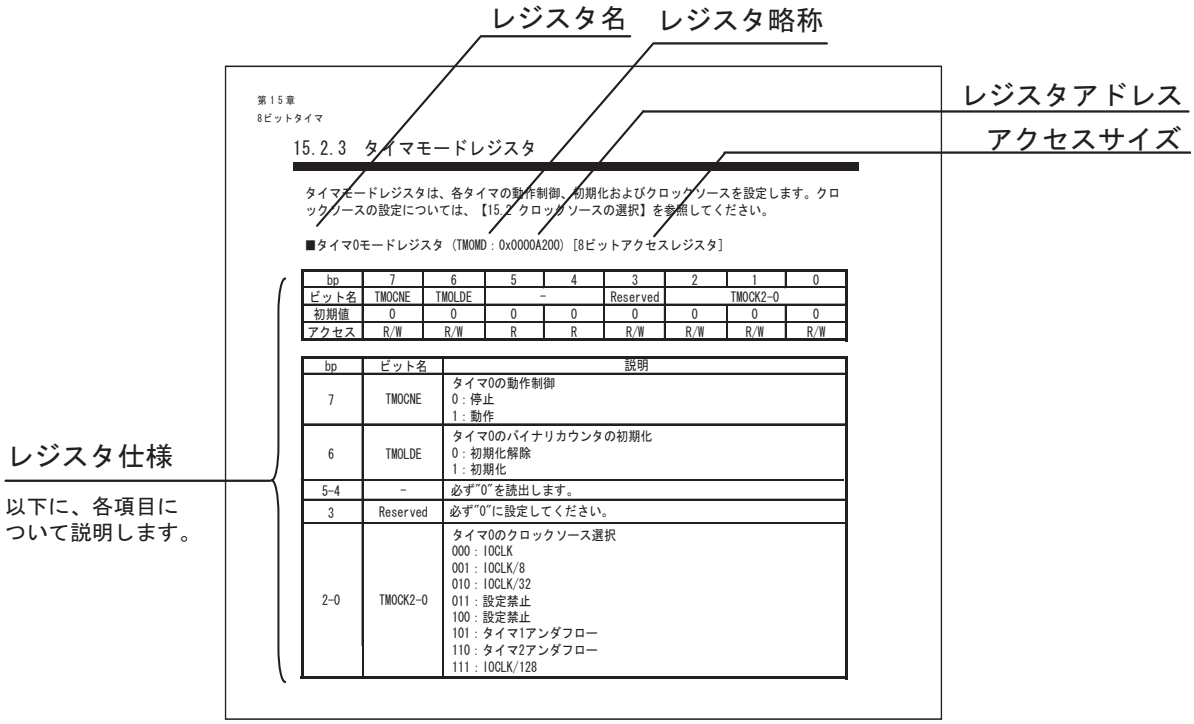
本書は大きく分けてタイトル、本文、参考文、注意文から構成されています。以下に、各部分のレイアウトと定義を示します。



＊このページの例は説明のためのものです。実際のページとは異なります。

■ レジスタ表の読み方

各章のレジスタ表の読み方について説明します。



第15章
8ビットタイマ

15.2.3 タイマモードレジスタ

タイマモードレジスタは、各タイマの動作制御、初期化およびクロックソースを設定します。クロックソースの設定については、【15.2 クロックソースの選択】を参照してください。

■タイマ0モードレジスタ（TMOMD：0x0000A200）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	TMOCNE	TMOLDE	-		Reserved	TMOCK2-0		
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	TMOCNE	タイマ0の動作制御 0：停止 1：動作
6	TMOLDE	タイマ0のバイナリカウンタの初期化 0：初期化解除 1：初期化
5-4	-	必ず"0"を読出します。
3	Reserved	必ず"0"に設定してください。
2-0	TMOCK2-0	タイマ0のクロックソース選択 000：IOCLK 001：IOCLK/8 010：IOCLK/32 011：設定禁止 100：設定禁止 101：タイマ1アンダフロー 110：タイマ2アンダフロー 111：IOCLK/128

＊このレジスタ表は説明のためのものです。実際のレジスタ表とは異なります。

・bp
　各レジスタのビット位置を示します。

・ビット名
　ビットの略称を示します。ビットの略称以外に、以下の2種類の記載があります。
　　Reserved:ビットが実装されています。
　　-　　:ビットが実装されていません。

・初期値
　リセット解除直後のビットの値を2進数で示します。
　初期値が不定の場合、"X"と記載します。

・アクセス
　"R"は読出し可能、"W"は書込み可能であることを表します。

・説明
　ビット機能の概略と設定値を示します。
　記載内容に従って、レジスタアクセスを行ってください。

■ 検索の方法

必要な情報を効率よく探すために、本書には 3 つの検索方法があります。

1. 各所の冒頭を検索する場合は、巻頭のインデックスをご覧ください。

2. 各タイトルを検索する場合は、巻頭の目次をご覧ください。

3. 各ページにはその章タイトルがページの上端に、タイトル1がページの下端にレイアウトされています。ページをめくりながら、記載内容の概略が把握できます。

■ 関連マニュアル

当社では MN103S シリーズに対して、本書の他に次のマニュアルを用意しています。

・「MN1030/MN103Sシリーズ 命令説明書」
〈命令説明〉

・「MN1030/MN103S/MN103Lシリーズ Cコンパイラ ユーザーズマニュアル 操作編」
〈Cコンパイラのインストール、起動、オプションの説明〉

・「MN1030/MN103S/MN103Lシリーズ Cコンパイラ ユーザーズマニュアル 言語編」
〈C言語の文法説明〉

・「MN1030/MN103S/MN103Lシリーズ Cコンパイラ ユーザーズマニュアル ライブラリ編」
〈Cコンパイラ標準ライブラリの説明〉

・「MN1030/MN103S/MN103Lシリーズ クロスアセンブラ ユーザーズマニュアル」
〈アセンブラ文法、記法説明〉

・「MN103S/MN103Lシリーズ 組み込み向けC++コンパイラ ユーザーズマニュアル 操作編」
〈組み込み向けC++コンパイラのインストール、起動、オプションの説明〉

・「MN1030/MN103Sシリーズ インストールマニュアル」
〈統合開発環境DebugFactory Builder、Cコンパイラ、リアルタイムOSのインストール、インサーキットエミュレータの立上げ〉

・「PanaX EX インストールマニュアル」
〈統合開発環境DebugFactory Builder、Cコンパイラ、リアルタイムOSのインストール、オンボード環境の立上げ〉

・「PanaX NEO インストールマニュアル」
〈統合開発環境DebugFactory Builder、Cコンパイラ、リアルタイムOSのインストール、オンボード環境の立上げ〉

・「PanaX EX Commander 取扱説明書」
〈フラッシュマイコンプログラマ〉

■ 注意

上記関連マニュアルの内容を、予告なしに更新することがあります。
設計する際は、必ず最新の資料を確認してください。

■ ご連絡先

当社営業部門にお問合わせください。

目次

第 1 章　概要

第 2 章　CPU

第 3 章　拡張演算命令

第 4 章　クロックジェネレータ

第 5 章　動作モード

第 6 章　DMA コントローラ

第 7 章　割込みコントローラ

第 8 章　リセット機能

第 9 章　電源電圧検知機能

第 10 章　クロック監視回路

第 11 章　ウォッチドッグタイマ

第 12 章　ウォッチドッグタイマ 2

第 13 章　レジスタプロテクト機能

第 14 章　ノイズフィルタ

第 15 章　I/O ポート（MN103HFx8 シリーズ）

第 16 章　I/O ポート（MN103HFx7 シリーズ）

第 17 章　I/O ポート（MN103HFx6 シリーズ）

第 18 章　I/O ポート（MN103HFx5 シリーズ）

第 19 章　I/O ポート（MN103HFx4 シリーズ）

第 20 章　I/O ポート（MN103HFx3 シリーズ）

第 21 章　8 ビットタイマ

第 22 章　16 ビットタイマ

第 23 章　モータ制御用 PWM

第 24 章　マルチフィードアシスト

第 25 章　シリアルインタフェース

第 26 章　LIN コントローラ

第 27 章　CAN コントローラ

第 28 章　A/D コンバータ

第 29 章　VGA（可変ゲインアンプ）機能

第 30 章　コンパレータ

第 31 章　D/A コンバータ

第 32 章　内蔵フラッシュメモリ

第 33 章　オンボードデバッグ機能

目次

目 次

第 1 章 概要 I-1

1.1 概要 I-2

1.2 製品一覧 I-3

1.3 特長 I-7

1.4 端子 I-18
1.4.1 端子配置図 I-18

1.5 端子機能 I-24
1.5.1 端子機能 (MN103HFx8 シリーズ) I-24
1.5.2 端子機能 (MN103HFx7 シリーズ) I-34
1.5.3 端子機能 (MN103HFx6 シリーズ) I-44
1.5.4 端子機能 (MN103HFx5 シリーズ) I-52
1.5.5 端子機能 (MN103HFx4 シリーズ) I-59
1.5.6 端子機能 (MN103HFx3 シリーズ) I-65

1.6 電気的特性 I-70
1.6.1 絶対最大定格 I-70
1.6.2 動作条件 I-71
1.6.3 DC 特性 I-73
1.6.4 アナログ特性 I-76
1.6.5 AC 特性 I-80
1.6.6 フラッシュ EEPROM E/W 特性 I-80

1.7 外形寸法図 I-81

1.8 回路設計上の注意事項 I-87
1.8.1 使用に際して I-87
1.8.2 未使用端子の処理 I-88
1.8.3 電源の立上げ方 I-89
1.8.4 LSI 用電源回路について I-90
1.8.5 発振子の接続例 I-91
1.8.6 シリアルプログラマ / オンボードデバッガの端子接続 I-92

第 2 章 CPU II-1

2.1 CPU の基本仕様 II-2
2.1.1 CPU のブロック構成 II-3

2.2 レジスタセット II-5
2.2.1 データレジスタ II-6
2.2.2 アドレスレジスタ II-6
2.2.3 スタックポインタ II-6

2.2.4 プログラムカウンタ II-6
2.2.5 乗除算レジスタ II-7
2.2.6 ループ命令レジスタ II-7
2.2.7 ループアドレスレジスタ II-7
2.2.8 プロセッサステータスワード II-8

2.3 データ形式 II-10

2.4 命令 II-11
2.4.1 記号説明 II-11
2.4.2 命令フォーマット II-12
2.4.3 アドレッシングモード II-13
2.4.4 命令セット II-14
2.4.5 命令セット一覧 II-17

2.5 メモリ空間 II-18
2.5.1 メモリマップ II-19
2.5.2 レジスタマップ II-21

2.6 フラッシュオプション II-36

2.7 キャッシュ II-38
2.7.1 キャッシュの特長 II-38
2.7.2 キャッシュ関連レジスタ II-39
2.7.3 命令キャッシュ II-41

2.8 ROM コレクション機能 II-45
2.8.1 ROM コレクション関連レジスタ II-45
2.8.2 ROM コレクションの動作 II-49
2.8.3 ROM コレクションの設定例 II-50

第 3 章 拡張演算命令 III-1

3.1 拡張演算器の概要 III-2

3.2 拡張演算命令専用のレジスタセット III-3
3.2.1 拡張レジスタの仕様 III-4

3.3 拡張演算命令セット III-6
3.3.1 記号説明 III-7
3.3.2 拡張演算命令の仕様 III-8

3.4 拡張演算器使用上の注意点 III-42
3.4.1 コンパイラ使用上の注意点 III-43
3.4.2 オンボードデバッガ使用時の注意点 III-44
3.4.3 拡張レジスタのデータ退避、復帰時の注意点 III-46
3.4.4 拡張演算命令セット一覧 III-48

第4章 クロックジェネレータ IV-1

4.1 クロックジェネレータの概要 IV-2
4.1.1 クロックジェネレータの機能一覧 IV-2
4.1.2 クロックジェネレータのブロック図 IV-3

4.2 クロックジェネレータ制御レジスタ IV-4
4.2.1 PLL 制御レジスタ IV-4
4.2.2 クロック制御レジスタ IV-6

4.3 クロックジェネレータの詳細 IV-7
4.3.1 クロックジェネレータの仕様 IV-7
4.3.2 クロックジェネレータの設定例 IV-8

第5章 動作モード V-1

5.1 動作モードの概要 V-2
5.1.1 動作モードの遷移図 V-3

5.2 動作モードの制御レジスタ V-4
5.2.1 CPU モードレジスタ V-5

5.3 動作モードの詳細 V-6
5.3.1 動作モードの仕様 V-6
5.3.2 スタンバイモードの移行設定例 V-9
5.3.3 スタンバイモード移行時の注意 V-11

第6章 DMA コントローラ VI-1

6.1 DMA コントローラの概要 VI-2
6.1.1 DMA コントローラの機能一覧 VI-2
6.1.2 DMA コントローラのブロック図 VI-4

6.2 DMA コントローラの制御レジスタ VI-5
6.2.1 DMA 制御レジスタ VI-6
6.2.2 DMA ソースアドレスレジスタ VI-11
6.2.3 DMA デスティネーションアドレスレジスタ VI-12
6.2.4 DMA 転送語数レジスタ VI-13
6.2.5 DMA 間欠サイクルレジスタ VI-14

6.3 DMA コントローラの詳細 VI-15
6.3.1 DMA 転送の対象空間 VI-15
6.3.2 DMA 転送の動作 VI-16
6.3.3 DMA 転送モード VI-18
6.3.4 割込み要因 VI-20
6.3.5 優先順位 VI-22
6.3.6 DMA 転送の設定例 VI-24

第7章 割込みコントローラ VII-1

7.1 割込みコントローラの概要 VII-2
7.1.1 割込みコントローラの機能一覧 VII-2

7.2 割込みコントローラの制御レジスタ VII-4
7.2.1 割込みアドレスレジスタ VII-6
7.2.2 ノンマスカブル割込み制御レジスタ VII-8
7.2.3 システムエラー割込みステータスレジスタ VII-9
7.2.4 グループn割込み制御レジスタ VII-10
7.2.5 割込み受理グループレジスタ VII-76
7.2.6 外部割込み条件指定レジスタ VII-77

7.3 割込みの種類 VII-84
7.3.1 リセット割込み VII-84
7.3.2 ノンマスカブル割込み VII-85
7.3.3 マスカブル割込み VII-86

7.4 割込み処理 VII-88
7.4.1 割込みシーケンス VII-88
7.4.2 多重割込み VII-91

7.5 割込みの設定例 VII-92

第8章 リセット機能 VIII-1

8.1 リセット機能の概要 VIII-2

8.2 リセット機能の制御レジスタ VIII-3
8.2.1 ソフトウェアリセット制御レジスタ VIII-3
8.2.2 リセット要因判別レジスタ VIII-4

8.3 リセット機能の詳細 VIII-5
8.3.1 端子リセット VIII-6
8.3.2 オートリセット VIII-6
8.3.3 ソフトウェアリセット VIII-6
8.3.4 異常検知リセット VIII-7

第9章 電源電圧検知機能 IX-1

9.1 電源電圧検知機能の概要 IX-2

9.2 電源電圧検知機能の制御レジスタ IX-3
9.2.1 電源電圧検知制御レジスタ IX-3

9.3 電源電圧検知機能の詳細 IX-5
9.3.1 電源電圧検知機能の仕様 IX-5
9.3.2 電源電圧検知機能の設定例 IX-7

第 10 章 クロック監視回路 X-1

10.1 クロック監視回路の概要 X-2
10.1.1 クロック監視回路の概略仕様 X-2
10.1.2 クロック監視回路のブロック図 X-3

10.2 クロック監視回路の制御レジスタ X-4
10.2.1 クロック監視許可レジスタ X-5
10.2.2 クロック監視周波数設定レジスタ X-6
10.2.3 クロック監視ステータスレジスタ X-8

10.3 クロック監視回路の詳細 X-9
10.3.1 クロック監視回路の仕様 X-9
10.3.2 クロック監視回路の設定例 X-11

第 11 章 ウォッチドッグタイマ XI-1

11.1 ウォッチドッグタイマの概要 XI-2
11.1.1 ウォッチドッグタイマの機能一覧 XI-2
11.1.2 ウォッチドッグタイマのブロック図 XI-3

11.2 ウォッチドッグタイマ制御レジスタ XI-4
11.2.1 ウォッチドッグタイマバイナリカウンタ XI-5
11.2.2 ウォッチドッグタイマ制御レジスタ XI-6

11.3 ウォッチドッグタイマの詳細 XI-8
11.3.1 発振安定待ち機能 XI-8
11.3.2 暴走検出機能 XI-10
11.3.3 暴走検出機能の設定例 XI-12

第 12 章 ウォッチドッグタイマ 2 ..... XII-1

12.1 ウォッチドッグタイマ 2 の概要 XII-2
12.1.1 ウォッチドッグタイマ 2 の機能一覧 XII-2
12.1.2 ウォッチドッグタイマ 2 のブロック図 XII-3

12.2 ウォッチドッグタイマ 2 の制御レジスタ XII-4
12.2.1 ウォッチドッグタイマ 2 制御レジスタ XII-5
12.2.2 ウォッチドッグタイマ 2 動作対象モード設定レジスタ XII-7
12.2.3 ウォッチドッグタイマ 2 クリアレジスタ XII-8

12.3 ウォッチドッグタイマ 2 の詳細 XII-9
12.3.1 暴走検出機能の仕様 XII-9
12.3.2 暴走検出機能の設定例 XII-10

第 13 章 レジスタプロテクト機能 XIII-1

13.1 レジスタプロテクト機能の概要 XIII-2

13.2 レジスタプロテクト機能の制御レジスタ XIII-3
13.2.1 レジスタプロテクト制御レジスタ XIII-4

13.3 レジスタプロテクト機能の詳細 XIII-8
13.3.1 レジスタプロテクト機能の仕様 XIII-8
13.3.2 プロテクト対象レジスタの書換え設定例 XIII-9

第 14 章 ノイズフィルタ XIV-1

14.1 ノイズフィルタの概要 XIV-2
14.1.1 ノイズフィルタの機能一覧 XIV-2
14.1.2 ノイズフィルタのブロック図 XIV-2

14.2 ノイズフィルタの制御レジスタ XIV-3
14.2.1 ノイズフィルタ制御レジスタ XIV-4

14.3 ノイズフィルタの機能 XIV-6
14.3.1 ノイズフィルタの仕様 XIV-6
14.3.2 ノイズフィルタの設定例 XIV-7

第 15 章 I/O ポート（MN103HFx8 シリーズ） XV-1

15.1 I/O ポートの概要 XV-2
15.1.1 I/O ポートの一覧 XV-2

15.2 ポート 0 ..... XV-5
15.2.1 ポート 0 の制御レジスタ XV-7

15.3 ポート 1 ..... XV-11
15.3.1 ポート 1 の制御レジスタ XV-13

15.4 ポート 2 ..... XV-17
15.4.1 ポート 2 の制御レジスタ XV-19

15.5 ポート 3 ..... XV-25
15.5.1 ポート 3 の制御レジスタ XV-27

15.6 ポート 4 ..... XV-33
15.6.1 ポート 4 の制御レジスタ XV-35

15.7 ポート 5 ..... XV-39
15.7.1 ポート 5 の制御レジスタ XV-41

15.8 ポート 6 ..... XV-45
15.8.1 ポート 6 の制御レジスタ XV-47

15.9 ポート 7 ..... XV-51
15.9.1 ポート 7 の制御レジスタ XV-53

15.10 ポート 8 ..... XV-57
15.10.1 ポート 8 の制御レジスタ XV-59

15.11 ポート 9 ..... XV-64
15.11.1 ポート 9 の制御レジスタ XV-66

15.12 ポート A XV-71
15.12.1 ポート A の制御レジスタ XV-72

15.13 ポート B XV-76
15.13.1 ポート B の制御レジスタ XV-78

15.14 ポート C XV-82
15.14.1 ポート C の制御レジスタ XV-84

15.15 ポート D XV-88
15.15.1 ポート D の制御レジスタ XV-90

15.16 ポート E XV-94
15.16.1 ポート E の制御レジスタ XV-96

15.17 ポート F XV-100
15.17.1 ポート F の制御レジスタ XV-102

第 16 章 I/O ポート (MN103HFx7 シリーズ) XVI-1

16.1 I/O ポートの概要 XVI-2
16.1.1 I/O ポートの一覧 XVI-2

16.2 ポート 0 ..... XVI-5
16.2.1 ポート 0 の制御レジスタ XVI-7

16.3 ポート 1 ..... XVI-12
16.3.1 ポート 1 の制御レジスタ XVI-14

16.4 ポート 2 ..... XVI-19
16.4.1 ポート 2 の制御レジスタ XVI-21

16.5 ポート 3 ..... XVI-26
16.5.1 ポート 3 の制御レジスタ XVI-28

16.6 ポート 4 ..... XVI-33
16.6.1 ポート 4 の制御レジスタ XVI-35

16.7 ポート 5 ..... XVI-41
16.7.1 ポート 5 の制御レジスタ XVI-43

16.8 ポート 6 ..... XVI-48

16.8.1 ポート 6 の制御レジスタ XVI-50

16.9 ポート 7 ..... XVI-55
16.9.1 ポート 7 の制御レジスタ XVI-57

16.10 ポート 8 ..... XVI-62
16.10.1 ポート 8 の制御レジスタ XVI-64

16.11 ポート 9 ..... XVI-68
16.11.1 ポート 9 の制御レジスタ XVI-70

16.12 ポート A XVI-74
16.12.1 ポート A の制御レジスタ XVI-76

16.13 ポート B XVI-80
16.13.1 ポート B の制御レジスタ XVI-82

16.14 ポート C XVI-87
16.14.1 ポート C の制御レジスタ XVI-89

16.15 ポート D XVI-93
16.15.1 ポート D の制御レジスタ XVI-95

16.16 ポート E XVI-99
16.16.1 ポート E の制御レジスタ XVI-101

16.17 ポート F XVI-105
16.17.1 ポート F の制御レジスタ XVI-106

第 17 章 I/O ポート (MN103HFx6 シリーズ) XVII-1

17.1 I/O ポートの概要 XVII-2
17.1.1 I/O ポートの一覧 XVII-2

17.2 ポート 0 ..... XVII-4
17.2.1 ポート 0 の制御レジスタ XVII-6

17.3 ポート 1 ..... XVII-10
17.3.1 ポート 1 の制御レジスタ XVII-11

17.4 ポート 2 ..... XVII-14
17.4.1 ポート 2 の制御レジスタ XVII-16

17.5 ポート 3 ..... XVII-20
17.5.1 ポート 3 の制御レジスタ XVII-22

17.6 ポート 4 ..... XVII-26
17.6.1 ポート 4 の制御レジスタ XVII-28

17.7 ポート 5 ..... XVII-32
17.7.1 ポート 5 の制御レジスタ XVII-34

17.8 ポート6 ..... XVII-38
17.8.1 ポート6の制御レジスタ XVII-39

17.9 ポート7 ..... XVII-42
17.9.1 ポート7の制御レジスタ XVII-44

17.10 ポート8 ..... XVII-48
17.10.1 ポート8の制御レジスタ XVII-50

17.11 ポート9 ..... XVII-54
17.11.1 ポート9の制御レジスタ XVII-56

17.12 ポートB XVII-60
17.12.1 ポートBの制御レジスタ XVII-62

17.13 ポートC XVII-66
17.13.1 ポートCの制御レジスタ XVII-68

17.14 ポートD XVII-72
17.14.1 ポートDの制御レジスタ XVII-74

17.15 ポートE XVII-78
17.15.1 ポートEの制御レジスタ XVII-79

第18章 I/Oポート (MN103HFx5シリーズ) XVIII-1

18.1 I/Oポートの概要 XVIII-2
18.1.1 I/Oポートの一覧 XVIII-2

18.2 ポート0 ..... XVIII-4
18.2.1 ポート0の制御レジスタ XVIII-6

18.3 ポート2 ..... XVIII-10
18.3.1 ポート2の制御レジスタ XVIII-12

18.4 ポート3 ..... XVIII-16
18.4.1 ポート3の制御レジスタ XVIII-17

18.5 ポート4 ..... XVIII-21
18.5.1 ポート4の制御レジスタ XVIII-23

18.6 ポート5 ..... XVIII-27
18.6.1 ポート5の制御レジスタ XVIII-28

18.7 ポート6 ..... XVIII-31
18.7.1 ポート6の制御レジスタ XVIII-32

18.8 ポート8 ..... XVIII-36
18.8.1 ポート8の制御レジスタ XVIII-37

18.9 ポート9 ..... XVIII-41

18.9.1 ポート 9 の制御レジスタ XVIII-43

18.10 ポート B XVIII-47
18.10.1 ポート B の制御レジスタ XVIII-48

18.11 ポート C XVIII-51
18.11.1 ポート C の制御レジスタ XVIII-53

18.12 ポート D XVIII-57
18.12.1 ポート D の制御レジスタ XVIII-59

18.13 ポート E XVIII-63
18.13.1 ポート E の制御レジスタ XVIII-64

第 19 章 I/O ポート (MN103HFx4 シリーズ) XIX-1

19.1 I/O ポートの概要 XIX-2
19.1.1 I/O ポートの一覧 XIX-2

19.2 ポート 0 ..... XIX-4
19.2.1 ポート 0 の制御レジスタ XIX-5

19.3 ポート 2 ..... XIX-9
19.3.1 ポート 2 の制御レジスタ XIX-11

19.4 ポート 3 ..... XIX-16
19.4.1 ポート 3 の制御レジスタ XIX-17

19.5 ポート 4 ..... XIX-21
19.5.1 ポート 4 の制御レジスタ XIX-23

19.6 ポート 5 ..... XIX-27
19.6.1 ポート 5 の制御レジスタ XIX-28

19.7 ポート 6 ..... XIX-31
19.7.1 ポート 6 の制御レジスタ XIX-32

19.8 ポート 8 ..... XIX-36
19.8.1 ポート 8 の制御レジスタ XIX-38

19.9 ポート 9 ..... XIX-42
19.9.1 ポート 9 の制御レジスタ XIX-44

19.10 ポート C XIX-48
19.10.1 ポート C の制御レジスタ XIX-50

19.11 ポート D XIX-54
19.11.1 ポート D の制御レジスタ XIX-55

第 20 章 I/O ポート (MN103HFx3 シリーズ)..... XX-1

20.1 I/O ポートの概要 XX-2
20.1.1 I/O ポートの一覧 XX-2

20.2 ポート 0 ..... XX-4
20.2.1 ポート 0 の制御レジスタ XX-5

20.3 ポート 2 ..... XX-9
20.3.1 ポート 2 の制御レジスタ XX-11

20.4 ポート 4 ..... XX-16
20.4.1 ポート 4 の制御レジスタ XX-17

20.5 ポート 5 ..... XX-20
20.5.1 ポート 5 の制御レジスタ XX-21

20.6 ポート 6 ..... XX-25
20.6.1 ポート 6 の制御レジスタ XX-27

20.7 ポート 8 ..... XX-31
20.7.1 ポート 8 の制御レジスタ XX-33

20.8 ポート C XX-37
20.8.1 ポート C の制御レジスタ XX-38

20.9 ポート D XX-42
20.9.1 ポート D の制御レジスタ XX-43

第1章　　概要

1

1.1 概要

MN103Hシリーズは、C言語によるプログラム開発を指向した使いやすさとコストパフォーマンスを追及したシンプルで高性能なアーキテクチャを持つ32ビットマイクロコントローラです。

本LSIは、基本命令語長を1バイトとしたコンパクト32ビットCPUを中心に、命令/データ用の内蔵メモリ、DMAコントローラ、クロックジェネレータ、バスコントローラ、割込みコントローラ、ウォッチドッグタイマと、タイマ/シリアルインタフェースなどの標準的な周辺回路、3相モータを制御するのに最適なPWM回路、インバータ制御/コンバータ制御を高速化する拡張演算命令、またモータの位置検出のためのアナログ回路(高速A/Dコンバータ、VGA(差動入力型オペアンプ))などを集積しています。MN103Hシリーズの高速なCPUと豊富な周辺機能によって、従来のマイクロコントローラでは実現が不可能な高速性が要求されるモータ制御や電源制御を容易に実現することができます。

1.2 製品一覧

本マニュアルでは、表1.2.1に示すLSIについて説明しています。

表 1.2.1 本マニュアルの製品一覧

LSI	ROM容量	RAM容量 (データRAM＋命令RAM)	種別	パッケージ
MN103HF48X / HF58X	384 KB	40 KB (20 KB + 20 KB)	フラッシュ EEPROM版	LQFP144-P-2020D
MN103HF48M / HF58M	384 KB	32 KB (12 KB + 20 KB)	フラッシュ EEPROM版	LQFP144-P-2020D
MN103HF47X / HF57X	384 KB	40 KB (20 KB + 20 KB)	フラッシュ EEPROM版	LQFP128-P-1818F
MN103HF47M / HF57M	384 KB	32 KB (12 KB + 20 KB)	フラッシュ EEPROM版	LQFP128-P-1818F
MN103HF46X / HF56X	384 KB	40 KB (20 KB + 20 KB)	フラッシュ EEPROM版	LQFP100-P-1414C
MN103HF46M / HF56M	384 KB	32 KB (12 KB + 20 KB)	フラッシュ EEPROM版	LQFP100-P-1414C
MN103HF46Z / HF56Z	256 KB	32 KB (16 KB + 16 KB)	フラッシュ EEPROM版	LQFP100-P-1414C
MN103HF46K / HF56K	256 KB	24 KB (8 KB + 16 KB)	フラッシュ EEPROM版	LQFP100-P-1414C
MN103HF45X / HF55X	384 KB	40 KB (20 KB + 20 KB)	フラッシュ EEPROM版	TQFP080-P-1212F
MN103HF45M / HF55M	384 KB	32 KB (12 KB + 20 KB)	フラッシュ EEPROM版	TQFP080-P-1212F
MN103HF45Z / HF55Z	256 KB	32 KB (16 KB + 16 KB)	フラッシュ EEPROM版	TQFP080-P-1212F
MN103HF45K / HF55K	256 KB	24 KB (8 KB + 16 KB)	フラッシュ EEPROM版	TQFP080-P-1212F
MN103HF45G* / HF55G*	128 KB	18 KB (6 KB + 12 KB)	フラッシュ EEPROM版	TQFP080-P-1212F
MN103HF45D* / HF55D*	64 KB	12 KB (4 KB + 8 KB)	フラッシュ EEPROM版	TQFP080-P-1212F
MN103HF44X / HF54X	384 KB	40 KB (20 KB + 20 KB)	フラッシュ EEPROM版	TQFP064-P-1010D
MN103HF44M / HF54M	384 KB	32 KB (12 KB + 20 KB)	フラッシュ EEPROM版	TQFP064-P-1010D
MN103HF44Z / HF54Z	256 KB	32 KB (16 KB + 16 KB)	フラッシュ EEPROM版	TQFP064-P-1010D
MN103HF44K / HF54K	256 KB	24 KB (8 KB + 16 KB)	フラッシュ EEPROM版	TQFP064-P-1010D
MN103HF44G* / HF54G*	128 KB	18 KB (6 KB + 12 KB)	フラッシュ EEPROM版	TQFP064-P-1010D
MN103HF44D* / HF54D*	64 KB	12 KB (4 KB + 8 KB)	フラッシュ EEPROM版	TQFP064-P-1010D
MN103HF43G* / HF53G*	128 KB	18 KB (6 KB + 12 KB)	フラッシュ EEPROM版	TQFP048-P-0707F
MN103HF43D* / HF53D*	64 KB	12 KB (4 KB + 8 KB)	フラッシュ EEPROM版	TQFP048-P-0707F

*:計画中(予告なく変更される場合があります。)

本LSI説明書では表1.2.1のLSIの名称を、下記2種類のシリーズ名で表記しています。
・MN103HFx3シリーズ、MN103HFx4シリーズ、MN103HFx5シリーズ、MN103HFx6シリーズ、MN103HFx7シリーズ、MN103HFx8シリーズ
・MN103HF4yシリーズ、MN103HF5yシリーズ

本シリーズにおける機能比較一覧を表1.2.2に示します。

表 1.2.2 MN103HF4y/HF5y シリーズの機能比較表

機能		MN103HF4y/HF5yシリーズ					
PIN数		144 PIN	128 PIN	100 PIN	80 PIN	64 PIN	48 PIN
拡張演算回路 （高速乗除算、三角関数、 N次積和、PI制御）		O	O	O	O	O	O
DMA		3 ch	3 ch	3 ch	3 ch	3 ch	3 ch
割込み	内部	123本	123本	98本	98本	86本	69本
	外部	16本	16本	16本	12本	10本	8本
8ビット タイマ	タイマ0	O	O	O	O	O	O
	タイマ1	O	O	O	O	O	O
	タイマ2	O	O	O	O	O	O
	タイマ3	O	O	O	O	O	O
	タイマ4	O	O	O	O	O	O
	タイマ5	O	O	O	O	O	O
	タイマ6	O	O	O	O	O	O
	タイマ7	O	O	O	O	O	O
	タイマ8	O	O	O	O	O	－
	タイマ9	O	O	O	O	O	－
	タイマ10	O	O	O	O	O	－
	タイマ11	O	O	O	O	O	－
	タイマ12	O	O	－	－	－	－
	タイマ13	O	O	－	－	－	－
	タイマ14	O	O	－	－	－	－
	タイマ15	O	O	－	－	－	－
	タイマ26	O	O	－	－	－	－
	タイマ27	O	O	－	－	－	－
	タイマ28	O	O	－	－	－	－
	タイマ29	O	O	－	－	－	－

機能		MN103HF4y/HF5yシリーズ					
PIN数		144 PIN	128 PIN	100 PIN	80 PIN	64 PIN	48 PIN
16ビット タイマ	タイマ16 (高分解能PWM)	O	O	O	O	O	O
	タイマ17 (高分解能PWM)	O	O	O	O	O	O
	タイマ18 (高分解能PWM)	O	O	O	O	O	O
	タイマ19 (高分解能PWM)	O	O	O	O	O	O
	タイマ20	O	O	O	O	O	–
	タイマ21	O	O	O	O	O	–
	タイマ22	O	O	O	O	–	–
	タイマ23	O	O	O	O	–	–
	タイマ24 (高分解能PWM)	O	O	–	–	–	–
	タイマ25 (高分解能PWM)	O	O	–	–	–	–
PWM	3相相補PWM	3系統	3系統	2系統	2系統	2系統	1系統
ウォッチドッグタイマ (外部高速発振)		O	O	O	O	O	O
ウォッチドッグタイマ2 (内蔵低速発振)		O	O	O	O	O	O
CAN		O	O	O	O	O	O
シリアル	シリアル0 (クロック同期式 / UART / IIC)	O	O	O	O	O	O
	シリアル1 (クロック同期式 / UART / LIN)	O	O	O	O	O	O
	シリアル2 (クロック同期式 / UART)	O	O	O	O	–	–
	シリアル3 (クロック同期式 / UART)	O	O	O	O	O	O
	シリアル4 (クロック同期式 / UART)	O	O	–	–	–	–
A/D コンバータ	A/D0(12 bit)	O (12 ch)	O (12 ch)	O (12 ch)	O (12 ch)	O (8 ch)	O (8 ch)
	A/D1(12 bit)	O (12 ch)	O (12 ch)	O (10 ch)	O (8 ch)	O (8 ch)	O (4 ch)
	A/D2(10 bit)	O (20 ch)	O (20 ch)	O (12 ch)	O (8 ch)	–	–
VGA	VGA0	-/O	-/O	-/O	-/O	-/O	-/O
	VGA1	-/O	-/O	-/O	-/O	-/O	-/O
	VGA2	-/O	-/O	-/O	-/O	-/-	-/-

機能		MN103HF4y/HF5yシリーズ					
PIN数		144 PIN	128 PIN	100 PIN	80 PIN	64 PIN	48 PIN
コンパレータ	コンパレータ0	O	O	O	O	O	O
	コンパレータ1	O	O	O	O	O	O
	コンパレータ2	O	O	O	O	–	–
D/A コンバータ	D/A0(10 bit)	O	O	O	O	O	O
	D/A1(10 bit)	O	O	O	O	O	O
	D/A2(10 bit)	O	O	O	O	–	–
電源電圧検知機能		O	O	O	O	O	O
オートリセット機能		O	O	O	O	O	O
クロック監視機能		O	O	O	O	O	O
汎用端子	入出力ポート	112本	100本	74本	54本	46本	28本
	入力専用ポート	12本	12本	10本	10本	4本	4本
特殊端子	リセット	1本	1本	1本	1本	1本	1本
	発振端子	2本	2本	2本	2本	2本	2本
	テストモード	2本	2本	2本	2本	2本	2本
	電源端子	9本	9本	9本	9本	7本	7本
	デバッガ端子	2本	2本	2本	2本	2本	2本

1.3 特長

■ CPUコア(MN103Sコア)

4 GBのメモリ空間(命令/データ共用)
LOAD-STOREアーキテクチャ(5段パイプライン)
基本命令数 46 ＋ 拡張演算命令数 23
アドレッシングモード数 6
基本語調を1バイトとする命令セット
拡張演算器を内蔵(高速乗算、高速除算、三角関数、N次積和、PI制御)
マシンサイクル:8.33 ns(発振周波数 10 MHz、12逓倍時)
動作モード:NORMALモード、SLEEPモード、HALTモード、STOPモード

■ 発振回路

2系統
　外部高速発振(水晶/セラミック)、
　ウォッチドッグタイマ2用内蔵低速発振(240 kHz)

■ クロック逓倍回路内蔵

外部高速発振の6 ～ 30逓倍のクロックを生成可能

■ 内蔵メモリ

ROM:384 KB ～ 64 KB
RAM:40 KB ～ 12 KB

■ DMAコントローラ

ch数:3チャネル
転送要因:
　外部割込み、タイマ、PWM、シリアル、IIC送受信、CAN、A/Dコンバータ、
　ソフトウェア
転送モード:3モード(1語転送、バースト転送、間欠転送)

■ 割込み機能

内部割込み
　要因:
　　タイマ、PWM、UART、IIC、クロック同期式シリアル、CAN、LIN、A/Dコンバータ、
　　コンパレータ検出、DMA、ウォッチドッグタイマ、電源電圧検知、システムエラー、
　　フェイルセーフ
　　(ウォッチドッグタイマ2、クロック監視、レジスタプロテクト、タスクオーバフロー)

外部割込み

■ タイマ

タイマ0(8ビットタイマ)
　機能:
　　インターバルタイマ、タイマパルス出力、イベントカウント、ボーレートタイマ
　カウントクロックソース:
　　IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM0IO端子入力、
　　タイマ1アンダフロー、タイマ2アンダフロー

タイマ1(8ビットタイマ)
機能：
インターバルタイマ、タイマパルス出力、イベントカウント、ボーレートタイマ、
カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM1IO端子入力、
タイマ0アンダフロー、タイマ2アンダフロー

タイマ2(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、ボーレートタイマ、
カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM2IO端子入力、
タイマ0アンダフロー、タイマ1アンダフロー

タイマ3(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、ボーレートタイマ、
カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、
タイマ0アンダフロー、タイマ1アンダフロー、タイマ2アンダフロー

タイマ4(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM4IO端子入力、
タイマ5アンダフロー、タイマ6アンダフロー

タイマ5(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM5IO端子入力、
タイマ4アンダフロー、タイマ6アンダフロー

タイマ6(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM6IO端子入力、
タイマ4アンダフロー、タイマ5アンダフロー

タイマ7(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM7IO端子入力、
タイマ4アンダフロー、タイマ5アンダフロー、タイマ6アンダフロー

タイマ8(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM8IO端子入力、
タイマ9アンダフロー、タイマ10アンダフロー

タイマ9(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM9IO端子入力、
タイマ8アンダフロー、タイマ10アンダフロー

タイマ10(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM10IO端子入力、
タイマ8アンダフロー、タイマ9アンダフロー

タイマ11(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM11IO端子入力、
タイマ8アンダフロー、タイマ9アンダフロー、タイマ10アンダフロー

タイマ12(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM12IO端子入力、
タイマ13アンダフロー、タイマ14アンダフロー

タイマ13(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM13IO端子入力、
タイマ12アンダフロー、タイマ14アンダフロー

タイマ14(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM14IO端子入力、
タイマ12アンダフロー、タイマ13アンダフロー

タイマ15(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM15IO端子入力、
タイマ12アンダフロー、タイマ13アンダフロー、タイマ14アンダフロー

タイマ26(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、ボーレートタイマ
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM26IO端子入力、
タイマ27アンダフロー、タイマ28アンダフロー

タイマ27(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、ボーレートタイマ、
カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM27IO端子入力、
タイマ26アンダフロー、タイマ28アンダフロー

タイマ28(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM28IO端子入力、
タイマ26アンダフロー、タイマ27アンダフロー

タイマ29(8ビットタイマ)
機能:
インターバルタイマ、タイマパルス出力、イベントカウント、カスケード接続機能
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/128、TM29IO端子入力、
タイマ26アンダフロー、タイマ27アンダフロー、タイマ28アンダフロー

タイマ16(16ビットタイマ)
機能：
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
MCLK、MCLK/2、IOCLK、IOCLK/8、
タイマ6アンダフロー、タイマ7アンダフロー、TM16BIO端子入力

タイマ17(16ビットタイマ)
機能：
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
MCLK、MCLK/2、IOCLK、IOCLK/8、
タイマ4アンダフロー、タイマ5アンダフロー、TM17BIO端子入力

タイマ18(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
MCLK、MCLK/2、IOCLK、IOCLK/8、
タイマ6アンダフロー、タイマ7アンダフロー、TM18BIO端子入力

タイマ19(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
MCLK、MCLK/2、IOCLK、IOCLK/8、
タイマ4アンダフロー、タイマ5アンダフロー、TM19BIO端子入力

タイマ20(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/64、
タイマ10アンダフロー、タイマ11アンダフロー、TM20BIO端子入力

タイマ21(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/64、
タイマ8アンダフロー、タイマ9アンダフロー、TM21BIO端子入力

タイマ22(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/64、
タイマ10アンダフロー、タイマ11アンダフロー、TM22BIO端子入力

タイマ23(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
IOCLK、IOCLK/8、IOCLK/32、IOCLK/64、
タイマ8アンダフロー、タイマ9アンダフロー、TM23BIO端子入力

タイマ24(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
MCLK、MCLK/2、IOCLK、IOCLK/8、
タイマ28アンダフロー、タイマ29アンダフロー、TM24BIO端子入力

タイマ25(16ビットタイマ)
機能:
インターバルタイマ、イベントカウント、アップ/ダウンカウント、タイマ出力、
PWM出力、インプットキャプチャ、ワンショット出力、スタートトリガ起動、
A/D変換スタートトリガ生成
カウントクロックソース:
MCLK、MCLK/2、IOCLK、IOCLK/8、
タイマ28アンダフロー、タイマ29アンダフロー、TM25BIO端子入力

■ ウォッチドッグタイマ

カウントクロック　:外部高速発振
検出時間　:外部高速発振周期 $\times 2^{16}$～2^{24}
検出時にノンマスカブル割込みが発生
暴走2回検出時に強制的にLSI内部でハードリセット

■ ウォッチドッグタイマ2

カウントクロック　:内蔵低速発振
検出時間　:内蔵低速発振周期 $\times 2^{7}$～2^{18}
検出時にノンマスカブル割込みが発生
暴走2回検出時に強制的にLSI内部でハードリセット

■ A/Dコンバータ

A/D0
- 分解能　12ビット
- 最小変換時間　0.6 μs
- モータ制御用PWM/16ビットタイマの周期に同期したAD変換スタート可能

A/D1
- 分解能　12ビット
- 最小変換時間　0.6 μs
- モータ制御用PWM/16ビットタイマの周期に同期したAD変換スタート可能

A/D2
- 分解能　10ビット
- 最小変換時間　0.5 μs
- モータ制御用PWM/16ビットタイマの周期に同期したAD変換スタート可能

■ アナログ回路

VGA(差動増幅回路)
- 最大:3系統
- 8段階のゲイン設定(2、3、4、5、6、8、10、20倍)が可能
- チャネル数:12本(ADIN00 ～ ADIN03、ADIN08 ～ ADIN11、ADIN16 ～ ADIN19)
- +側入力を3ch(VGAnP0/1/2)切換え可能(-側入力(VGAnN)は共通)

コンパレータ
- 最大:3系統
- 比較基準電圧を端子入力(CMPnREF)とD/Aコンバータ出力から選択可能
- VGA出力を入力可能
- コンパレータ出力を端子出力可能(CMPOUTn)

D/Aコンバータ
- 最大:3系統
- 分解能:10ビット
- コンパレータの比較基準電圧生成用

■ 相補3相PWM出力

最小分解能:　　8.33 ns
三角波、のこぎり波に対応
デッドタイム挿入回路内蔵
ダブルバッファによりPWM動作中にレジスタ書換え可能
外部割込み、ノンマスカブル割込みに対応したPWM出力保護回路
出力タイミング可変機能
A/D変換スタートトリガ、16ビットタイマスタートトリガ出力

■ CANコントローラ

チャネル数 :1チャネル
CAN2.0 B仕様準拠
　通信方式 :NRZ (Non-Return to Zero) 方式
　伝送路　 :双方向2線式シリアル通信
　通信速度 :最大1 Mbps
　データ長 :0 ～ 8バイト
　メッセージフレーム　:標準フレームおよび拡張フレーム対応
　　(標準フレームフォーマットID:11ビット、
　　拡張フレームフォーマットID:29ビット)
バッファサイズ:32メッセージ(32 × 132ビット)
割込み数　 :1本
割込み要因 :バスオフ状態　エラーアクティブ状態
　　エラー警告状態(エラーカウンタ96以上)
　　エラー警告状態解除(エラーカウンタ96未満)
　　送受信完了
　　送受信エラー(ACK / Form / Stuff /　ビット1 /　ビット0 / CRCエラー)

■ シリアルインタフェース

シリアル0(クロック同期式シリアル/全二重UART/マルチマスタIIC)
　クロック同期式シリアル
　　オーバランエラー検出
　　転送クロックソース:
　　　タイマ0アンダフローの1/2、1/4、1/16、1/64、
　　　タイマ1アンダフローの1/2、1/4、1/16、1/64、
　　　タイマ2アンダフローの1/2、1/4、1/16、1/64、
　　　タイマ3アンダフローの1/2、1/4、1/16、1/64、
　　　IOCLK/2、IOCLK/4、SBT0端子
　　転送クロックの分周比選択:なし、8分周、16分周
　　転送先頭ビット指定、2～8ビットの任意転送可能
　　連続送信、連続受信、連続送受信が可能
　　最大転送レート:5.0 Mbps

　全二重UART
　　パリティエラー、オーバランエラー、フレーミングエラー検出
　　転送クロックソース
　　　タイマ0アンダフローの1/2、1/4、1/16、1/64、
　　　タイマ1アンダフローの1/2、1/4、1/16、1/64、
　　　タイマ2アンダフローの1/2、1/4、1/16、1/64、
　　　タイマ3アンダフローの1/2、1/4、1/16、1/64、
　　　IOCLK/2、IOCLK/4
　　転送クロックの分周比選択:8分周、16分周
　　転送先頭ビット指定、7～8ビットの任意転送可能
　　連続送信、連続受信、連続送受信が可能
　　最大転送レート:300 kbps

マルチマスタIIC
転送クロックソース
タイマ0アンダフローの1/2、1/4、1/16、1/32、
タイマ1アンダフローの1/2、1/4、1/16、1/32、
タイマ2アンダフローの1/2、1/4、1/16、1/32、
タイマ3アンダフローの1/2、1/4、1/16、1/32、
IOCLK/2、IOCLK/4
転送クロックの分周比選択:8分周

シリアル1(クロック同期式シリアル/全二重UART/LIN)
クロック同期式シリアル
オーバランエラー検出
転送クロックソース:
タイマ0アンダフローの1/2、1/4、1/16、1/64、
タイマ1アンダフローの1/2、1/4、1/16、1/64、
タイマ2アンダフローの1/2、1/4、1/16、1/64、
タイマ3アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4、SBT1端子
転送クロックの分周比選択:なし、8分周、16分周
転送先頭ビット指定、2～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:5.0 Mbps

全二重UART
パリティエラー、オーバランエラー、フレーミングエラー検出
転送クロックソース:
タイマ0アンダフローの1/2、1/4、1/16、1/64、
タイマ1アンダフローの1/2、1/4、1/16、1/64、
タイマ2アンダフローの1/2、1/4、1/16、1/64、
タイマ3アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4
転送クロックの分周比選択:8分周、16分周
転送先頭ビット指定、7～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:300 kbps

LIN
タイマ6、タイマ19と連動して動作
マスタ送信
Synch Breakフィールド送信
スレーブ受信
Wake-up受信、Synch Breakフィールド受信、Synchフィールド受信、
チェックサム演算
エラー検出
チェックサムエラー、ビットエラー

シリアル2(クロック同期式シリアル/全二重UART)
クロック同期式シリアル
オーバランエラー検出
転送クロックソース:
タイマ0アンダフローの1/2、1/4、1/16、1/64、
タイマ1アンダフローの1/2、1/4、1/16、1/64、
タイマ2アンダフローの1/2、1/4、1/16、1/64、
タイマ3アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4、SBT2端子
転送クロックの分周比選択:なし、8分周、16分周
転送先頭ビット指定、2～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:5.0 Mbps

全二重UART
パリティエラー、オーバランエラー、フレーミングエラー検出
転送クロックソース:
タイマ0アンダフローの1/2、1/4、1/16、1/64、
タイマ1アンダフローの1/2、1/4、1/16、1/64、
タイマ2アンダフローの1/2、1/4、1/16、1/64、
タイマ3アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4
転送クロックの分周比選択:8分周、16分周
転送先頭ビット指定、7～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:300 kbps

シリアル3(クロック同期式シリアル/全二重UART)
クロック同期式シリアル
オーバランエラー検出
転送クロックソース:
タイマ0アンダフローの1/2、1/4、1/16、1/64、
タイマ1アンダフローの1/2、1/4、1/16、1/64、
タイマ2アンダフローの1/2、1/4、1/16、1/64、
タイマ3アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4、SBT3端子
転送クロックの分周比選択:なし、8分周、16分周
転送先頭ビット指定、2～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:5.0 Mbps

全二重UART
パリティエラー、オーバランエラー、フレーミングエラー検出
転送クロックソース:
タイマ0アンダフローの1/2、1/4、1/16、1/64、
タイマ1アンダフローの1/2、1/4、1/16、1/64、
タイマ2アンダフローの1/2、1/4、1/16、1/64、
タイマ3アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4
転送クロックの分周比選択:8分周、16分周
転送先頭ビット指定、7～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:300 kbps

シリアル4(クロック同期式シリアル/全二重UART)
クロック同期式シリアル
オーバランエラー検出
転送クロックソース:
タイマ26アンダフローの1/2、1/4、1/16、1/64、
タイマ27アンダフローの1/2、1/4、1/16、1/64、
タイマ28アンダフローの1/2、1/4、1/16、1/64、
タイマ29アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4、SBT4端子
転送クロックの分周比選択:なし、8分周、16分周
転送先頭ビット指定、2～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:5.0 Mbps

全二重UART
パリティエラー、オーバランエラー、フレーミングエラー検出
転送クロックソース:
タイマ26アンダフローの1/2、1/4、1/16、1/64、
タイマ27アンダフローの1/2、1/4、1/16、1/64、
タイマ28アンダフローの1/2、1/4、1/16、1/64、
タイマ29アンダフローの1/2、1/4、1/16、1/64、
IOCLK/2、IOCLK/4
転送クロックの分周比選択:8分周、16分周
転送先頭ビット指定、7～8ビットの任意転送可能
連続送信、連続受信、連続送受信が可能
最大転送レート:300 kbps

■ 電源電圧検知機能

検知レベル:3段階から設定可能
- 電源電圧立下がり時:4.15 V ± 0.25 V　電源電圧立上がり時:4.25 V ± 0.25 V
- 電源電圧立下がり時:3.70 V ± 0.20 V　電源電圧立上がり時:3.80 V ± 0.20 V
- 電源電圧立下がり時:2.80 V ± 0.20 V　電源電圧立上がり時:2.90 V ± 0.20 V

電源電圧が検知レベルになった際に割込み、またはリセットを発生

■ オートリセット機能

検知レベル
電源電圧立下げ時:2.70 V ± 0.30 V
電源電圧立上げ時:2.45 V ± 0.15 V
電源電圧が検知レベル以下のとき、リセットを発生

■ クロック監視機能

外部高速発振(PLL出力含む)の周波数異常検出が可能
異常検出時、リセットの発生が可能

■ パッケージ

144ピンLQFP(20 mm角、0.5 mmピッチ、ハロゲンフリー)、コード名:LQFP144-P-2020D
128ピンLQFP(18 mm角、0.5 mmピッチ、ハロゲンフリー)、コード名:LQFP128-P-1818F
100ピンLQFP(14 mm角、0.5 mmピッチ、ハロゲンフリー)、コード名:LQFP100-P-1414C
80ピンTQFP(12 mm角、0.5 mmピッチ、ハロゲンフリー)、コード名:TQFP080-P-1212F
64ピンTQFP(10 mm角、0.5 mmピッチ、ハロゲンフリー)、コード名:TQFP064-P-1010D
48ピンTQFP(7 mm角、0.5 mmピッチ、ハロゲンフリー)、コード名:TQFP048-P-0707F

*Panasonic半導体のハロゲンフリー製品とは、封止樹脂およびインターポーザが下記基準を満たす半導体製品を指します。

- 臭素　　:900 ppm以下
- 塩素　　:900 ppm以下
- 臭素+塩素　:1500 ppm以下

上記の基準は、IEC61249-2-21において掲げられている数値に準拠しています。
アンチモンおよびその化合物は意図的に添加していません。

1.4 端子

1.4.1 端子配置図

■ MN103HF48/58シリーズ (LQFP144-P-2020D)

MN103HF48/58シリーズの端子配置図を図1.4.1に示します。

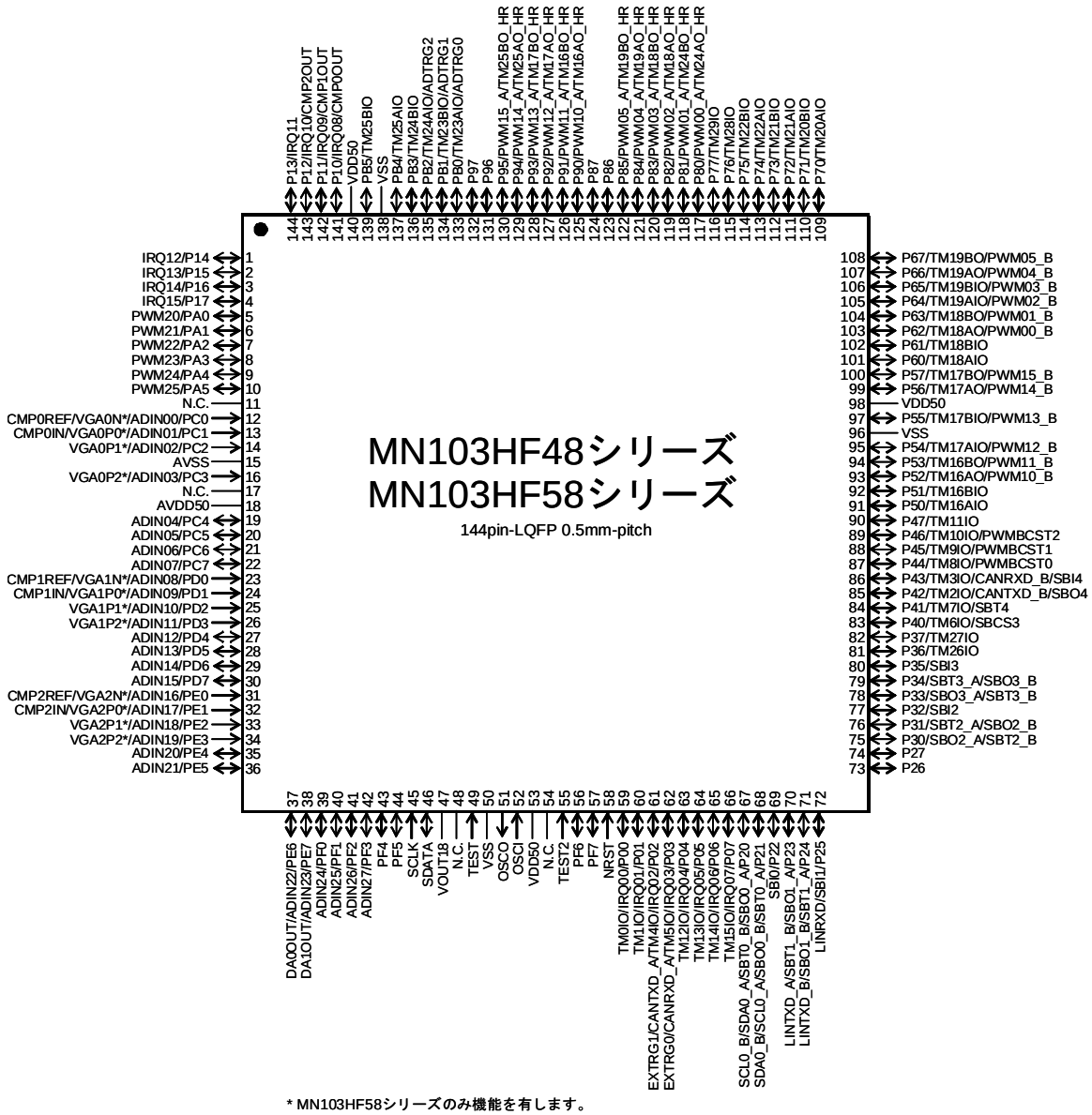


図1.4.1 MN103HF48/58シリーズの端子配置図

■ MN103HF47/57シリーズ (LQFP128-P-1818F)

MN103HF47/57シリーズの端子配置図を図1.4.2に示します。

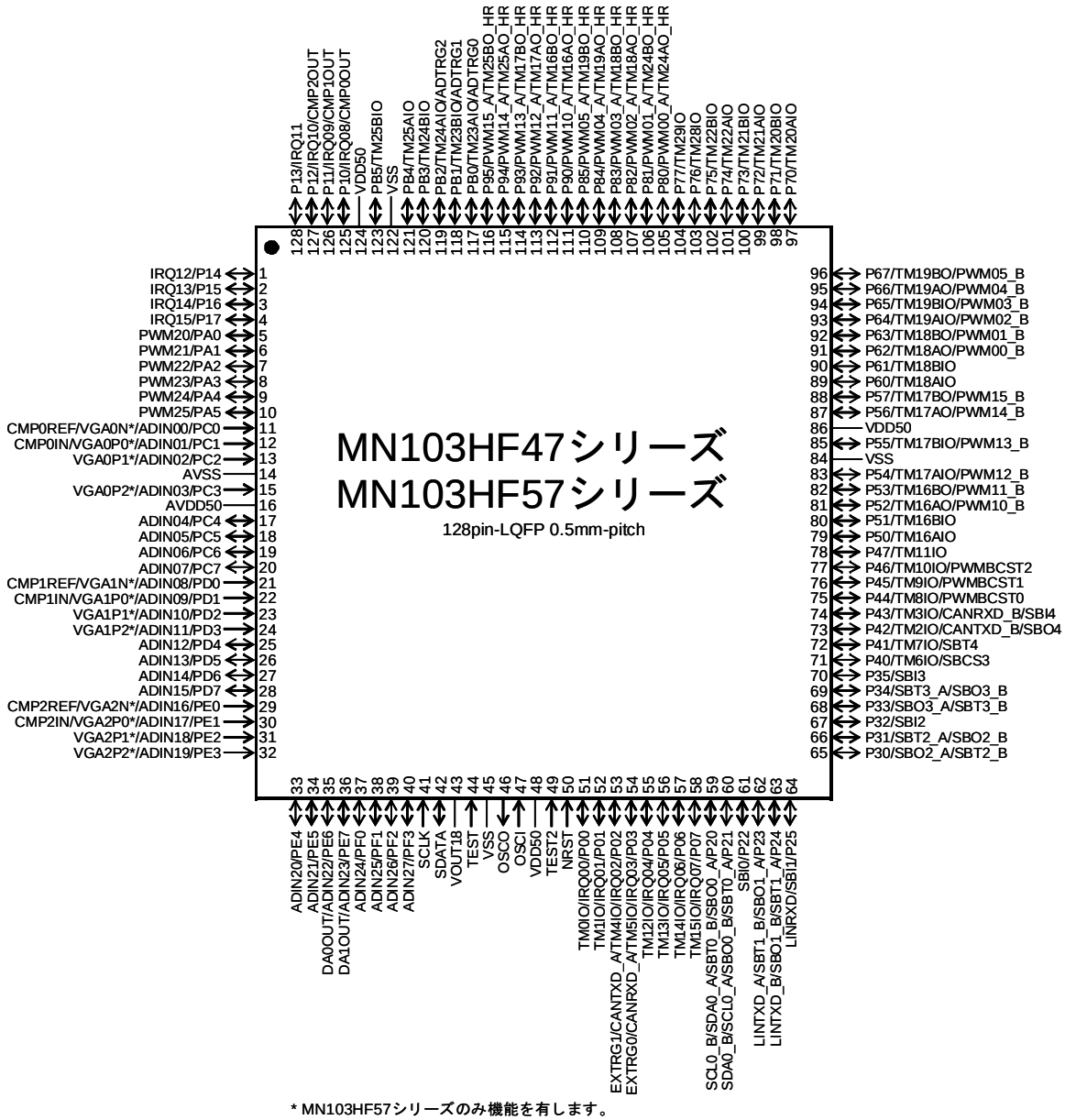


図1.4.2　MN103HF47/57シリーズの端子配置図

■ MN103HF46/56シリーズ　(LQFP100-P-1414C)

MN103HF46/56シリーズの端子配置図を図1.4.3に示します。

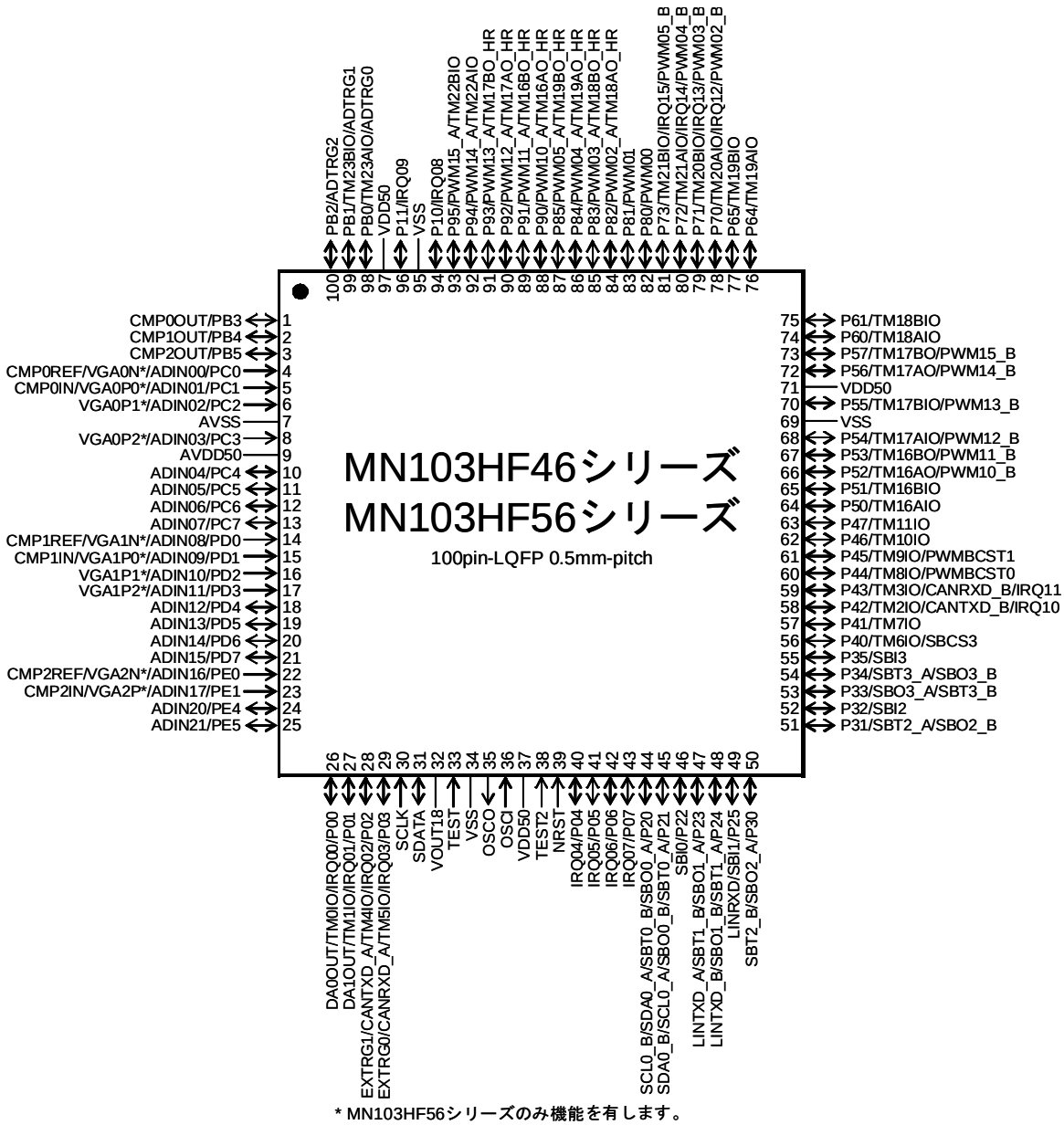


図1.4.3　MN103HF46/56シリーズの端子配置図

■ MN103HF45/55シリーズ　(TQFP080-P-1212F)

MN103HF45/55シリーズの端子配置図を図1.4.4に示します。

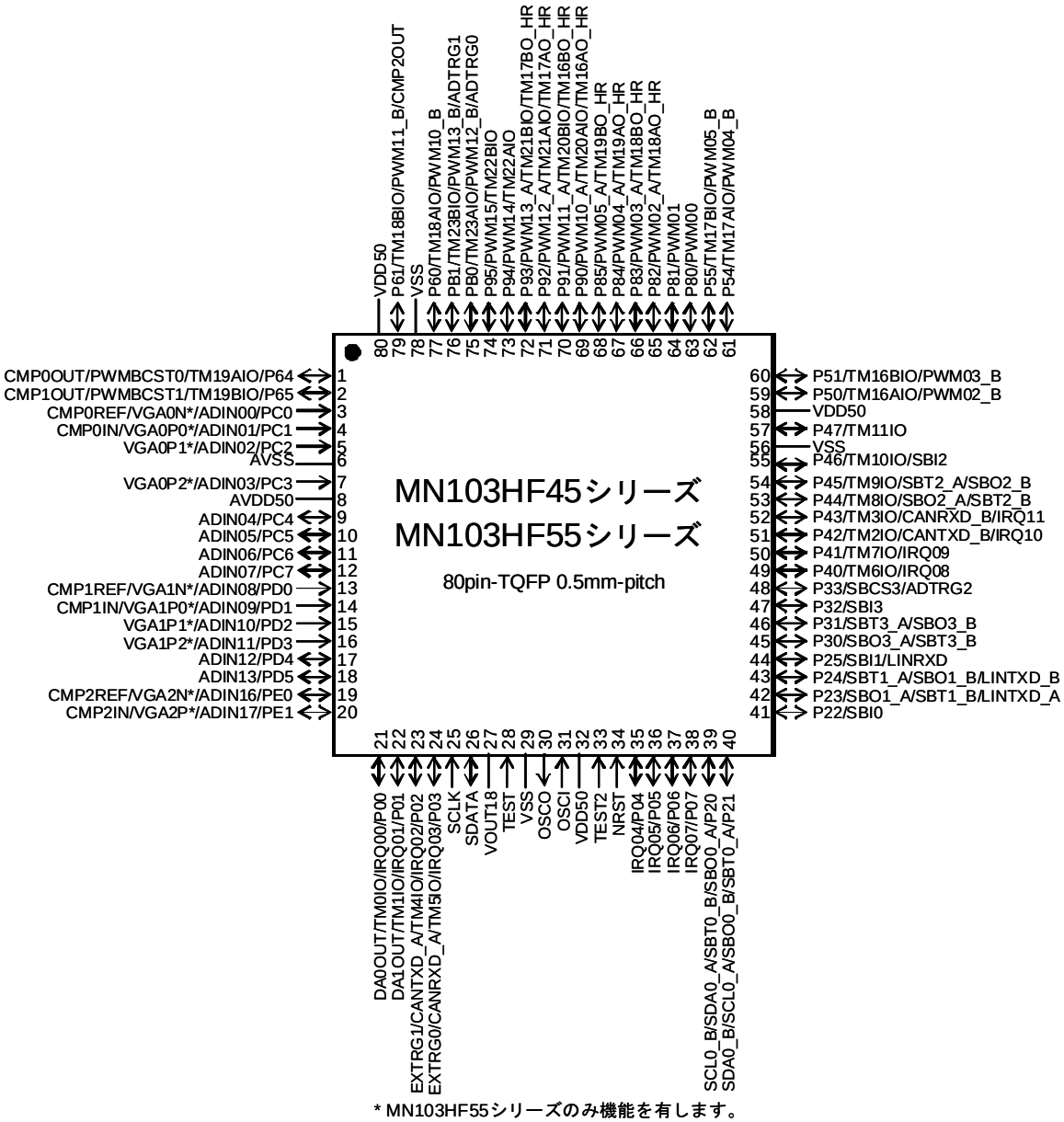


図1.4.4　MN103HF45/55シリーズの端子配置図

■ MN103HF44/54シリーズ　(TQFP064-P-1010D)

MN103HF44/54シリーズの端子配置図を図1.4.5に示します。

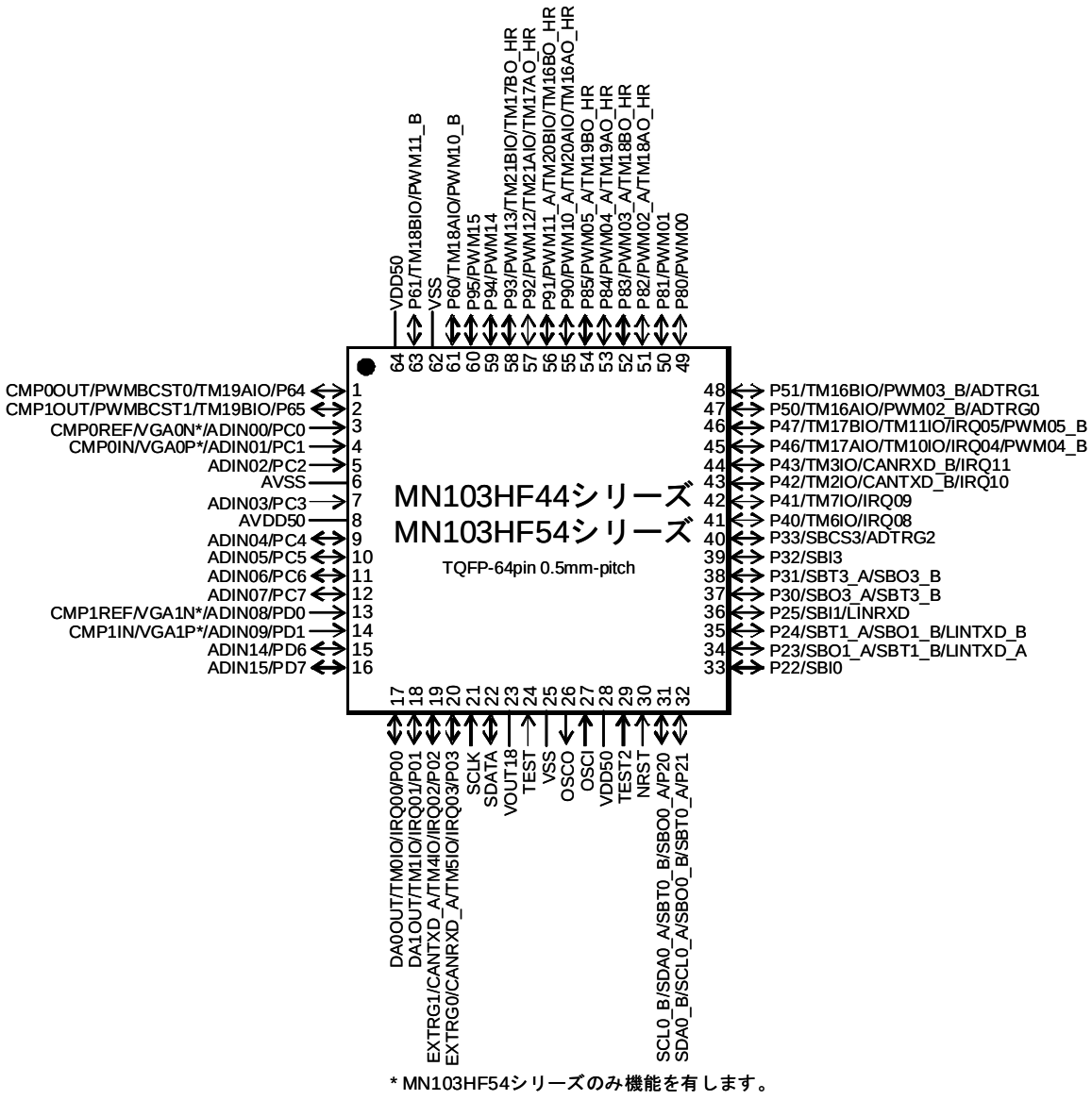
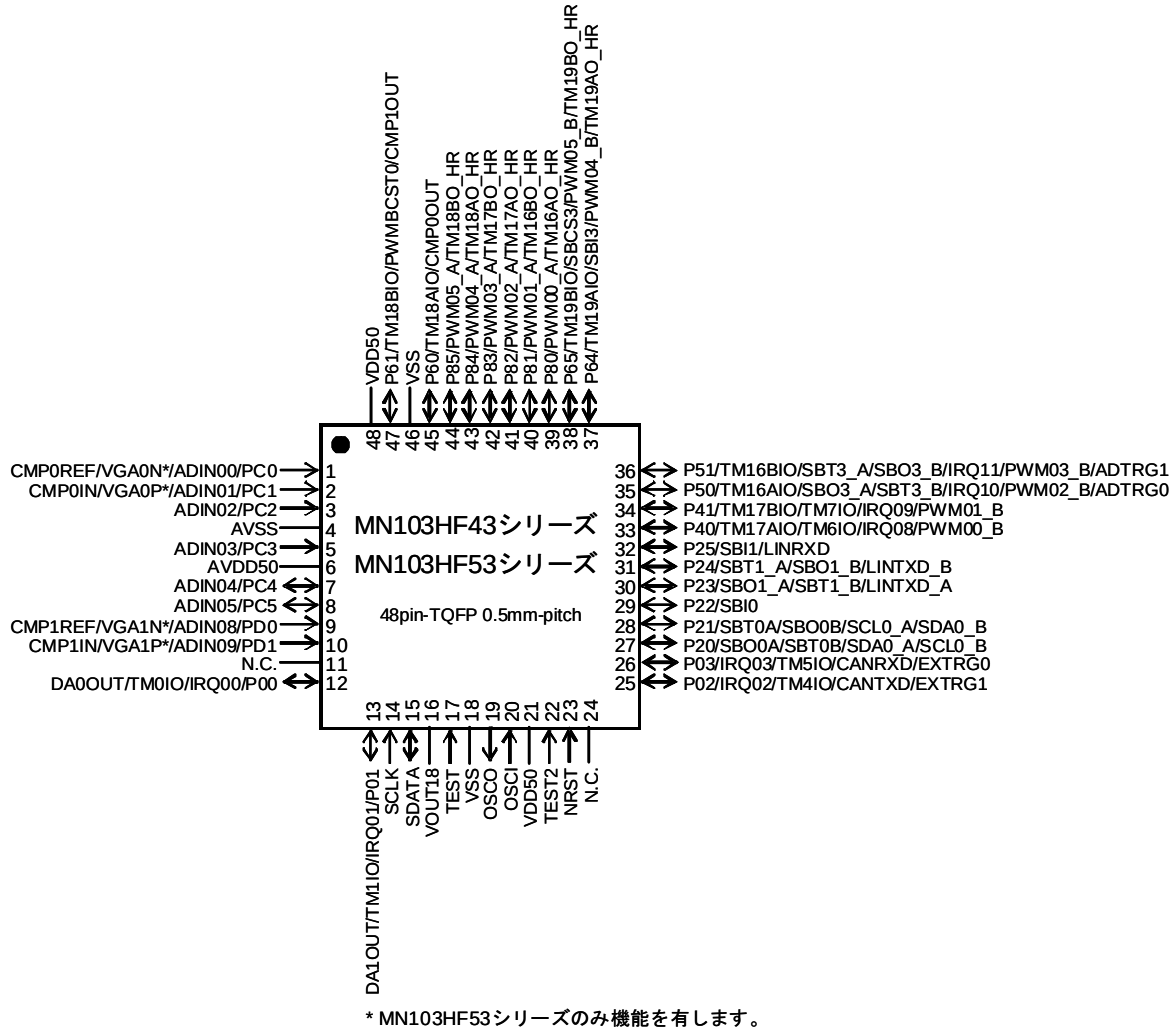


図1.4.5　MN103HF44/54シリーズの端子配置図

■ MN103HF43/53シリーズ　(TQFP048-P-0707F)

MN103HF43/53シリーズの端子配置図を図1.4.6に示します。



* MN103HF53シリーズのみ機能を有します。

図1.4.6　MN103HF43/53シリーズの端子配置図

1.5 端子機能

1.5.1 端子機能(MN103HFx8シリーズ)

各端子の機能を表1.5.1に示します。

表 1.5.1 MN103HFx8 シリーズの端子機能表

	端子名	兼用端子				機能
電源/ グラウンド	VDD50					デジタルI/O用電源 全てのVDD50端子とVSS端子間に 1 μF以上のコンデンサを接続して ください。(端子近傍に配置)
	AVDD50					アナログ用電源 AVSS端子との間に、1 μFのコンデンサを 接続してください。(端子近傍に配置)
	VOUT18					内部回路用電源 VOUT18端子とVSS端子間に1 μFの コンデンサを接続してください。 (端子近傍に配置)
	AVSS					アナログ用グラウンド
	VSS					デジタル用グラウンド
機能制御	TEST					テスト信号入力端子 2 kΩ以上の抵抗でプルアップして ください。(端子近傍に配置)
	TEST2					2 kΩのプルアップ抵抗を付与 してください。
リセット	NRST					リセット信号入力端子(負論理) NRST端子とVSS端子間に0.1 μF以上の コンデンサを接続してください。
クロック	OSCI					高速発振入力端子
	OSCO					高速発振出力端子
割込み	IRQ00	P00	TM0IO			外部割込み入力端子
	IRQ01	P01	TM1IO			
	IRQ02	P02	TM4IO	CANTXD_A	EXTRG1	
	IRQ03	P03	TM5IO	CANRXD_A	EXTRG0	
	IRQ04	P04	TM12IO			
	IRQ05	P05	TM13IO			
	IRQ06	P06	TM14IO			
	IRQ07	P07	TM15IO			

	端子名	兼用端子				機能
割込み	IRQ08	P10	CMP0OUT			外部割込み入力端子
	IRQ09	P11	CMP1OUT			
	IRQ10	P12	CMP2OUT			
	IRQ11	P13				
	IRQ12	P14				
	IRQ13	P15				
	IRQ14	P16				
	IRQ15	P17				
タイマ	TM0IO	P00	IRQ00			8ビットタイマ入出力端子
	TM1IO	P01	IRQ01			
	TM2IO	P42	CANTXD_B	SBO4		
	TM3IO	P43	CANRXD_B	SBI4		
	TM4IO	P02	IRQ02	CANTXD_A	EXTRG1	
	TM5IO	P03	IRQ03	CANRXD_A	EXTRG0	
	TM6IO	P40	SBCS3			
	TM7IO	P41	SBT4			
	TM8IO	P44	PWMBCST0			
	TM9IO	P45	PWMBCST1			
	TM10IO	P46	PWMBCST2			
	TM11IO	P47				
	TM12IO	P04	IRQ04			
	TM13IO	P05	IRQ05			
	TM14IO	P06	IRQ06			
	TM15IO	P07	IRQ07			
	TM26IO	P36				
	TM27IO	P37				
	TM28IO	P76				
	TM29IO	P77				
	TM16AIO	P50				16ビットタイマ入出力A、B端子
	TM16BIO	P51				
	TM17AIO	P54	PWM12_B			
	TM17BIO	P55	PWM13_B			
	TM18AIO	P60				
	TM18BIO	P61				
	TM19AIO	P64	PWM02_B			
	TM19BIO	P65	PWM03_B			
	TM20AIO	P70				
	TM20BIO	P71				

	端子名	兼用端子				機能
タイマ	TM21AIO	P72				16ビットタイマ入出力A、B端子
	TM21BIO	P73				
	TM22AIO	P74				
	TM22BIO	P75				
	TM23AIO	PB0	ADTRG0			
	TM23BIO	PB1	ADTRG1			
	TM24AIO	PB2	ADTRG2			
	TM24BIO	PB3				
	TM25AIO	PB4				
	TM25BIO	PB5				
	TM16AO	P52	PWM10_B			16ビットタイマ出力A、B端子
	TM16BO	P53	PWM11_B			
	TM17AO	P56	PWM14_B			
	TM17BO	P57	PWM15_B			
	TM18AO	P62	PWM00_B			
	TM18BO	P63	PWM01_B			
	TM19AO	P66	PWM04_B			
	TM19BO	P67	PWM05_B			
	TM16AO_HR	P90	PWM10_A			
	TM16BO_HR	P91	PWM11_A			
	TM17AO_HR	P92	PWM12_A			
	TM17BO_HR	P93	PWM13_A			
	TM18AO_HR	P82	PWM02_A			
	TM18BO_HR	P83	PWM03_A			
	TM19AO_HR	P84	PWM04_A			
	TM19BO_HR	P85	PWM05_A			
	TM24AO_HR	P80	PWM00_A			
	TM24BO_HR	P81	PWM01_A			
	TM25AO_HR	P94	PWM14_A			
	TM25BO_HR	P95	PWM15_A			
PWM	PWM00_A	P80	TM24AO_HR			モータ制御3相PWM信号出力端子
	PWM01_A	P81	TM24BO_HR			
	PWM02_A	P82	TM18AO_HR			
	PWM03_A	P83	TM18BO_HR			
	PWM04_A	P84	TM19AO_HR			
	PWM05_A	P85	TM19BO_HR			
	PWM10_A	P90	TM16AO_HR			
	PWM11_A	P91	TM16BO_HR			

	端子名	兼用端子				機能
PWM	PWM12_A	P92	TM17AO_HR			モータ制御3相PWM信号出力端子
	PWM13_A	P93	TM17BO_HR			
	PWM14_A	P94	TM25AO_HR			
	PWM15_A	P95	TM25BO_HR			
	PWM00_B	P62	TM18AO			
	PWM01_B	P63	TM18BO			
	PWM02_B	P64	TM19AIO			
	PWM03_B	P65	TM19BIO			
	PWM04_B	P66	TM19AO			
	PWM05_B	P67	TM19BO			
	PWM10_B	P52	TM16AO			
	PWM11_B	P53	TM16BO			
	PWM12_B	P54	TM17AIO			
	PWM13_B	P55	TM17BIO			
	PWM14_B	P56	TM17AO			
	PWM15_B	P57	TM17BO			
	PWM20	PA0				
	PWM21	PA1				
	PWM22	PA2				
	PWM23	PA3				
	PWM24	PA4				
	PWM25	PA5				
	PWMBCST0	P44	TM8IO			モータ制御3相PWMカウンタ状態 モニタ端子
	PWMBCST1	P45	TM9IO			
	PWMBCST2	P46	TM10IO			
シリアル	SBT0_A	P21	SBO0_B	SCL0_A	SDA0_B	シリアルクロック入出力端子
	SBT0_B	P20	SBO0_A	SDA0_A	SCL0_B	
	SBT1_A	P24	SBO1_B	LINTXD_B		
	SBT1_B	P23	SBO1_A	LINTXD_A		
	SBT2_A	P31	SBO2_B			
	SBT2_B	P30	SBO2_A			
	SBT3_A	P34	SBO3_B			
	SBT3_B	P33	SBO3_A			
	SBT4	P41	TM7IO			
	SBO0_A	P20	SBT0_B	SDA0_A	SCL0_B	シリアルデータ出力端子
	SBO0_B	P21	SBT0_A	SCL0_A	SDA0_B	
	SBO1_A	P23	SBT1_B	LINTXD_A		
	SBO1_B	P24	SBT1_A	LINTXD_B		

	端子名	兼用端子				機能
シリアル	SBO2_A	P30	SBT2_B			シリアルデータ出力端子
	SBO2_B	P31	SBT2_A			
	SBO3_A	P33	SBT3_B			
	SBO3_B	P34	SBT3_A			
	SBO4	P42	TM2IO	CANTXD_B		
	SBI0	P22				シリアルデータ入力端子
	SBI1	P25	LINRXD			
	SBI2	P32				
	SBI3	P35				
	SBI4	P43	TM3IO	CANRXD_B		
	SBCS3	P40	TM6IO			シリアルチップセレクト入出力端子
IIC	SCL0_A	P21	SBT0_A	SBO0_B	SDA0_B	IICクロック入出力端子
	SCL0_B	P20	SBO0_A	SBT0_B	SDA0_A	
	SDA0_A	P20	SBO0_A	SBT0_B	SCL0_B	IICデータ入出力端子
	SDA0_B	P21	SBT0_A	SBO0_B	SCL0_A	
CAN	CANTXD_A	P02	IRQ02	TM4IO	EXTRG1	CANデータ送信端子
	CANTXD_B	P42	TM2IO	SBO4		
	CANRXD_A	P03	IRQ03	TM5IO	EXTRG0	CANデータ受信端子
	CANRXD_B	P43	TM3IO	SBI4		
LIN	LINTXD_A	P23	SBO1_A	SBT1_B		LINデータ送信端子
	LINTXD_B	P24	SBT1_A	SBO1_B		
	LINRXD	P25	SBI1			LINデータ受信端子
A/Dコンバータ	ADIN00	PC0	VGAON	CMPOREF		A/Dコンバータ用アナログ入力端子
	ADIN01	PC1	VGAOP0	CMP0IN		
	ADIN02	PC2	VGAOP1			
	ADIN03	PC3	VGAOP2			
	ADIN04	PC4				
	ADIN05	PC5				
	ADIN06	PC6				
	ADIN07	PC7				
	ADIN08	PD0	VGA1N	CMP1REF		
	ADIN09	PD1	VGA1P0	CMP1IN		
	ADIN10	PD2	VGA1P1			
	ADIN11	PD3	VGA1P2			
	ADIN12	PD4				
	ADIN13	PD5				
	ADIN14	PD6				
	ADIN15	PD7				

	端子名	兼用端子				機能
A/Dコンバータ	ADIN16	PE0	VGA2N	CMP2REF		A/Dコンバータ用アナログ入力端子
	ADIN17	PE1	VGA2P0	CMP2IN		
	ADIN18	PE2	VGA2P1			
	ADIN19	PE3	VGA2P2			
	ADIN20	PE4				
	ADIN21	PE5				
	ADIN22	PE6	DA0OUT			
	ADIN23	PE7	DA1OUT			
	ADIN24	PF0				
	ADIN25	PF1				
	ADIN26	PF2				
	ADIN27	PF3				
	ADTRG0	PB0	TM23AIO			A/D変換トリガ信号出力端子
	ADTRG1	PB1	TM23BIO			
	ADTRG2	PB2	TM24AIO			
VGA(*1)	VGAON	PC0	ADIN00	CMP0REF		VGA用アナログ入力端子
	VGA0P0	PC1	ADIN01	CMP0IN		
	VGA0P1	PC2	ADIN02			
	VGA0P2	PC3	ADIN03			
	VGA1N	PD0	ADIN08	CMP1REF		
	VGA1P0	PD1	ADIN09	CMP1IN		
	VGA1P1	PD2	ADIN10			
	VGA1P2	PD3	ADIN11			
	VGA2N	PE0	ADIN16	CMP2REF		
	VGA2P0	PE1	ADIN17	CMP2IN		
	VGA2P1	PE2	ADIN18			
	VGA2P2	PE3	ADIN19			
コンパレータ	CMP0REF	PC0	ADIN00	VGAON		コンパレータ基準電圧入力端子
	CMP1REF	PD0	ADIN08	VGA1N		
	CMP2REF	PE0	ADIN16	VGA2N		
	CMP0IN	PC1	ADIN01	VGA0P0		コンパレータ入力端子
	CMP1IN	PD1	ADIN09	VGA1P0		
	CMP2IN	PE1	ADIN17	VGA2P0		
	CMP0OUT	P10	IRQ08			コンパレータ出力端子
	CMP1OUT	P11	IRQ09			
	CMP2OUT	P12	IRQ10			
DAコンバータ	DA0OUT	PE6	ADIN22			DAコンバータ出力端子
	DA1OUT	PE7	ADIN23			

	端子名	兼用端子				機能
I/Oポート	P00	IRQ00	TM0IO			汎用入出力ポート0
	P01	IRQ01	TM1IO			
	P02	IRQ02	TM4IO	CANTXD_A	EXTRG1	
	P03	IRQ03	TM5IO	CANRXD_A	EXTRG0	
	P04	IRQ04	TM12IO			
	P05	IRQ05	TM13IO			
	P06	IRQ06	TM14IO			
	P07	IRQ07	TM15IO			
	P10	IRQ08	CMP0OUT			汎用入出力ポート1
	P11	IRQ09	CMP1OUT			
	P12	IRQ10	CMP2OUT			
	P13	IRQ11				
	P14	IRQ12				
	P15	IRQ13				
	P16	IRQ14				
	P17	IRQ15				
	P20	SBO0_A	SBT0_B	SDA0_A	SCL0_B	汎用入出力ポート2
	P21	SBT0_A	SBO0_B	SCL0_A	SDA0_B	
	P22	SBI0				
	P23	SBO1_A	SBT1_B	LINTXD_A		
	P24	SBT1_A	SBO1_B	LINTXD_B		
	P25	SBI1	LINRXD			
	P26					
	P27					
	P30	SBO2_A	SBT2_B			汎用入出力ポート3
	P31	SBT2_A	SBO2_B			
	P32	SBI2				
	P33	SBO3_A	SBT3_B			
	P34	SBT3_A	SBO3_B			
	P35	SBI3				
	P36	TM26IO				
	P37	TM27IO				
	P40	TM6IO	SBCS3			汎用入出力ポート4
	P41	TM7IO	SBT4			
	P42	TM2IO	CANTXD_B	SBO4		
	P43	TM3IO	CANRXD_B	SBI4		
	P44	TM8IO	PWMBCST0			
	P45	TM9IO	PWMBCST1			

	端子名	兼用端子				機能
I/Oポート	P46	TM10IO	PWMBCST2			汎用入出力ポート4
	P47	TM11IO				
	P50	TM16AIO				汎用入出力ポート5
	P51	TM16BIO				
	P52	TM16AO	PWM10_B			
	P53	TM16BO	PWM11_B			
	P54	TM17AIO	PWM12_B			
	P55	TM17BIO	PWM13_B			
	P56	TM17AO	PWM14_B			
	P57	TM17BO	PWM15_B			
	P60	TM18AIO				汎用入出力ポート6
	P61	TM18BIO				
	P62	TM18AO	PWM00_B			
	P63	TM18BO	PWM01_B			
	P64	TM19AIO	PWM02_B			
	P65	TM19BIO	PWM03_B			
	P66	TM19AO	PWM04_B			
	P67	TM19BO	PWM05_B			
	P70	TM20AIO				汎用入出力ポート7
	P71	TM20BIO				
	P72	TM21AIO				
	P73	TM21BIO				
	P74	TM22AIO				
	P75	TM22BIO				
	P76	TM28IO				
	P77	TM29IO				
	P80	PWM00_A	TM24AO_HR			汎用入出力ポート8
	P81	PWM01_A	TM24BO_HR			
	P82	PWM02_A	TM18AO_HR			
	P83	PWM03_A	TM18BO_HR			
	P84	PWM04_A	TM19AO_HR			
	P85	PWM05_A	TM19BO_HR			
	P86					
	P87					
	P90	PWM10_A	TM16AO_HR			汎用入出力ポート9
	P91	PWM11_A	TM16BO_HR			
	P92	PWM12_A	TM17AO_HR			
	P93	PWM13_A	TM17BO_HR			

	端子名	兼用端子				機能
I/Oポート	P94	PWM14_A	TM25AO_HR			汎用入出力ポート9
	P95	PWM15_A	TM25BO_HR			
	P96					
	P97					
	PA0	PWM20				汎用入出力ポートA
	PA1	PWM21				
	PA2	PWM22				
	PA3	PWM23				
	PA4	PWM24				
	PA5	PWM25				
	PB0	TM23AIO	ADTRG0			汎用入出力ポートB
	PB1	TM23BIO	ADTRG1			
	PB2	TM24AIO	ADTRG2			
	PB3	TM24BIO				
	PB4	TM25AIO				
	PB5	TM25BIO				
	PC0	ADIN00	VGA0N	CMP0REF		汎用入(出)力ポートC
	PC1	ADIN01	VGA0P0	CMP0IN		
	PC2	ADIN02	VGA0P1			
	PC3	ADIN03	VGA0P2			
	PC4	ADIN04				
	PC5	ADIN05				
	PC6	ADIN06				
	PC7	ADIN07				
	PD0	ADIN08	VGA1N	CMP1REF		汎用入(出)力ポートD
	PD1	ADIN09	VGA1P0	CMP1IN		
	PD2	ADIN10	VGA1P1			
	PD3	ADIN11	VGA1P2			
	PD4	ADIN12				
	PD5	ADIN13				
	PD6	ADIN14				
	PD7	ADIN15				
	PE0	ADIN16	VGA2N	CMP2REF		汎用入(出)力ポートE
	PE1	ADIN17	VGA2P0	CMP2IN		
	PE2	ADIN18	VGA2P1			
	PE3	ADIN19	VGA2P2			
	PE4	ADIN20				
	PE5	ADIN21				

	端子名	兼用端子				機能
I/Oポート	PE6	ADIN22	DA0OUT			汎用入（出）力ポートE
	PE7	ADIN23	DA1OUT			
	PF0	ADIN24				汎用入出力ポートF
	PF1	ADIN25				
	PF2	ADIN26				
	PF3	ADIN27				
	PF4					
	PF5					
	PF6					
	PF7					
OBD	SCLK					オンボードデバッガ用クロック入力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	SDATA					オンボードデバッガ用データ入出力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	EXTRG0	P03	TM5IO	IRQ03	CANRXD_A	オンボードデバッガ用トリガ入出力端子
	EXTRG1	P02	TM4IO	IRQ02	CANTXD_A	

*1 MN103HF48シリーズでは、VGAを搭載していません。

1.5.2　端子機能(MN103HFx7シリーズ)

各端子の機能を表1.5.2に示します。

表 1.5.2 MN103HFx7 シリーズの端子機能表

	端子名	兼用端子				機能
電源/ グラウンド	VDD50					デジタルI/O用電源 全てのVDD50端子とVSS端子間に 1 μF以上のコンデンサを接続して ください。(端子近傍に配置)
	AVDD50					アナログ用電源 AVSS端子との間に、1 μFのコンデンサを 接続してください。(端子近傍に配置)
	VOUT18					内部回路用電源 VOUT18端子とVSS端子間に1 μFの コンデンサを接続してください。 (端子近傍に配置)
	AVSS					アナログ用グラウンド
	VSS					デジタル用グラウンド
機能制御	TEST					テスト信号入力端子 2 kΩ以上の抵抗でプルアップして ください。(端子近傍に配置)
	TEST2					2 kΩのプルアップ抵抗を付与 してください。
リセット	NRST					リセット信号入力端子(負論理) NRST端子とVSS端子間に0.1 μF以上の コンデンサを接続してください。
クロック	OSCI					高速発振入力端子
	OSCO					高速発振出力端子
割込み	IRQ00	P00	TM0IO			外部割込み入力端子
	IRQ01	P01	TM1IO			
	IRQ02	P02	TM4IO	CANTXD_A	EXTRG1	
	IRQ03	P03	TM5IO	CANRXD_A	EXTRG0	
	IRQ04	P04	TM12IO			
	IRQ05	P05	TM13IO			
	IRQ06	P06	TM14IO			
	IRQ07	P07	TM15IO			
	IRQ08	P10	CMP0OUT			
	IRQ09	P11	CMP1OUT			
	IRQ10	P12	CMP2OUT			
	IRQ11	P13				
	IRQ12	P14				

	端子名	兼用端子				機能
割込み	IRQ13	P15				外部割込み入力端子
	IRQ14	P16				
	IRQ15	P17				
タイマ	TM0IO	P00	IRQ00			8ビットタイマ入出力端子
	TM1IO	P01	IRQ01			
	TM2IO	P42	CANTXD_B	SBO4		
	TM3IO	P43	CANRXD_B	SBI4		
	TM4IO	P02	IRQ02	CANTXD_A	EXTRG1	
	TM5IO	P03	IRQ03	CANRXD_A	EXTRG0	
	TM6IO	P40	SBCS3			
	TM7IO	P41	SBT4			
	TM8IO	P44	PWMBCST0			
	TM9IO	P45	PWMBCST1			
	TM10IO	P46	PWMBCST2			
	TM11IO	P47				
	TM12IO	P04	IRQ04			
	TM13IO	P05	IRQ05			
	TM14IO	P06	IRQ06			
	TM15IO	P07	IRQ07			
	TM28IO	P76				
	TM29IO	P77				
	TM16AIO	P50				16ビットタイマ入出力A、B端子
	TM16BIO	P51				
	TM17AIO	P54	PWM12_B			
	TM17BIO	P55	PWM13_B			
	TM18AIO	P60				
	TM18BIO	P61				
	TM19AIO	P64	PWMO2_B			
	TM19BIO	P65	PWMO3_B			
	TM20AIO	P70				
	TM20BIO	P71				
	TM21AIO	P72				
	TM21BIO	P73				
	TM22AIO	P74				
	TM22BIO	P75				
	TM23AIO	PB0	ADTRG0			
	TM23BIO	PB1	ADTRG1			
	TM24AIO	PB2	ADTRG2			

	端子名	兼用端子				機能
タイマ	TM24BIO	PB3				16ビットタイマ入出力A、B端子
	TM25AIO	PB4				
	TM25BIO	PB5				
	TM16AO	P52	PWM10_B			16ビットタイマ出力A、B端子
	TM16BO	P53	PWM11_B			
	TM17AO	P56	PWM14_B			
	TM17BO	P57	PWM15_B			
	TM18AO	P62	PWM00_B			
	TM18BO	P63	PWM01_B			
	TM19AO	P66	PWM04_B			
	TM19BO	P67	PWM05_B			
	TM16AO_HR	P90	PWM10_A			
	TM16BO_HR	P91	PWM11_A			
	TM17AO_HR	P92	PWM12_A			
	TM17BO_HR	P93	PWM13_A			
	TM18AO_HR	P82	PWM02_A			
	TM18BO_HR	P83	PWM03_A			
	TM19AO_HR	P84	PWM04_A			
	TM19BO_HR	P85	PWM05_A			
	TM24AO_HR	P80	PWM00_A			
	TM24BO_HR	P81	PWM01_A			
	TM25AO_HR	P94	PWM14_A			
	TM25BO_HR	P95	PWM15_A			
PWM	PWM00_A	P80	TM24AO_HR			モータ制御3相PWM信号出力端子
	PWM01_A	P81	TM24BO_HR			
	PWM02_A	P82	TM18AO_HR			
	PWM03_A	P83	TM18BO_HR			
	PWM04_A	P84	TM19AO_HR			
	PWM05_A	P85	TM19BO_HR			
	PWM10_A	P90	TM16AO_HR			
	PWM11_A	P91	TM16BO_HR			
	PWM12_A	P92	TM17AO_HR			
	PWM13_A	P93	TM17BO_HR			
	PWM14_A	P94	TM25AO_HR			
	PWM15_A	P95	TM25BO_HR			
	PWM00_B	P62	TM18AO			
	PWM01_B	P63	TM18BO			
	PWM02_B	P64	TM19AIO			

	端子名	兼用端子				機能
PWM	PWM03_B	P65	TM19BIO			モータ制御3相PWM信号出力端子
	PWM04_B	P66	TM19AO			
	PWM05_B	P67	TM19BO			
	PWM10_B	P52	TM16AO			
	PWM11_B	P53	TM16BO			
	PWM12_B	P54	TM17AIO			
	PWM13_B	P55	TM17BIO			
	PWM14_B	P56	TM17AO			
	PWM15_B	P57	TM17BO			
	PWM20	PA0				
	PWM21	PA1				
	PWM22	PA2				
	PWM23	PA3				
	PWM24	PA4				
	PWM25	PA5				
	PWMBCST0	P44	TM8IO			モータ制御3相PWMカウンタ状態モニタ端子
	PWMBCST1	P45	TM9IO			
	PWMBCST2	P46	TM10IO			
シリアル	SBT0_A	P21	SBO0_B	SCL0_A	SDA0_B	シリアルクロック入出力端子
	SBT0_B	P20	SBO0_A	SDA0_A	SCL0_B	
	SBT1_A	P24	SBO1_B	LINTXD_B		
	SBT1_B	P23	SBO1_A	LINTXD_A		
	SBT2_A	P31	SBO2_B			
	SBT2_B	P30	SBO2_A			
	SBT3_A	P34	SBO3_B			
	SBT3_B	P33	SBO3_A			
	SBT4	P41	TM7IO			
	SBO0_A	P20	SBT0_B	SDA0_A	SCL0_B	シリアルデータ出力端子
	SBO0_B	P21	SBT0_A	SCL0_A	SDA0_B	
	SBO1_A	P23	SBT1_B	LINTXD_A		
	SBO1_B	P24	SBT1_A	LINTXD_B		
	SBO2_A	P30	SBT2_B			
	SBO2_B	P31	SBT2_A			
	SBO3_A	P33	SBT3_B			
	SBO3_B	P34	SBT3_A			
	SBO4	P42	TM2IO	CANTXD_B		
	SBI0	P22				シリアルデータ入力端子
	SBI1	P25	LINRXD			

	端子名	兼用端子				機能
シリアル	SBI2	P32				シリアルデータ入力端子
	SBI3	P35				
	SBI4	P43	TM3IO	CANTXD_B		
	SBCS3	P40	TM6IO			シリアルチップセレクト入出力端子
IIC	SCLO_A	P21	SBTO_A	SBOO_B	SDAO_B	IICクロック入出力端子
	SCLO_B	P20	SBOO_A	SBTO_B	SDAO_A	
	SDAO_A	P20	SBOO_A	SBTO_B	SCLO_B	IICデータ入出力端子
	SDAO_B	P21	SBTO_A	SBOO_B	SCLO_A	
CAN	CANTXD_A	PO2	IRQO2	TM4IO	EXTRG1	CANデータ送信端子
	CANTXD_B	P42	TM2IO	SBO4		
	CANRXD_A	PO3	IRQO3	TM5IO	EXTRG0	CANデータ受信端子
	CANRXD_B	P43	TM3IO	SBI4		
LIN	LINTXD_A	P23	SBO1_A	SBT1_B		LINデータ送信端子
	LINTXD_B	P24	SBT1_A	SBO1_B		
	LINRXD	P25	SBI1			LINデータ受信端子
A/Dコンバータ	ADINO0	PC0	VGAON	CMPOREF		A/Dコンバータ用アナログ入力端子
	ADINO1	PC1	VGAOPO	CMPOIN		
	ADINO2	PC2	VGAOP1			
	ADINO3	PC3	VGAOP2			
	ADINO4	PC4				
	ADINO5	PC5				
	ADINO6	PC6				
	ADINO7	PC7				
	ADIN08	PD0	VGA1N	CMP1REF		
	ADIN09	PD1	VGA1PO	CMP1IN		
	ADIN10	PD2	VGA1P1			
	ADIN11	PD3	VGA1P2			
	ADIN12	PD4				
	ADIN13	PD5				
	ADIN14	PD6				
	ADIN15	PD7				
	ADIN16	PE0	VGA2N	CMP2REF		
	ADIN17	PE1	VGA2PO	CMP2IN		
	ADIN18	PE2	VGA2P1			
	ADIN19	PE3	VGA2P2			
	ADIN20	PE4				
	ADIN21	PE5				
	ADIN22	PE6	DAOOUT			

	端子名	兼用端子				機能
A/Dコンバータ	ADIN23	PE7	DA1OUT			A/Dコンバータ用アナログ入力端子
	ADIN24	PF0				
	ADIN25	PF1				
	ADIN26	PF2				
	ADIN27	PF3				
	ADTRG0	PB0	TM23AIO			A/D変換トリガ信号出力端子
	ADTRG1	PB1	TM23BIO			
	ADTRG2	PB2	TM24AIO			
VGA(*1)	VGAON	PC0	ADIN00	CMP0REF		VGA用アナログ入力端子
	VGA0P0	PC1	ADIN01	CMP0IN		
	VGA0P1	PC2	ADIN02			
	VGA0P2	PC3	ADIN03			
	VGA1N	PD0	ADIN08	CMP1REF		
	VGA1P0	PD1	ADIN09	CMP1IN		
	VGA1P1	PD2	ADIN10			
	VGA1P2	PD3	ADIN11			
	VGA2N	PE0	ADIN16	CMP2REF		
	VGA2P0	PE1	ADIN17	CMP2IN		
	VGA2P1	PE2	ADIN18			
	VGA2P2	PE3	ADIN19			
コンパレータ	CMP0REF	PC0	ADIN00	VGA0N		コンパレータ基準電圧入力端子
	CMP1REF	PD0	ADIN08	VGA1N		
	CMP2REF	PE0	ADIN16	VGA2N		
	CMP0IN	PC1	ADIN01	VGA0P0		コンパレータ入力端子
	CMP1IN	PD1	ADIN09	VGA1P0		
	CMP2IN	PE1	ADIN17	VGA2P0		
	CMP0OUT	P10	IRQ08			コンパレータ出力端子
	CMP1OUT	P11	IRQ09			
	CMP2OUT	P12	IRQ10			
DAコンバータ	DA0OUT	PE6	ADIN22			DAコンバータ出力端子
	DA1OUT	PE7	ADIN23			
I/Oポート	P00	IRQ00	TM0IO			汎用入出力ポート0
	P01	IRQ01	TM1IO			
	P02	IRQ02	TM4IO	CANTXD_A	EXTRG1	
	P03	IRQ03	TM5IO	CANRXD_A	EXTRG0	
	P04	IRQ04	TM12IO			
	P05	IRQ05	TM13IO			
	P06	IRQ06	TM14IO			

	端子名	兼用端子				機能
I/O ポート	P07	IRQ07	TM15IO			汎用入出力ポート0
	P10	IRQ08	CMP0OUT			汎用入出力ポート1
	P11	IRQ09	CMP1OUT			
	P12	IRQ10	CMP2OUT			
	P13	IRQ11				汎用入出力ポート1
	P14	IRQ12				
	P15	IRQ13				
	P16	IRQ14				
	P17	IRQ15				
	P20	SBO0_A	SBT0_B	SDA0_A	SCL0_B	汎用入出力ポート2
	P21	SBT0_A	SBO0_B	SCL0_A	SDA0_B	
	P22	SBI0				
	P23	SBO1_A	SBT1_B	LINTXD_A		
	P24	SBT1_A	SBO1_B	LINTXD_B		
	P25	SBI1	LINRXD			
	P30	SBO2_A	SBT2_B			汎用入出力ポート3
	P31	SBT2_A	SBO2_B			
	P32	SBI2				
	P33	SBO3_A	SBT3_B			
	P34	SBT3_A	SBO3_B			
	P35	SBI3				
	P40	TM6IO	SBCS3			汎用入出力ポート4
	P41	TM7IO	SBT4			
	P42	TM2IO	CANTXD_B	SBO4		
	P43	TM3IO	CANRXD_B	SBI4		
	P44	TM8IO	PWMBCST0			
	P45	TM9IO	PWMBCST1			
	P46	TM10IO	PWMBCST2			
	P47	TM11IO				
	P50	TM16AIO				汎用入出力ポート5
	P51	TM16BIO				
	P52	TM16AO	PWM10_B			
	P53	TM16BO	PWM11_B			
	P54	TM17AIO	PWM12_B			
	P55	TM17BIO	PWM13_B			
	P56	TM17AO	PWM14_B			
	P57	TM17BO	PWM15_B			

	端子名	兼用端子				機能
I/Oポート	P60	TM18AIO				汎用入出力ポート6
	P61	TM18BIO				
	P62	TM18AO	PWM00_B			
	P63	TM18BO	PWM01_B			
	P64	TM19AIO	PWM02_B			
	P65	TM19BIO	PWM03_B			
	P66	TM19AO	PWM04_B			
	P67	TM19BO	PWM05_B			
	P70	TM20AIO				汎用入出力ポート7
	P71	TM20BIO				
	P72	TM21AIO				
	P73	TM21BIO				
	P74	TM22AIO				
	P75	TM22BIO				
	P76	TM28IO				
	P77	TM29IO				
	P80	PWM00_A	TM24AO_HR			汎用入出力ポート8
	P81	PWM01_A	TM24BO_HR			
	P82	PWM02_A	TM18AO_HR			
	P83	PWM03_A	TM18BO_HR			
	P84	PWM04_A	TM19AO_HR			
	P85	PWM05_A	TM19BO_HR			
	P90	PWM10_A	TM16AO_HR			汎用入出力ポート9
	P91	PWM11_A	TM16BO_HR			
	P92	PWM12_A	TM17AO_HR			
	P93	PWM13_A	TM17BO_HR			
	P94	PWM14_A	TM25AO_HR			
	P95	PWM15_A	TM25BO_HR			
	PA0	PWM20				汎用入出力ポートA
	PA1	PWM21				
	PA2	PWM22				
	PA3	PWM23				
	PA4	PWM24				
	PA5	PWM25				
	PB0	TM23AIO	ADTRG0			汎用入出力ポートB
	PB1	TM23BIO	ADTRG1			
	PB2	TM24AIO	ADTRG2			
	PB3	TM24BIO				

	端子名	兼用端子				機能
I/O ポート	PB4	TM25AIO				汎用入出力ポートB
	PB5	TM25BIO				
	PC0	ADIN00	VGA0N	CMP0REF		汎用入(出)力ポートC
	PC1	ADIN01	VGA0P0	CMP0IN		
	PC2	ADIN02	VGA0P1			
	PC3	ADIN03	VGA0P2			汎用入(出)力ポートC
	PC4	ADIN04				
	PC5	ADIN05				
	PC6	ADIN06				
	PC7	ADIN07				
	PD0	ADIN08	VGA1N	CMP1REF		汎用入(出)力ポートD
	PD1	ADIN09	VGA1P0	CMP1IN		
	PD2	ADIN10	VGA1P1			
	PD3	ADIN11	VGA1P2			
	PD4	ADIN12				
	PD5	ADIN13				
	PD6	ADIN14				
	PD7	ADIN15				
	PE0	ADIN16	VGA2N	CMP2REF		汎用入(出)力ポートE
	PE1	ADIN17	VGA2P0	CMP2IN		
	PE2	ADIN18	VGA2P1			
	PE3	ADIN19	VGA2P2			
	PE4	ADIN20				
	PE5	ADIN21				
	PE6	ADIN22	DA0OUT			
	PE7	ADIN23	DA1OUT			
	PF0	ADIN24				汎用入出力ポートF
	PF1	ADIN25				
	PF2	ADIN26				
	PF3	ADIN27				
OBD	SCLK					オンボードデバッガ用クロック入力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	SDATA					オンボードデバッガ用データ入出力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	EXTRG0	P03	TM5IO	IRQ03	CANRXD_A	オンボードデバッガ用トリガ入出力端子
	EXTRG1	P02	TM4IO	IRQ02	CANTXD_A	

*1 MN103HF47シリーズでは、VGAを搭載していません。

1.5.3　端子機能(MN103HFx6シリーズ)

各端子の機能を表1.5.3に示します。

表 1.5.3 MN103HFx6 シリーズの端子機能表

	端子名	兼用端子				機能
電源/ グラウンド	VDD50					デジタルI/O用電源 全てのVDD50端子とVSS端子間に 1 μF以上のコンデンサを接続して ください。(端子近傍に配置)
	AVDD50					アナログ用電源 AVSS端子との間に、1 μFのコンデンサを 接続してください。(端子近傍に配置)
	VOUT18					内部回路用電源 VOUT18端子とVSS端子間に1 μFの コンデンサを接続してください。 (端子近傍に配置)
	AVSS					アナログ用グラウンド
	VSS					デジタル用グラウンド
機能制御	TEST					テスト信号入力端子 2 kΩ以上の抵抗でプルアップして ください。(端子近傍に配置)
	TEST2					2 kΩのプルアップ抵抗を付与 してください。
リセット	NRST					リセット信号入力端子(負論理) NRST端子とVSS端子間に0.1 μF以上の コンデンサを接続してください。
クロック	OSCI					高速発振入力端子
	OSCO					高速発振出力端子
割込み	IRQ00	P00	TM0IO	DA0OUT		外部割込み入力端子
	IRQ01	P01	TM1IO	DA1OUT		
	IRQ02	P02	TM4IO	CANTXD_A	EXTRG1	
	IRQ03	P03	TM5IO	CANRXD_A	EXTRG0	
	IRQ04	P04				
	IRQ05	P05				
	IRQ06	P06				
	IRQ07	P07				
	IRQ08	P10				
	IRQ09	P11				
	IRQ10	P42	TM2IO	CANTXD_B		
	IRQ11	P43	TM3IO	CANRXD_B		
	IRQ12	P70	TM20AIO	PWM02_B		

	端子名	兼用端子				機能
割込み	IRQ13	P71	TM20BIO	PWMO3_B		外部割込み入力端子
	IRQ14	P72	TM21AIO	PWMO4_B		
	IRQ15	P73	TM21BIO	PWMO5_B		
タイマ	TMOIO	P00	IRQO0	DA0OUT		8ビットタイマ入出力端子
	TM1IO	P01	IRQO1	DA1OUT		
	TM2IO	P42	CANTXD_B	IRQ10		
	TM3IO	P43	CANRXD_B	IRQ11		
	TM4IO	P02	IRQO2	CANTXD_A	EXTRG1	
	TM5IO	P03	IRQO3	CANRXD_A	EXTRG0	
	TM6IO	P40	SBCS3			
	TM7IO	P41				
	TM8IO	P44	PWMBCST0			
	TM9IO	P45	PWMBCST1			
	TM10IO	P46				
	TM11IO	P47				
	TM16AIO	P50				16ビットタイマ入出力A、B端子
	TM16BIO	P51				
	TM17AIO	P54	PWM12_B			
	TM17BIO	P55	PWM13_B			
	TM18AIO	P60				
	TM18BIO	P61				
	TM19AIO	P64				
	TM19BIO	P65				
	TM20AIO	P70	IRQ12	PWMO2_B		
	TM20BIO	P71	IRQ13	PWMO3_B		
	TM21AIO	P72	IRQ14	PWMO4_B		
	TM21BIO	P73	IRQ15	PWMO5_B		
	TM22AIO	P94	PWM14_A			
	TM22BIO	P95	PWM15_A			
	TM23AIO	PB0	ADTRG0			
	TM23BIO	PB1	ADTRG1			
	TM16AO	P52	PWM10_B			16ビットタイマ出力A、B端子
	TM16BO	P53	PWM11_B			
	TM17AO	P56	PWM14_B			
	TM17BO	P57	PWM15_B			
	TM16AO_HR	P90	PWM10_A			
	TM16BO_HR	P91	PWM11_A			
	TM17AO_HR	P92	PWM12_A			

	端子名	兼用端子				機能
タイマ	TM17BO_HR	P93	PWM13_A			16ビットタイマ出力A、B端子
	TM18AO_HR	P82	PWMO2_A			
	TM18BO_HR	P83	PWMO3_A			
	TM19AO_HR	P84	PWMO4_A			
	TM19BO_HR	P85	PWMO5_A			
PWM	PWMO0	P80				モータ制御3相PWM信号出力端子
	PWMO1	P81				
	PWMO2_A	P82	TM18AO_HR			
	PWMO3_A	P83	TM18BO_HR			
	PWMO4_A	P84	TM19AO_HR			
	PWMO5_A	P85	TM19BO_HR			
	PWM10_A	P90	TM16AO_HR			
	PWM11_A	P91	TM16BO_HR			
	PWM12_A	P92	TM17AO_HR			
	PWM13_A	P93	TM17BO_HR			
	PWM14_A	P94	TM22AIO			
	PWM15_A	P95	TM22BIO			
	PWMO2_B	P70	IRQ12	TM20AIO		
	PWMO3_B	P71	IRQ13	TM20BIO		
	PWMO4_B	P72	IRQ14	TM21AIO		
	PWMO5_B	P73	IRQ15	TM21BIO		
	PWM10_B	P52	TM16AO			
	PWM11_B	P53	TM16BO			
	PWM12_B	P54	TM17AIO			
	PWM13_B	P55	TM17BIO			
	PWM14_B	P56	TM17AO			
	PWM15_B	P57	TM17BO			
	PWMBCST0	P44	TM8IO			モータ制御3相PWMカウンタ状態モニタ端子
	PWMBCST1	P45	TM9IO			
シリアル	SBT0_A	P21	SBO0_B	SCL0_A	SDA0_B	シリアルクロック入出力端子
	SBT0_B	P20	SBO0_A	SDA0_A	SCL0_B	
	SBT1_A	P24	SBO1_B	LINTXD_B		
	SBT1_B	P23	SBO1_A	LINTXD_A		
	SBT2_A	P31	SBO2_B			
	SBT2_B	P30	SBO2_A			
	SBT3_A	P34	SBO3_B			
	SBT3_B	P33	SBO3_A			
	SBO0_A	P20	SBT0_B	SDA0_A	SCL0_B	シリアルデータ出力端子

	端子名	兼用端子				機能
シリアル	SBO0_B	P21	SBT0_A	SCL0_A	SDA0_B	シリアルデータ出力端子
	SBO1_A	P23	SBT1_B	LINTXD_A		
	SBO1_B	P24	SBT1_A	LINTXD_B		
	SBO2_A	P30	SBT2_B			
	SBO2_B	P31	SBT2_A			
	SBO3_A	P33	SBT3_B			
	SBO3_B	P34	SBT3_A			
	SBI0	P22				シリアルデータ入力端子
	SBI1	P25	LINRXD			
	SBI2	P32				
	SBI3	P35				
	SBCS3	P40	TM6IO			シリアルチップセレクト入出力端子
IIC	SCL0_A	P21	SBT0_A	SBO0_B	SDA0_B	IICクロック入出力端子
	SCL0_B	P20	SBO0_A	SBT0_B	SDA0_A	
	SDA0_A	P20	SBO0_A	SBT0_B	SCL0_B	IICデータ入出力端子
	SDA0_B	P21	SBT0_A	SBO0_B	SCL0_A	
CAN	CANTXD_A	P02	IRQ02	TM4IO	EXTRG1	CANデータ送信端子
	CANTXD_B	P42	TM2IO	IRQ10		
	CANRXD_A	P03	IRQ03	TM5IO	EXTRG0	CANデータ受信端子
	CANRXD_B	P43	TM3IO	IRQ11		
LIN	LINTXD_A	P23	SBO1_A	SBT1_B		LINデータ送信端子
	LINTXD_B	P24	SBT1_A	SBO1_B		
	LINRXD	P25	SBI1			LINデータ受信端子
A/Dコンバータ	ADIN00	PC0	VGAON	CMPOREF		A/Dコンバータ用アナログ入力端子
	ADIN01	PC1	VGAOP0	CMP0IN		
	ADIN02	PC2	VGAOP1			
	ADIN03	PC3	VGAOP2			
	ADIN04	PC4				
	ADIN05	PC5				
	ADIN06	PC6				
	ADIN07	PC7				
	ADIN08	PD0	VGA1N	CMP1REF		
	ADIN09	PD1	VGA1P0	CMP1IN		
	ADIN10	PD2	VGA1P1			
	ADIN11	PD3	VGA1P2			
	ADIN12	PD4				
	ADIN13	PD5				
	ADIN14	PD6				

	端子名	兼用端子				機能
A/Dコンバータ	ADIN15	PD7				A/Dコンバータ用アナログ入力端子
	ADIN16	PE0	VGA2N	CMP2REF		
	ADIN17	PE1	VGA2P	CMP2IN		
	ADIN20	PE4				
	ADIN21	PE5				
	ADTRG0	PB0	TM23AIO			A/D変換トリガ信号出力端子
	ADTRG1	PB1	TM23BIO			
	ADTRG2	PB2				
VGA(*1)	VGAON	PC0	ADIN00	CMP0REF		VGA用アナログ入力端子
	VGA0P0	PC1	ADIN01	CMP0IN		
	VGA0P1	PC2	ADIN02			
	VGA0P2	PC3	ADIN03			
	VGA1N	PD0	ADIN08	CMP1REF		
	VGA1P0	PD1	ADIN09	CMP1IN		
	VGA1P1	PD2	ADIN10			
	VGA1P2	PD3	ADIN11			
	VGA2N	PE0	ADIN16	CMP2REF		
	VGA2P	PE1	ADIN17	CMP2IN		
コンパレータ	CMP0REF	PC0	ADIN00	VGAON		コンパレータ基準電圧入力端子
	CMP1REF	PD0	ADIN08	VGA1N		
	CMP2REF	PE0	ADIN16	VGA2N		
	CMP0IN	PC1	ADIN01	VGA0P0		コンパレータ入力端子
	CMP1IN	PD1	ADIN09	VGA1P0		
	CMP2IN	PE1	ADIN17	VGA2P		
	CMP0OUT	PB3				コンパレータ出力端子
	CMP1OUT	PB4				
	CMP2OUT	PB5				
DAコンバータ	DA0OUT	P00	IRQ00	TM0IO		DAコンバータ出力端子
	DA1OUT	P01	IRQ01	TM1IO		
I/Oポート	P00	IRQ00	TM0IO	DA0OUT		汎用入出力ポート0
	P01	IRQ01	TM1IO	DA1OUT		
	P02	IRQ02	TM4IO	CANTXD_A	EXTRG1	
	P03	IRQ03	TM5IO	CANRXD_A	EXTRG0	
	P04	IRQ04				
	P05	IRQ05				
	P06	IRQ06				
	P07	IRQ07				
	P10	IRQ08				汎用入出力ポート1

	端子名	兼用端子				機能
I/O ポート	P11	IRQ09				汎用入出力ポート1
	P20	SBO0_A	SBT0_B	SDA0_A	SCL0_B	汎用入出力ポート2
	P21	SBT0_A	SBO0_B	SCL0_A	SDA0_B	
	P22	SBI0				
	P23	SBO1_A	SBT1_B	LINTXD_A		
	P24	SBT1_A	SBO1_B	LINTXD_B		
	P25	SBI1	LINRXD			
	P30	SBO2_A	SBT2_B			汎用入出力ポート3
	P31	SBT2_A	SBO2_B			
	P32	SBI2				
	P33	SBO3_A	SBT3_B			
	P34	SBT3_A	SBO3_B			
	P35	SBI3				
	P40	TM6IO	SBCS3			汎用入出力ポート4
	P41	TM7IO				
	P42	TM2IO	CANTXD_B	IRQ10		
	P43	TM3IO	CANRXD_B	IRQ11		
	P44	TM8IO	PWMBCST0			
	P45	TM9IO	PWMBCST1			
	P46	TM10IO				
	P47	TM11IO				
	P50	TM16AIO				汎用入出力ポート5
	P51	TM16BIO				
	P52	TM16AO	PWM10_B			
	P53	TM16BO	PWM11_B			
	P54	TM17AIO	PWM12_B			
	P55	TM17BIO	PWM13_B			
	P56	TM17AO	PWM14_B			
	P57	TM17BO	PWM15_B			
	P60	TM18AIO				汎用入出力ポート6
	P61	TM18BIO				
	P64	TM19AIO				
	P65	TM19BIO				
	P70	TM20AIO	IRQ12	PWM02_B		汎用入出力ポート7
	P71	TM20BIO	IRQ13	PWM03_B		
	P72	TM21AIO	IRQ14	PWM04_B		
	P73	TM21BIO	IRQ15	PWM05_B		
	P80	PWM00				汎用入出力ポート8

	端子名	兼用端子				機能
I/O ポート	P81	PWM01				汎用入出力ポート8
	P82	PWM02_A	TM18A0_HR			
	P83	PWM03_A	TM18B0_HR			
	P84	PWM04_A	TM19A0_HR			
	P85	PWM05_A	TM19B0_HR			
	P90	PWM10_A	TM16A0_HR			汎用入出力ポート9
	P91	PWM11_A	TM16B0_HR			
	P92	PWM12_A	TM17A0_HR			
	P93	PWM13_A	TM17B0_HR			
	P94	PWM14_A	TM22AI0			
	P95	PWM15_A	TM22BI0			
	PB0	TM23AI0	ADTRG0			汎用入出力ポートB
	PB1	TM23BI0	ADTRG1			
	PB2	ADTRG2				
	PB3	CMP0OUT				
	PB4	CMP1OUT				
	PB5	CMP2OUT				
	PC0	ADIN00	VGA0N	CMP0REF		汎用入(出)力ポートC
	PC1	ADIN01	VGA0P0	CMP0IN		
	PC2	ADIN02	VGA0P1			
	PC3	ADIN03	VGA0P2			
	PC4	ADIN04				
	PC5	ADIN05				
	PC6	ADIN06				
	PC7	ADIN07				
	PD0	ADIN08	VGA1N	CMP1REF		汎用入(出)力ポートD
	PD1	ADIN09	VGA1P0	CMP1IN		
	PD2	ADIN10	VGA1P1			
	PD3	ADIN11	VGA1P2			
	PD4	ADIN12				
	PD5	ADIN13				
	PD6	ADIN14				
	PD7	ADIN15				
	PE0	ADIN16	VGA2N	CMP2REF		汎用入(出)力ポートE
	PE1	ADIN17	VGA2P	CMP2IN		
	PE4	ADIN20				
	PE5	ADIN21				

	端子名	兼用端子				機能
OBD	SCLK					オンボードデバッガ用クロック入力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	SDATA					オンボードデバッガ用データ入出力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	EXTRG0	P03	TM5IO	IRQ03	CANRXD_A	オンボードデバッガ用トリガ入出力端子
	EXTRG1	P02	TM4IO	IRQ02	CANTXD_A	

*1 MN103HF46シリーズでは、VGAを搭載していません。

1.5.4　端子機能(MN103HFx5シリーズ)

各端子の機能を表1.5.4に示します。

表 1.5.4 MN103HFx5 シリーズの端子機能表

	端子名	兼用端子				機能
電源/ グラウンド	VDD50					デジタルI/O用電源 全てのVDD50端子とVSS端子間に 1 μF以上のコンデンサを接続して ください。(端子近傍に配置)
	AVDD50					アナログ用電源 AVSS端子との間に、1 μFのコンデンサを 接続してください。(端子近傍に配置)
	VOUT18					内部回路用電源 VOUT18端子とVSS端子間に1 μFの コンデンサを接続してください。 (端子近傍に配置)
	AVSS					アナログ用グラウンド
	VSS					デジタル用グラウンド
機能制御	TEST					テスト信号入力端子 2 kΩ以上の抵抗でプルアップして ください。(端子近傍に配置)
	TEST2					2 kΩのプルアップ抵抗を付与 してください。
リセット	NRST					リセット信号入力端子(負論理) NRST端子とVSS端子間に0.1 μF以上の コンデンサを接続してください。
クロック	OSCI					高速発振入力端子
	OSCO					高速発振出力端子
割込み	IRQ00	P00	TM0IO	DA0OUT		外部割込み入力端子
	IRQ01	P01	TM1IO	DA1OUT		
	IRQ02	P02	TM4IO	CANTXD_A	EXTRG1	
	IRQ03	P03	TM5IO	CANRXD_A	EXTRG0	
	IRQ04	P04				
	IRQ05	P05				
	IRQ06	P06				
	IRQ07	P07				
	IRQ08	P40	TM6IO			
	IRQ09	P41	TM7IO			
	IRQ10	P42	TM2IO	CANTXD_B		
	IRQ11	P43	TM3IO	CANRXD_B		
タイマ	TM0IO	P00	IRQ00	DA0OUT		8ビットタイマ入出力端子

	端子名	兼用端子				機能
タイマ	TM1IO	P01	IRQ01	DA1OUT		8ビットタイマ入出力端子
	TM2IO	P42	CANTXD_B	IRQ10		
	TM3IO	P43	CANRXD_B	IRQ11		
	TM4IO	P02	IRQ02	CANTXD_A	EXTRG1	
	TM5IO	P03	IRQ03	CANRXD_A	EXTRG0	
	TM6IO	P40	IRQ08			
	TM7IO	P41	IRQ09			
	TM8IO	P44	SBO2_A	SBT2_B		
	TM9IO	P45	SBT2_A	SBO2_B		
	TM10IO	P46	SBI2			
	TM11IO	P47				
	TM16AIO	P50	PWMO2_B			16ビットタイマ入出力A、B端子
	TM16BIO	P51	PWMO3_B			
	TM17AIO	P54	PWMO4_B			
	TM17BIO	P55	PWMO5_B			
	TM18AIO	P60	PWM10_B			
	TM18BIO	P61	PWM11_B	CMP2OUT		
	TM19AIO	P64	PWMBCST0	CMP0OUT		
	TM19BIO	P65	PWMBCST1	CMP1OUT		
	TM20AIO	P90	PWM10_A	TM16AO_HR		
	TM20BIO	P91	PWM11_A	TM16BO_HR		
	TM21AIO	P92	PWM12_A	TM17AO_HR		
	TM21BIO	P93	PWM13_A	TM17BO_HR		
	TM22AIO	P94	PWM14			
	TM22BIO	P95	PWM15			
	TM23AIO	PB0	PWM12_B	ADTRG0		
	TM23BIO	PB1	PWM13_B	ADTRG1		
	TM16AO_HR	P90	PWM10_A	TM20AIO		16ビットタイマ出力A、B端子
	TM16BO_HR	P91	PWM11_A	TM20BIO		
	TM17AO_HR	P92	PWM12_A	TM21AIO		
	TM17BO_HR	P93	PWM13_A	TM21BIO		
	TM18AO_HR	P82	PWMO2_A			
	TM18BO_HR	P83	PWMO3_A			
	TM19AO_HR	P84	PWMO4_A			
	TM19BO_HR	P85	PWMO5_A			
PWM	PWMO0	P80				モータ制御3相PWM信号出力端子
	PWMO1	P81				
	PWMO2_A	P82	TM18AO_HR			

	端子名	兼用端子				機能
PWM	PWM03_A	P83	TM18BO_HR			モータ制御3相PWM信号出力端子
	PWM04_A	P84	TM19AO_HR			
	PWM05_A	P85	TM19BO_HR			
	PWM10_A	P90	TM16AO_HR	TM20AIO		
	PWM11_A	P91	TM16BO_HR	TM20BIO		
	PWM12_A	P92	TM17AO_HR	TM21AIO		
	PWM13_A	P93	TM17BO_HR	TM21BIO		
	PWM02_B	P50	TM16AIO			
	PWM03_B	P51	TM16BIO			
	PWM04_B	P54	TM17AIO			
	PWM05_B	P55	TM17BIO			
	PWM10_B	P60	TM18AIO			
	PWM11_B	P61	TM18BIO	CMP2OUT		
	PWM12_B	PB0	TM23AIO	ADTRG0		
	PWM13_B	PB1	TM23BIO	ADTRG1		
	PWM14	P94	TM22AIO			
	PWM15	P95	TM22BIO			
	PWMBCST0	P64	TM19AIO	CMP0OUT		モータ制御3相PWMカウンタ状態モニタ端子
	PWMBCST1	P65	TM19BIO	CMP1OUT		
シリアル	SBT0_A	P21	SB00_B	SCL0_A	SDA0_B	シリアルクロック入出力端子
	SBT0_B	P20	SB00_A	SDA0_A	SCL0_B	
	SBT1_A	P24	SB01_B	LINTXD_B		
	SBT1_B	P23	SB01_A	LINTXD_A		
	SBT2_A	P45	SB02_B	TM9IO		
	SBT2_B	P44	SB02_A	TM8IO		
	SBT3_A	P31	SB03_B			
	SBT3_B	P30	SB03_A			
	SB00_A	P20	SBT0_B	SDA0_A	SCL0_B	シリアルデータ出力端子
	SB00_B	P21	SBT0_A	SCL0_A	SDA0_B	
	SB01_A	P23	SBT1_B	LINTXD_A		
	SB01_B	P24	SBT1_A	LINTXD_B		
	SB02_A	P44	SBT2_B	TM8IO		
	SB02_B	P45	SBT2_A	TM9IO		
	SB03_A	P30	SBT3_B			
	SB03_B	P31	SBT3_A			
	SBI0	P22				シリアルデータ入力端子
	SBI1	P25	LINRXD			
	SBI2	P46	TM10IO			

	端子名	兼用端子				機能
シリアル	SBI3	P32				シリアルデータ入力端子
	SBCS3	P33	ADTRG2			シリアルチップセレクト入出力端子
IIC	SCL0_A	P21	SBT0_A	SBO0_B	SDA0_B	IICクロック入出力端子
	SCL0_B	P20	SBO0_A	SBT0_B	SDA0_A	
	SDA0_A	P20	SBO0_A	SBT0_B	SCL0_B	IICデータ入出力端子
	SDA0_B	P21	SBT0_A	SBO0_B	SCL0_A	
CAN	CANTXD_A	P02	IRQ02	TM4IO	EXTRG1	CANデータ送信端子
	CANTXD_B	P42	TM2IO	IRQ10		
	CANRXD_A	P03	IRQ03	TM5IO	EXTRG0	CANデータ受信端子
	CANRXD_B	P43	TM3IO	IRQ11		
LIN	LINTXD_A	P23	SBO1_A	SBT1_B		LINデータ送信端子
	LINTXD_B	P24	SBT1_A	SBO1_B		
	LINRXD	P25	SBI1			LINデータ受信端子
A/Dコンバータ	ADIN00	PC0	VGAON	CMPOREF		A/Dコンバータ用アナログ入力端子
	ADIN01	PC1	VGAOP0	CMP0IN		
	ADIN02	PC2	VGAOP1			
	ADIN03	PC3	VGAOP2			
	ADIN04	PC4				
	ADIN05	PC5				
	ADIN06	PC6				
	ADIN07	PC7				
	ADIN08	PD0	VGA1N	CMP1REF		
	ADIN09	PD1	VGA1P0	CMP1IN		
	ADIN10	PD2	VGA1P1			
	ADIN11	PD3	VGA1P2			
	ADIN12	PD4				
	ADIN13	PD5				
	ADIN16	PE0	VGA2N	CMP2REF		
	ADIN17	PE1	VGA2P	CMP2IN		
	ADTRG0	PB0	TM23AIO	PWM12_B		A/D変換トリガ信号出力端子
	ADTRG1	PB1	TM23BIO	PWM13_B		
	ADTRG2	P33	SBCS3			
VGA(*1)	VGAON	PC0	ADIN00	CMPOREF		VGA用アナログ入力端子
	VGAOP0	PC1	ADIN01	CMP0IN		
	VGAOP1	PC2	ADIN02			
	VGAOP2	PC3	ADIN03			
	VGA1N	PD0	ADIN08	CMP1REF		
	VGA1P0	PD1	ADIN09	CMP1IN		

	端子名	兼用端子				機能
VGA(*1)	VGA1P1	PD2	ADIN10			VGA用アナログ入力端子
	VGA1P2	PD3	ADIN11			
	VGA2N	PE0	ADIN16	CMP2REF		
	VGA2P	PE1	ADIN17	CMP2IN		
コンパレータ	CMP0REF	PC0	ADIN00	VGA0N		コンパレータ基準電圧入力端子
	CMP1REF	PD0	ADIN08	VGA1N		
	CMP2REF	PE0	ADIN16	VGA2N		
	CMP0IN	PC1	ADIN01	VGA0P0		コンパレータ入力端子
	CMP1IN	PD1	ADIN09	VGA1P0		
	CMP2IN	PE1	ADIN17	VGA2P		
	CMP0OUT	P64	TM19AIO	PWMBCST0		コンパレータ出力端子
	CMP1OUT	P65	TM19BIO	PWMBCST1		
	CMP2OUT	P61	TM18BIO	PWM11_B		
DAコンバータ	DA0OUT	P00	IRQ00	TM0IO		DAコンバータ出力端子
	DA1OUT	P01	IRQ01	TM1IO		
I/Oポート	P00	IRQ00	TM0IO	DA0OUT		汎用入出力ポート0
	P01	IRQ01	TM1IO	DA1OUT		
	P02	IRQ02	TM4IO	CANTXD_A	EXTRG1	
	P03	IRQ03	TM5IO	CANRXD_A	EXTRG0	
	P04	IRQ04				
	P05	IRQ05				
	P06	IRQ06				
	P07	IRQ07				
	P20	SBO0_A	SBT0_B	SDA0_A	SCL0_B	汎用入出力ポート2
	P21	SBT0_A	SBO0_B	SCL0_A	SDA0_B	
	P22	SBI0				
	P23	SBO1_A	SBT1_B	LINTXD_A		
	P24	SBT1_A	SBO1_B	LINTXD_B		
	P25	SBI1	LINRXD			
	P30	SBO3_A	SBT3_B			汎用入出力ポート3
	P31	SBT3_A	SBO3_B			
	P32	SBI3				
	P33	SBCS3	ADTRG2			
	P40	TM6IO	IRQ08			汎用入出力ポート4
	P41	TM7IO	IRQ09			
	P42	TM2IO	CANTXD_B	IRQ10		
	P43	TM3IO	CANRXD_B	IRQ11		
	P44	TM8IO	SBO2_A	SBT2_B		

	端子名	兼用端子				機能
I/Oポート	P45	TM9IO	SBT2_A	SBO2_B		汎用入出力ポート4
	P46	TM10IO	SBI2			
	P47	TM11IO				
	P50	TM16AIO	PWMO2_B			汎用入出力ポート5
	P51	TM16BIO	PWMO3_B			
	P54	TM17AIO	PWMO4_B			
	P55	TM17BIO	PWMO5_B			
	P60	TM18AIO	PWM10_B			汎用入出力ポート6
	P61	TM18BIO	PWM11_B	CMP2OUT		
	P64	TM19AIO	PWMBCST0	CMP0OUT		
	P65	TM19BIO	PWMBCST1	CMP1OUT		
	P80	PWMO0				汎用入出力ポート8
	P81	PWMO1				
	P82	PWMO2_A	TM18AO_HR			
	P83	PWMO3_A	TM18BO_HR			
	P84	PWMO4_A	TM19AO_HR			
	P85	PWMO5_A	TM19BO_HR			
	P90	PWM10_A	TM16AO_HR	TM20AIO		汎用入出力ポート9
	P91	PWM11_A	TM16BO_HR	TM20BIO		
	P92	PWM12_A	TM17AO_HR	TM21AIO		
	P93	PWM13_A	TM17BO_HR	TM21BIO		
	P94	PWM14	TM22AIO			
	P95	PWM15	TM22BIO			
	PB0	TM23AIO	ADTRG0	PWM12_B		汎用入出力ポートB
	PB1	TM23BIO	ADTRG1	PWM13_B		
	PC0	ADIN00	VGA0N	CMP0REF		汎用入(出)力ポートC
	PC1	ADIN01	VGA0P0	CMP0IN		
	PC2	ADIN02	VGA0P1			
	PC3	ADIN03	VGA0P2			
	PC4	ADIN04				
	PC5	ADIN05				
	PC6	ADIN06				
	PC7	ADIN07				
	PD0	ADIN08	VGA1N	CMP1REF		汎用入(出)力ポートD
	PD1	ADIN09	VGA1P0	CMP1IN		
	PD2	ADIN10	VGA1P1			
	PD3	ADIN11	VGA1P2			
	PD4	ADIN12				

	端子名	兼用端子				機能
I/O ポート	PD5	ADIN13				汎用入(出)力ポートD
	PE0	ADIN16	VGA2N	CMP2REF		汎用入力ポートE
	PE1	ADIN17	VGA2P	CMP2IN		
OBD	SCLK					オンボードデバッガ用クロック入力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	SDATA					オンボードデバッガ用データ入出力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	EXTRG0	P03	TM5IO	IRQ03	CANRXD_A	オンボードデバッガ用トリガ入出力端子
	EXTRG1	P02	TM4IO	IRQ02	CANTXD_A	

*1 MN103HF45シリーズでは、VGAを搭載していません。

1.5.5　端子機能(MN103HFx4シリーズ)

各端子の機能を表1.5.5に示します。

表 1.5.5 MN103HFx4 シリーズの端子機能表

	端子名	兼用端子				機能
電源/ グラウンド	VDD50					デジタルI/O用電源 全てのVDD50端子とVSS端子間に 1 μF以上のコンデンサを接続して ください。(端子近傍に配置)
	AVDD50					アナログ用電源 AVSS端子との間に、1 μFのコンデンサを 接続してください。(端子近傍に配置)
	VOUT18					内部回路用電源 VOUT18端子とVSS端子間に1 μFの コンデンサを接続してください。 (端子近傍に配置)
	AVSS					アナログ用グラウンド
	VSS					デジタル用グラウンド
機能制御	TEST					テスト信号入力端子 2 kΩ以上の抵抗でプルアップして ください。(端子近傍に配置)
	TEST2					2 kΩのプルアップ抵抗を付与 してください。
リセット	NRST					リセット信号入力端子(負論理) NRST端子とVSS端子間に0.1 μF以上の コンデンサを接続してください。
クロック	OSCI					高速発振入力端子
	OSCO					高速発振出力端子
割込み	IRQ00	P00	TM0IO	DA0OUT		外部割込み入力端子
	IRQ01	P01	TM1IO	DA1OUT		
	IRQ02	P02	TM4IO	CANTXD_A	EXTRG1	
	IRQ03	P03	TM5IO	CANRXD_A	EXTRG0	
	IRQ04	P46	TM10IO	TM17AIO	PWM04_B	
	IRQ05	P47	TM11IO	TM17BIO	PWM05_B	
	IRQ08	P40	TM6IO			
	IRQ09	P41	TM7IO			
	IRQ10	P42	TM2IO	CANTXD_B		
	IRQ11	P43	TM3IO	CANRXD_B		
タイマ	TM0IO	P00	IRQ00	DA0OUT		8ビットタイマ入出力端子
	TM1IO	P01	IRQ01	DA1OUT		
	TM2IO	P42	CANTXD_B	IRQ10		

	端子名	兼用端子				機能
タイマ	TM3IO	P43	CANRXD_B	IRQ11		8ビットタイマ入出力端子
	TM4IO	P02	IRQ02	CANTXD_A	EXTRG1	
	TM5IO	P03	IRQ03	CANRXD_A	EXTRG0	
	TM6IO	P40	IRQ08			
	TM7IO	P41	IRQ09			
	TM10IO	P46	TM17AIO	IRQ04	PWM04_B	
	TM11IO	P47	TM17BIO	IRQ05	PWM05_B	
	TM16AIO	P50	PWM02_B	ADTRG0		16ビットタイマ入出力A、B端子
	TM16BIO	P51	PWM03_B	ADTRG1		
	TM17AIO	P46	PWM04_B	TM10IO	IRQ04	
	TM17BIO	P47	PWM05_B	TM11IO	IRQ05	
	TM18AIO	P60	PWM10_B			
	TM18BIO	P61	PWM11_B			
	TM19AIO	P64	PWMBCST0	CMP0OUT		
	TM19BIO	P65	PWMBCST1	CMP1OUT		
	TM20AIO	P90	PWM10_A	TM16AO_HR		
	TM20BIO	P91	PWM11_A	TM16BO_HR		
	TM21AIO	P92	PWM12	TM17AO_HR		
	TM21BIO	P93	PWM13	TM17BO_HR		
	TM16AO_HR	P90	PWM10_A	TM20AIO		16ビットタイマ出力A、B端子
	TM16BO_HR	P91	PWM11_A	TM20BIO		
	TM17AO_HR	P92	PWM12	TM21AIO		
	TM17BO_HR	P93	PWM13	TM21BIO		
	TM18AO_HR	P82	PWM02_A			
	TM18BO_HR	P83	PWM03_A			
	TM19AO_HR	P84	PWM04_A			
	TM19BO_HR	P85	PWM05_A			
PWM	PWM00	P80				モータ制御3相PWM信号出力端子
	PWM01	P81				
	PWM02_A	P82	TM18AO_HR			
	PWM03_A	P83	TM18BO_HR			
	PWM04_A	P84	TM19AO_HR			
	PWM05_A	P85	TM19BO_HR			
	PWM10_A	P90	TM16AO_HR	TM20AIO		
	PWM11_A	P91	TM16BO_HR	TM20BIO		
	PWM02_B	P50	TM16AIO	ADTRG0		
	PWM03_B	P51	TM16BIO	ADTRG1		
	PWM04_B	P46	TM17AIO	TM10IO	IRQ04	

	端子名	兼用端子				機能
PWM	PWM05_B	P47	TM17BI0	TM11I0	IRQ05	モータ制御3相PWM信号出力端子
	PWM10_B	P60	TM18AI0			
	PWM11_B	P61	TM18BI0			
	PWM12	P92	TM17A0_HR	TM21AI0		
	PWM13	P93	TM17B0_HR	TM21BI0		
	PWM14	P94				
	PWM15	P95				
	PWMBCST0	P64	TM19AI0	CMP0OUT		モータ制御3相PWMカウンタ状態モニタ端子
	PWMBCST1	P65	TM19BI0	CMP1OUT		
シリアル	SBT0_A	P21	SB00_B	SCL0_A	SDA0_B	シリアルクロック入出力端子
	SBT0_B	P20	SB00_A	SDA0_A	SCL0_B	
	SBT1_A	P24	SB01_B	LINTXD_B		
	SBT1_B	P23	SB01_A	LINTXD_A		
	SBT3_A	P31	SB03_B			
	SBT3_B	P30	SB03_A			
	SB00_A	P20	SBT0_B	SDA0_A	SCL0_B	シリアルデータ出力端子
	SB00_B	P21	SBT0_A	SCL0_A	SDA0_B	
	SB01_A	P23	SBT1_B	LINTXD_A		
	SB01_B	P24	SBT1_A	LINTXD_B		
	SB03_A	P30	SBT3_B			
	SB03_B	P31	SBT3_A			
	SBI0	P22				シリアルデータ入力端子
	SBI1	P25	LINRXD			
	SBI3	P32				
	SBCS3	P33	ADTRG2			シリアルチップセレクト入出力端子
IIC	SCL0_A	P21	SBT0_A	SB00_B	SDA0_B	IICクロック入出力端子
	SCL0_B	P20	SB00_A	SBT0_B	SDA0_A	
	SDA0_A	P20	SB00_A	SBT0_B	SCL0_B	IICデータ入出力端子
	SDA0_B	P21	SBT0_A	SB00_B	SCL0_A	
CAN	CANTXD_A	P02	IRQ02	TM4I0	EXTRG1	CANデータ送信端子
	CANTXD_B	P42	TM2I0	IRQ10		
	CANRXD_A	P03	IRQ03	TM5I0	EXTRG0	CANデータ受信端子
	CANRXD_B	P43	TM3I0	IRQ11		
LIN	LINTXD_A	P23	SB01_A	SBT1_B		LINデータ送信端子
	LINTXD_B	P24	SBT1_A	SB01_B		
	LINRXD	P25	SBI1			LINデータ受信端子
A/Dコンバータ	ADIN00	PC0	VGAON	CMPOREF		A/Dコンバータ用アナログ入力端子
	ADIN01	PC1	VGAOP	CMPOIN		

	端子名	兼用端子				機能
A/Dコンバータ	ADIN02	PC2				A/Dコンバータ用アナログ入力端子
	ADIN03	PC3				
	ADIN04	PC4				
	ADIN05	PC5				
	ADIN06	PC6				
	ADIN07	PC7				
	ADIN08	PD0	VGA1N	CMP1REF		
	ADIN09	PD1	VGA1P	CMP1IN		
	ADIN14	PD6				
	ADIN15	PD7				
	ADTRG0	P50	TM16AIO	PWMO2_B		A/D変換トリガ信号出力端子
	ADTRG1	P51	TM16BIO	PWMO3_B		
	ADTRG2	P33	SBCS3			
VGA(*1)	VGAON	PC0	ADIN00	CMPOREF		VGA用アナログ入力端子
	VGA0P	PC1	ADIN01	CMP0IN		
	VGA1N	PD0	ADIN08	CMP1REF		
	VGA1P	PD1	ADIN09	CMP1IN		
コンパレータ	CMPOREF	PC0	ADIN00	VGAON		コンパレータ基準電圧入力端子
	CMP1REF	PD0	ADIN08	VGA1N		
	CMP0IN	PC1	ADIN01	VGA0P		コンパレータ入力端子
	CMP1IN	PD1	ADIN09	VGA1P		
	CMP0OUT	P64	TM19AIO	PWMBCST0		コンパレータ出力端子
	CMP1OUT	P65	TM19BIO	PWMBCST1		
DAコンバータ	DA0OUT	P00	IRQ00	TM0IO		DAコンバータ出力端子
	DA1OUT	P01	IRQ01	TM1IO		
I/Oポート	P00	IRQ00	TM0IO	DA0OUT		汎用入出力ポート0
	P01	IRQ01	TM1IO	DA1OUT		
	P02	IRQ02	TM4IO	CANTXD_A	EXTRG1	
	P03	IRQ03	TM5IO	CANRXD_A	EXTRG0	
	P20	SBO0_A	SBT0_B	SDA0_A	SCL0_B	汎用入出力ポート2
	P21	SBT0_A	SBO0_B	SCL0_A	SDA0_B	
	P22	SBI0				
	P23	SBO1_A	SBT1_B	LINTXD_A		
	P24	SBT1_A	SBO1_B	LINTXD_B		
	P25	SBI1	LINRXD			
	P30	SBO3_A	SBT3_B			汎用入出力ポート3
	P31	SBT3_A	SBO3_B			
	P32	SBI3				

	端子名	兼用端子				機能
I/Oポート	P33	SBCS3	ADTRG2			汎用入出力ポート3
	P40	TM6IO	IRQ08			汎用入出力ポート4
	P41	TM7IO	IRQ09			
	P42	TM2IO	CANTXD_B	IRQ10		
	P43	TM3IO	CANRXD_B	IRQ11		
	P46	TM10IO	TM17AIO	IRQ04	PWM04_B	
	P47	TM11IO	TM17BIO	IRQ05	PWM05_B	
	P50	TM16AIO	PWM02_B	ADTRG0		汎用入出力ポート5
	P51	TM16BIO	PWM03_B	ADTRG1		
	P60	TM18AIO	PWM10_B			汎用入出力ポート6
	P61	TM18BIO	PWM11_B			
	P64	TM19AIO	PWMBCST0	CMP0OUT		
	P65	TM19BIO	PWMBCST1	CMP1OUT		
	P80	PWM00				汎用入出力ポート8
	P81	PWM01				
	P82	PWM02_A	TM18AO_HR			
	P83	PWM03_A	TM18BO_HR			
	P84	PWM04_A	TM19AO_HR			
	P85	PWM05_A	TM19BO_HR			
	P90	PWM10_A	TM16AO_HR	TM20AIO		汎用入出力ポート9
	P91	PWM11_A	TM16BO_HR	TM20BIO		
	P92	PWM12	TM17AO_HR	TM21AIO		
	P93	PWM13	TM17BO_HR	TM21BIO		
	P94	PWM14				
	P95	PWM15				
	PC0	ADIN00	VGAON	CMPOREF		汎用入(出)力ポートC
	PC1	ADIN01	VGAOP	CMP0IN		
	PC2	ADIN02				
	PC3	ADIN03				
	PC4	ADIN04				
	PC5	ADIN05				
	PC6	ADIN06				
	PC7	ADIN07				
	PD0	ADIN08	VGA1N	CMP1REF		汎用入(出)力ポートD
	PD1	ADIN09	VGA1P	CMP1IN		
	PD6	ADIN14				
	PD7	ADIN15				

	端子名	兼用端子				機能
OBD	SCLK					オンボードデバッガ用クロック入力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	SDATA					オンボードデバッガ用データ入出力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	EXTRG0	P03	TM5IO	IRQ03	CANRXD_A	オンボードデバッガ用トリガ入出力端子
	EXTRG1	P02	TM4IO	IRQ02	CANTXD_A	

*1 MN103HF44シリーズでは、VGAを搭載していません。

1.5.6　端子機能(MN103HFx3シリーズ)

各端子の機能を表1.5.6に示します。

表 1.5.6 MN103HFx3 シリーズの端子機能表

	端子名	兼用端子						機能
電源/ グラウンド	VDD50							デジタルI/O用 電源 全てのVDD50端子 とVSS端子間に 1 μF以上のコンデンサを接続してください。 (端子近傍に配置)
	AVDD50							アナログ用電源 AVSS端子との間 に、1 μFのコンデンサを接続してください。 (端子近傍に配置)
	VOUT18							内部回路用電源 VOUT18端子とVSS 端子間に 1 μFのコンデンサを接続してください。 (端子近傍に配置)
	AVSS							アナログ用 グラウンド
	VSS							デジタル用 グラウンド
機能制御	TEST							テスト信号 入力端子 2 kΩ以上の抵抗でプルアップしてください。 (端子近傍に配置)
	TEST2							2 kΩのプルアップ抵抗を付与してください。
リセット	NRST							リセット信号 入力端子(負論理) NRST端子とVSS端子間に0.1 μF以上のコンデンサを接続してください。
クロック	OSCI							高速発振入力端子
	OSCO							高速発振出力端子

	端子名	兼用端子						機能
割込み	IRQ00	P00	TM0IO	DA0OUT				外部割込み 入力端子
	IRQ01	P01	TM1IO	DA1OUT				
	IRQ02	P02	TM4IO	CANTXD	EXTRG1			
	IRQ03	P03	TM5IO	CANRXD	EXTRG0			
	IRQ08	P40	TM6IO	TM17AIO	PWM00_B			
	IRQ09	P41	TM7IO	TM17BIO	PWM01_B			
	IRQ10	P50	TM16AIO	SBO3_A	SBT3_B	PWM02_B	ADTRG0	
	IRQ11	P51	TM16BIO	SBT3_A	SBO3_B	PWM03_B	ADTRG1	
タイマ	TM0IO	P00	IRQ00	DA0OUT				8ビットタイマ 入出力端子
	TM1IO	P01	IRQ01	DA1OUT				
	TM4IO	P02	IRQ02	CANTXD	EXTRG1			
	TM5IO	P03	IRQ03	CANRXD	EXTRG0			
	TM6IO	P40	IRQ08	TM17AIO	PWM00_B			
	TM7IO	P41	IRQ09	TM17BIO	PWM01_B			
	TM16AIO	P50	PWM02_B	ADTRG0	SBO3_A	SBT3_B	IRQ10	16ビットタイマ 入出力A、B端子
	TM16BIO	P51	PWM03_B	ADTRG1	SBT3_A	SBO3_B	IRQ11	
	TM17AIO	P40	PWM00_B	TM6IO	IRQ08			
	TM17BIO	P41	PWM01_B	TM7IO	IRQ09			
	TM18AIO	P60	CMP0OUT					
	TM18BIO	P61	PWMBCST0	CMP1OUT				
	TM19AIO	P64	PWM04_B	TM19A0_HR	SBI3			
	TM19BIO	P65	PWM05_B	TM19B0_HR	SBCS3			
	TM16A0_HR	P80	PWM00_A					16ビットタイマ 出力A、B端子
	TM16B0_HR	P81	PWM01_A					
	TM17A0_HR	P82	PWM02_A					
	TM17B0_HR	P83	PWM03_A					
	TM18A0_HR	P84	PWM04_A					
	TM18B0_HR	P85	PWM05_A					
	TM19A0_HR	P64	TM19AIO	PWM04_B	SBI3			
	TM19B0_HR	P65	TM19BIO	PWM05_B	SBCS3			
PWM	PWM00_A	P80	TM16A0_HR					モータ制御3相 PWM信号出力 端子
	PWM01_A	P81	TM16B0_HR					
	PWM02_A	P82	TM17A0_HR					
	PWM03_A	P83	TM17B0_HR					
	PWM04_A	P84	TM18A0_HR					
	PWM05_A	P85	TM18B0_HR					

	端子名	兼用端子						機能
PWM	PWM00_B	P40	TM17AI0	TM6I0	IRQ08			モータ制御3相PWM信号出力端子
	PWM01_B	P41	TM17BI0	TM7I0	IRQ09			
	PWM02_B	P50	TM16AI0	ADTRG0	SBO3_A	SBT3_B	IRQ10	
	PWM03_B	P51	TM16BI0	ADTRG1	SBT3_A	SBO3_B	IRQ11	
	PWM04_B	P64	TM19AO_HR	TM19AI0	SBI3			
	PWM05_B	P65	TM19BO_HR	TM19BI0	SBCS3			
	PWMBCST0	P61	TM18BI0	CMP1OUT				モータ制御3相PWMカウンタ状態モニタ端子
シリアル	SBT0_A	P21	SBO0_B	SCL0_A	SDA0_B			シリアルクロック入出力端子
	SBT0_B	P20	SBO0_A	SDA0_A	SCL0_B			
	SBT1_A	P24	SBO1_B	LINTXD_B				
	SBT1_B	P23	SBO1_A	LINTXD_A				
	SBT3_A	P51	SBO3_B	TM16BI0	IRQ11	ADTRG1	PWM03_B	
	SBT3_B	P50	SBO3_A	TM16AI0	IRQ10	ADTRG0	PWM02_B	
	SBO0_A	P20	SBT0_B	SDA0_A	SCL0_B			シリアルデータ出力端子
	SBO0_B	P21	SBT0_A	SCL0_A	SDA0_B			
	SBO1_A	P23	SBT1_B	LINTXD_A				
	SBO1_B	P24	SBT1_A	LINTXD_B				
	SBO3_A	P50	SBT3_B	TM16AI0	IRQ10	ADTRG0	PWM02_B	
	SBO3_B	P51	SBT3_A	TM16BI0	IRQ11	ADTRG1	PWM03_B	
	SBI0	P22						シリアルデータ入力端子
	SBI1	P25	LINRXD					
	SBI3	P64	TM19AI0	TM19AO_HR	PWM04_B			
	SBCS3	P65	TM19BI0	TM19BO_HR	PWM05_B			シリアルチップセレクト入出力端子
IIC	SCL0_A	P21	SBT0_A	SBO0_B	SDA0_B			IICクロック入出力端子
	SCL0_B	P20	SBO0_A	SBT0_B	SDA0_A			
	SDA0_A	P20	SBO0_A	SBT0_B	SCL0_B			IICデータ入出力端子
	SDA0_B	P21	SBT0_A	SBO0_B	SCL0_A			
CAN	CANTXD	P02	IRQ02	TM4I0	EXTRG1			CANデータ送信端子
	CANRXD	P03	IRQ03	TM5I0	EXTRG0			CANデータ受信端子
LIN	LINTXD_A	P23	SBO1_A	SBT1_B				LINデータ送信端子
	LINTXD_B	P24	SBT1_A	SBO1_B				
	LINRXD	P25	SBI1					LINデータ受信端子

	端子名	兼用端子						機能
A/Dコンバータ	ADIN00	PC0	VGAON	CMP0REF				A/Dコンバータ用アナログ入力端子
	ADIN01	PC1	VGA0P	CMP0IN				
	ADIN02	PC2						
	ADIN03	PC3						
	ADIN04	PC4						
	ADIN05	PC5						
	ADIN08	PD0	VGA1N	CMP1REF				
	ADIN09	PD1	VGA1P	CMP1IN				
	ADTRG0	P50	TM16AIO	PWM02_B	SBO3_A	SBT3_B	IRQ10	A/D変換トリガ信号出力端子
	ADTRG1	P51	TM16BIO	PWM03_B	SBT3_A	SBO3_B	IRQ11	
VGA(*1)	VGAON	PC0	ADIN00	CMP0REF				VGA用アナログ入力端子
	VGA0P	PC1	ADIN01	CMP0IN				
	VGA1N	PD0	ADIN08	CMP1REF				
	VGA1P	PD1	ADIN09	CMP1IN				
コンパレータ	CMP0REF	PC0	ADIN00	VGAON				コンパレータ基準電圧入力端子
	CMP1REF	PD0	ADIN08	VGA1N				
	CMP0IN	PC1	ADIN01	VGA0P				コンパレータ入力端子
	CMP1IN	PD1	ADIN09	VGA1P				
	CMP00UT	P60	TM18AIO					コンパレータ出力端子
	CMP10UT	P61	TM18BIO	PWMBCST0				
DAコンバータ	DA00UT	P00	IRQ00	TM0IO				DAコンバータ出力端子
	DA10UT	P01	IRQ01	TM1IO				
I/Oポート	P00	IRQ00	TM0IO	DA00UT				汎用入出力ポート0
	P01	IRQ01	TM1IO	DA10UT				
	P02	IRQ02	TM4IO	CANTXD	EXTRG1			
	P03	IRQ03	TM5IO	CANRXD	EXTRG0			
	P20	SBO0_A	SBT0_B	SDA0_A	SCL0_B			汎用入出力ポート2
	P21	SBT0_A	SBO0_B	SCL0_A	SDA0_B			
	P22	SBI0						
	P23	SBO1_A	SBT1_B	LINTXD_A				
	P24	SBT1_A	SBO1_B	LINTXD_B				
	P25	SBI1	LINRXD					
	P40	TM6IO	IRQ08	TM17AIO	PWM00_B			汎用入出力ポート4
	P41	TM7IO	IRQ09	TM17BIO	PWM01_B			
	P50	TM16AIO	PWM02_B	ADTRG0	SBO3_A	SBT3_B	IRQ10	汎用入出力ポート5
	P51	TM16BIO	PWM03_B	ADTRG1	SBT3_A	SBO3_B	IRQ11	

	端子名	兼用端子						機能
I/Oポート	P60	TM18AIO	CMP0OUT					汎用入出力ポート6
	P61	TM18BIO	PWMBCST0	CMP1OUT				
	P64	TM19AIO	TM19AO_HR	PWM04_B	SBI3			
	P65	TM19BIO	TM19BO_HR	PWM05_B	SBCS3			
	P80	PWM00_A	TM16AO_HR					汎用入出力ポート8
	P81	PWM01_A	TM16BO_HR					汎用入出力ポート8
	P82	PWM02_A	TM17AO_HR					
	P83	PWM03_A	TM17BO_HR					
	P84	PWM04_A	TM18AO_HR					
	P85	PWM05_A	TM18BO_HR					
	PC0	ADIN00	VGAON	CMPOREF				汎用入(出)力ポートC
	PC1	ADIN01	VGAOP	CMP0IN				
	PC2	ADIN02						
	PC3	ADIN03						
	PC4	ADIN04						
	PC5	ADIN05						
	PD0	ADIN08	VGA1N	CMP1REF				汎用入力ポートD
	PD1	ADIN09	VGA1P	CMP1IN				
OBD	SCLK							オンボードデバッガ用クロック入力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	SDATA							オンボードデバッガ用データ入出力端子 10 kΩ以上のプルアップ抵抗を接続してください。
	EXTRG0	P03	TM5IO	IRQ03	CANRXD			オンボードデバッガ用トリガ入出力端子
	EXTRG1	P02	TM4IO	IRQ02	CANTXD			

*1 MN103HF43シリーズでは、VGAを搭載していません。

1.6 電気的特性

このLSI説明書は標準的な仕様について述べています。

本電気的特性は予告なく変更する場合がありますので、本LSIをご使用の際は、当社営業所まで製品規格をお求めください。

種別	CMOS集積回路
用途	汎用
機能	CMOS 32ビット 1チップ マイクロコントローラ

1.6.1 絶対最大定格

V_{SS} = AVss = 0.0 V

項目		記号	定格		単位
A1	外部用電源電圧1	V_{DD50A}	−0.3 ～ 7.0		V
A2	外部用電源電圧2	AV_{DD50A}	−0.3 ～ 7.0		
A3	内部用電源電圧	V_{OUT18A}	−0.3 ～ 2.5		
A4	入力端子電圧	V_{I1A}	−0.3 ～ V_{DD50}+0.3 (上限7.0)		
A5	VGA入力端子電圧	V_{I2A}	−1.5 ～ V_{DD50}+0.3 (上限7.0)		
A6	入出力端子電圧	V_{IOA}	−0.3 ～ V_{DD50}+0.3 (上限7.0)		
A7	平均出力電流(入出力端子1)	I_{O1A}	±8.0		mA
A8	平均出力電流(入出力端子2)	I_{O2A}	±15.0		
A9	動作周囲温度	T_{OPR}	−40 ～ 125		°C
A10	保存温度	T_{STG}	−40 ～ 125		
A11	許容損失	P_D	MN103HFx8シリーズ	500	mW
			MN103HFx7シリーズ	380	
			MN103HFx6シリーズ	420	
			MN103HFx5シリーズ	410	
			MN103HFx4シリーズ	410	
			MN103HFx3シリーズ	T.B.D	

注） 絶対最大定格は、本LSIに印加しても破損を生じない許容値です。動作を保証するものではありません。平均出力電流の定格は、いかなる100 msの期間に対しても適用されます。

1.6.2　動作条件

V_{SS} = AV_{SS} = 0.0 V
動作電源電圧　　Ta = -40 ℃～125 ℃

項目		記号	条件	許容値			単位
				最小	標準	最大	
B1	外部用電源電圧1	V_{DD50}		V_{RST}	5.0	5.5	V
B2	外部用電源電圧2	AV_{DD50}		V_{RST}	V_{DD50}	5.5	

注）　電源検出レベルV_{RST}については、I-79【オートリセット回路特性】を参照してください。

注）　内蔵レギュレータ出力を本LSI以外の回路に供給することはできません。

V_{DD50} = AV_{DD50} = V_{RST}～5.5 V
V_{SS} = AV_{SS} = 0.0 V
発振端子　　Ta = -40 ℃～125 ℃

項目		記号	条件	許容値			単位
				最小	標準	最大	
B3	入力周波数	F_{OSC}		4		16	MHz
B4	内蔵フィードバック抵抗	R_{FB}			1.2		MΩ

注）　容量値は使用する発振子により異なります。使用する発振子メーカにご相談ください。

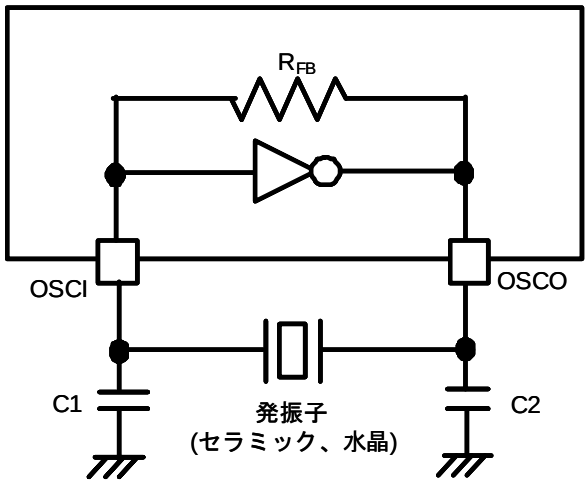


図1.6.1　発振子の接続例

V_{DD50} = AV_{DD50} = V_{RST}～5.5 V
V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃

外部クロック入力 OSCI(OSCO は開放)

項目		記号	条件	許容値			単位
				最小	標準	最大	
B5	クロック周波数	Fcp		4		16	MHz
B6	"H"レベルパルス幅	twh1		25			ns
B7	"L"レベルパルス幅	twl1		25			
B8	立上がり時間	twr1				50	ns
B9	立下がり時間	twf1				50	

注） クロックデューティー比は、45 %～55 %としてください。

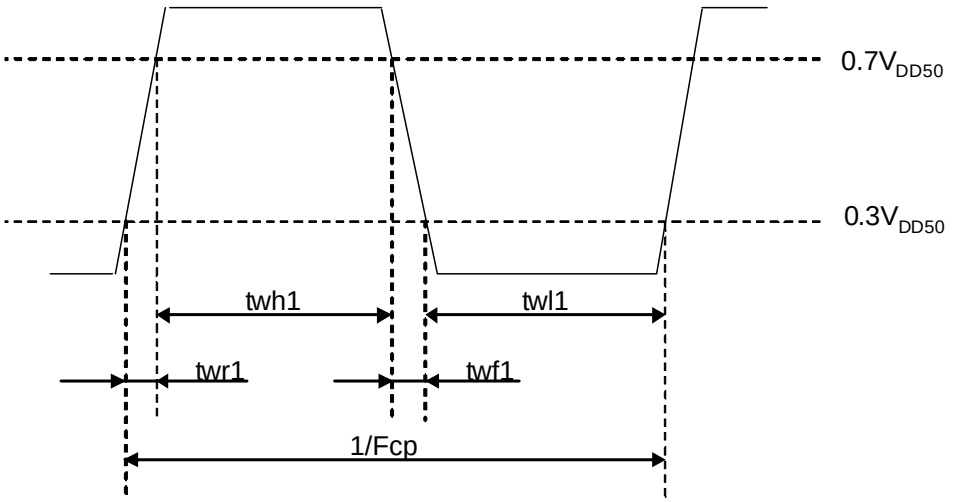


図1.6.2 OSCIのタイミングチャート

1.6.3 DC特性

V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃
出力端子開放

動作時電源電流

項目		記号	条件		許容値		単位
					標準	最大	
C1	NORMALモード時 電源電流	I_{DD1}	V_{DD50}=5.0 V, Fosc=10 MHz, PLL使用, MCLK=120 MHz, IOCLK=30 MHz 周辺回路は停止		38		mA
C2		I_{DD2}	V_{DD50}=5.0 V, Fosc=10 MHz, PLL使用, MCLK=120 MHz, IOCLK=30 MHz 周辺回路動作時			65 (T.B.D)	
C3	SLEEPモード時 電源電流	I_{DD3}	V_{DD50}=5.0 V, Fosc=10 MHz, PLL使用, MCLK=120 MHz, IOCLK=30 MHz 周辺回路動作時		30	45 (T.B.D)	
C4	HALTモード時 電源電流	I_{DD4}	V_{DD50}=5.0 V, Fosc=10 MHz, PLL使用, MCLK停止, IOCLK停止, 周辺回路は停止		4	13 (T.B.D)	
C5	STOPモード時 電源電流	I_{DD5}	V_{DD50}=5.0 V, Fosc停止, PLL停止	Ta=25 ℃	0.2		
C6		I_{DD6}		Ta=125 ℃		10 (T.B.D)	

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃

入力端子 1　NRST, SCLK, SDATA

項目		記号	条件	許容値			単位
				最小	標準	最大	
C7	入力電圧Highレベル	V_{IH1}		V_{DD50}×0.7		V_{DD50}	V
C8	入力電圧Lowレベル	V_{IL1}		V_{SS}		V_{DD50}×0.3	
C9	内蔵プルアップ抵抗	R_{IO1}	V_{DD50} = 5.0 V, V_{IN} = 0.0 V	15	30	60	kΩ

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃

入力端子 2　TEST2, TEST

項目		記号	条件	許容値			単位
				最小	標準	最大	
C10	入力電圧Highレベル	V_{IH2}		V_{DD50}×0.7		V_{DD50}	V
C11	入力電圧Lowレベル	V_{IL2}		V_{SS}		V_{DD50}×0.3	

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃

入力端子 3　　PC0 ～ PC3, PD0 ～ PD3, PE0 ～ PE3

項目		記号	条件	規格			単位
				最小	標準	最大	
C12	入力電圧 High レベル	V_{IH3}	VGA未使用時	V_{DD50}×0.7		V_{DD50}	V
C13	入力電圧 Low レベル	V_{IL3}	VGA未使用時	V_{SS}		V_{DD50}×0.3	
C14	入力リーク電流	I_{LK3}				±5	μA
C15	VGA入力電圧範囲1	V_{IVGA1}	VGA使用時 Gain = 2	−1.00		1.00	V
C16	VGA入力電圧範囲2	V_{IVGA2}	VGA使用時 Gain = 3	−0.66		0.66	
C17	VGA入力電圧範囲3	V_{IVGA3}	VGA使用時 Gain = 4	−0.50		0.50	
C18	VGA入力電圧範囲4	V_{IVGA4}	VGA使用時 Gain = 5	−0.40		0.40	
C19	VGA入力電圧範囲5	V_{IVGA5}	VGA使用時 Gain = 6	−0.33		0.33	
C20	VGA入力電圧範囲6	V_{IVGA6}	VGA使用時 Gain = 8	−0.25		0.25	
C21	VGA入力電圧範囲7	V_{IVGA7}	VGA使用時 Gain = 10	−0.20		0.20	
C22	VGA入力電圧範囲8	V_{IVGA8}	VGA使用時 Gain = 20	−0.10		0.10	

入出力端子 1
〈MN103HFx8 シリーズ〉P00 ～ P07, P10 ～ P17, P20 ～ P27, P30 ～ P37, P40 ～ P47, P76, P77, P86, P87, P96, P97, PC4 ～ PC7, PD4 ～ PD7, PE4 ～ PE7, PF0 ～ PF7
〈MN103HFx7 シリーズ〉P00 ～ P07, P10 ～ P17, P20 ～ P25, P30 ～ P35, P40 ～ P47, P76, P77, PC4 ～ PC7, PD4 ～ PD7, PE4 ～ PE7, PF0 ～ PF3
〈MN103HFx6 シリーズ〉P00 ～ P07, P10, P11, P20 ～ P25, P30 ～ P35, P40 ～ P47, PB2 ～ PB5, PC4 ～ PC7, PD4 ～ PD7, PE4, PE5
〈MN103HFx5 シリーズ〉P00 ～ P07, P20 ～ P25, P30 ～ P33, P40 ～ P47, PC4 ～ PC7, PD4, PD5
〈MN103HFx4 シリーズ〉P00 ～ P03, P20 ～ P25, P30 ～ P33, P40 ～ P43, PC4 ～ PC7, PD6, PD7
〈MN103HFx3 シリーズ〉P00 ～ P03, P20 ～ P25, P40 ～ P43, PC4, PC5

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃

項目		記号	条件	許容値			単位
				最小	標準	最大	
C23	入力電圧Highレベル	V_{IH4}		V_{DD50}×0.7		V_{DD50}	V
C24	入力電圧Lowレベル	V_{IL4}		V_{SS}		V_{DD50}×0.3	
C25	入力リーク電流	I_{LK4}				±5	μA
C26	内蔵プルアップ抵抗	R_{IO4}	V_{DD50} = 5.0 V, V_{IN} = 0.0 V	15	30	60	kΩ
C27	出力電圧Highレベル	V_{OH4}	V_{DD50} = 5.0 V, I_{OH} = −2.5 mA	4.5			V
C28	出力電圧Lowレベル	V_{OL4}	V_{DD50} = 5.0 V, I_{OL} = 2.5 mA			0.5	

入出力端子 2

〈MN103HFx8 シリーズ〉P50 ～ P57, P60 ～ P67, P70 ～ P75, P80 ～ P85, P90 ～ P95, PA0 ～ PA5, PB0 ～ PB5

〈MN103HFx7 シリーズ〉P50 ～ P57, P60 ～ P67, P70 ～ P75, P80 ～ P85, P90 ～ P95, PA0 ～ PA5, PB0 ～ PB5

〈MN103HFx6 シリーズ〉P50 ～ P57, P60, P61, P64, P65, P70 ～ P73, P80 ～ P85, P90 ～ P95, PB0, PB1

〈MN103HFx5 シリーズ〉P50, P51, P54, P55, P60, P61, P64, P65, P80 ～ P85, P90 ～ P95, PB0, PB1

〈MN103HFx4 シリーズ〉P46, P47, P50, P51, P60, P61, P64, P65, P80 ～ P85, P90 ～ P95

〈MN103HFx3 シリーズ〉P40, P41, P50, P51, P60, P61, P64, P65, P80 ～ P85

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = -40 ℃～125 ℃

項目		記号	条件	許容値			単位
				最小	標準	最大	
C29	入力電圧Highレベル	V_{IH5}		V_{DD50}×0.7		V_{DD50}	V
C30	入力電圧Lowレベル	V_{IL5}		V_{SS}		V_{DD50}×0.3	
C31	入力リーク電流	I_{LK5}				±5	μA
C32	内蔵プルアップ抵抗	R_{IO5}	V_{DD50} = 5.0 V, V_{IN} = 0.0 V	15	30	60	kΩ
C33	出力電圧Highレベル	V_{OH5}	V_{DD50} = 5.0 V, I_{OH} = -5.0 mA	4.5			V
C34	出力電圧Lowレベル	V_{OL5}	V_{DD50} = 5.0 V, I_{OL} = 5.0 mA			0.5	

1.6.4　アナログ特性

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = -40 ℃～125 ℃

A/D0、A/D1

項目		記号	条件	許容値			単位
				最小	標準	最大	
D1	分解能	−				12	ビット
D2	非直線性誤差	INLE	A/D変換サンプリングクロック ≥ 150 ns A/D変換クロック ≤ 30 MHz			±3	LSB
D3	微分非直線性誤差	DNLE				±3	LSB
D4	ゼロトランジョン電圧	−		0		20	mV
D5	フルスケール トランジョン電圧	−		4980		5000	mV
D6	A/D変換時間	−	分解能12ビット	0.600			μs
D7			分解能10ビット	0.534			
D8	アナログ入力電圧	V_{IA}		AV_{SS}		AV_{DD50}	V
D9	アナログ入力リーク電流	I_{IA}	チャンネル非選択時 V_{IA} = 0 V～ AV_{DD50}			±10	μA
D10	動作時電源電流(AVDD50端子)	I_{AD}	A/D変換クロック = 30MHz		1		mA/unit

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = -40 ℃～125 ℃

A/D2

項目		記号	条件	許容値			単位
				最小	標準	最大	
D11	分解能	−				10	ビット
D12	非直線性誤差	INLE	A/D変換サンプリングクロック ≥ 150 ns A/D変換クロック ≤ 30 MHz			±2	LSB
D13	微分非直線性誤差	DNLE				±3	LSB
D14	ゼロトランジョン電圧	−		0		20	mV
D15	フルスケール トランジョン電圧	−		4980		5000	mV
D16	A/D変換時間	−		0.5			μs
D17	アナログ入力電圧	V_{IA}		AV_{SS}		AV_{DD50}	V
D18	アナログ入力リーク電流	I_{IA}	チャンネル非選択時 V_{IA} = 0 V～ AV_{DD50}			±10	μA
D19	動作時電源電流(AVDD50端子)	I_{AD}	A/D変換クロック = 30MHz		1		mA

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = -40 ℃～125 ℃

VGA0、VGA1、VGA2

項目		記号	条件	許容値			単位
				最小	標準	最大	
D20	Gain誤差	V_{gaerr1}	GAIN = 2,3,4,5 設定時			±1.0 (T.B.D)	%
D21		V_{gaerr2}	GAIN = 6,8,10 設定時			±1.2 (T.B.D)	%
D22		V_{gaerr3}	GAIN = 20 設定時			±1.5 (T.B.D)	%
D23	出力オフセット電圧	$V_{gaoffset1}$	GAIN = 2,3,4,5 設定時	-60	-30	0	mV
D24		$V_{gaoffset2}$	GAIN = 6,8,10 設定時	-100	-40	20	mV
D25		$V_{gaoffset3}$	GAIN = 20 設定時	-120	-45	30	mV
D26	セットリングタイム	T_{vgaset}				0.6	μs
D27	動作時電源電流(AVDD50端子)	I_{VGA}			1.4		mA

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = -40 ℃～125 ℃

CMP0、CMP1、CMP2

項目		記号	条件	許容値			単位
				最小	標準	最大	
D28	入力オフセット電圧	$V_{cmpoffset}$			±5	±25	mV
D29	入力ダイナミックレンジ			50		4950	
D30	入力ヒステリシス幅		ヒステリシス設定ON時		30		
			ヒステリシス設定OFF時		0		
D31	応答時間		ノイズフィルタ未使用時		30		ns
D32	動作時電源電流(AVDD50端子)	I_{COMP}			0.3		mA

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃

D/A0、D/A1、D/A2

項目		記号	条件	許容値			単位
				最小	標準	最大	
D33	分解能	−				10	bit
D34	リファレンス電圧 Low レベル	V_{REFL_DA}			AV_{SS}		V
D35	リファレンス電圧 High レベル	V_{REFH_DA}			AV_{DD50}		
D36	非直線性誤差	INLE				±3	LSB
D37	微分非直線性誤差	DNLE				±3	
D38	ゼロスケール出力電圧	V_{ZS}	D9～D0 = ALL "L"	0		20	mV
D39	フルスケール出力電圧	V_{FS}	D9～D0 = ALL "H"	4960		5000	
D40	セットリングタイム	T_{daset}				8	μs
D41	動作時電源電流 (AVDD50端子)	I_{DA}			0.04		mA/unit

V_{SS} = AV_{SS} = 0.0 V
Ta = −40 ℃～125 ℃

電源電圧検知回路特性

項目		記号	条件	許容値			単位
				最小	標準	最大	
D42	電源電圧検知レベル1	V_{LVI11}	立上がり時	2.70	2.90	3.10	V
D43		V_{LVI12}	立下がり時	2.60	2.80	3.00	
D44	電源電圧検知レベル2	V_{LVI21}	立上がり時	3.60	3.80	4.00	
D45		V_{LVI22}	立下がり時	3.50	3.70	3.90	
D46	電源電圧検知レベル3	V_{LVI31}	立上がり時	4.00	4.25	4.50	
D47		V_{LVI32}	立下がり時	3.90	4.15	4.40	
D48	電源電圧変化率	ΔV_{DD50}		0.2			ms/V

V_{SS} = AV_{SS} = 0.0 V
Ta = −40 °C～125 °C

オートリセット回路特性

項目		記号	条件	許容値			単位
				最小	標準	最大	
D49	電源電圧検知レベル1	V_{RST1}	電源電圧立上がり時	2.40	2.70	3.00	V
D50	電源電圧検知レベル2	V_{RST2}	電源電圧立下がり時	2.30	2.45	2.60	
D51	電源電圧変化率	ΔV_{DD50}		0.2			ms/V

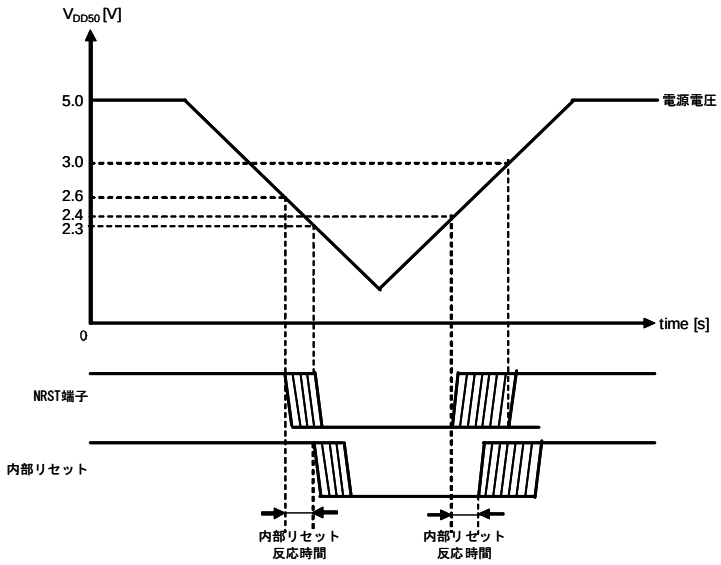


図1.6.3　オートリセット回路の特性

V_{DD50} = AV_{DD50} = V_{RST} ～ 5.5 V
V_{SS} = AVss = 0.0 V
Ta = −40 °C ～ 125 °C

内蔵低速発振

項目		記号	条件	許容値			単位
				最小	標準	最大	
D52	出力周波数の温度依存性	F_{RCS}	出力周波数 = 240 kHz時	−10	0	10	%

V_{DD50} = AV_{DD50} = V_{RST} ～ 5.5 V
V_{SS} = AVss = 0.0 V
Ta = −40 °C ～ 125 °C

MPLL

項目		記号	条件	許容値			単位
				最小	標準	最大	
D53	MPLL動作時電源電流	I_{MPLL}	出力周波数 = 120 MHz時		4		mA

1.6.5　AC特性

V_{DD50} = AV_{DD50} = 5.0 V
V_{SS} = AV_{SS} = 0.0 V
Ta = -40 ℃～125 ℃

リセット信号入力タイミング

項目		記号	条件	許容値			単位
				最小	標準	最大	
E1	リセット信号パルス幅 (NRST)	t_{NRSTW}		1			μs

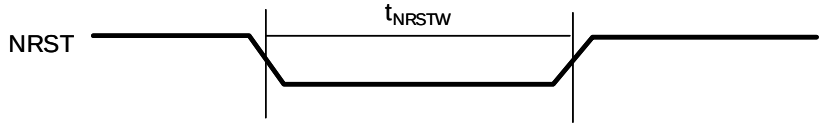


図1.6.4　リセット信号のパルス幅

1.6.6　フラッシュ EEPROM　E/W特性

V_{SS} = AVss = 0.0 V
Ta = -40 ℃～125 ℃

項目		記号	条件	定格			単位
				最小	標準	最大	
F1	E/W時電源電圧	V_{DD5OEW}		2.7		5.5	V
F2	E/W時周囲温度	V_{OPREW}		-40		125	℃
F3	許容書換え回数	E_{MAX1}	大セクタ(32 KB)	100			回
F4	許容書換え回数	E_{MAX2}	小セクタ(8 KB)	10,000			回
F5	データ保持時間	T_{HOLD}		15			年

1.7 外形寸法図

■ パッケージコード: LQFP144-P-2020D

LQFP144-P-2020Dの外形寸法図を図1.7.1に示します。

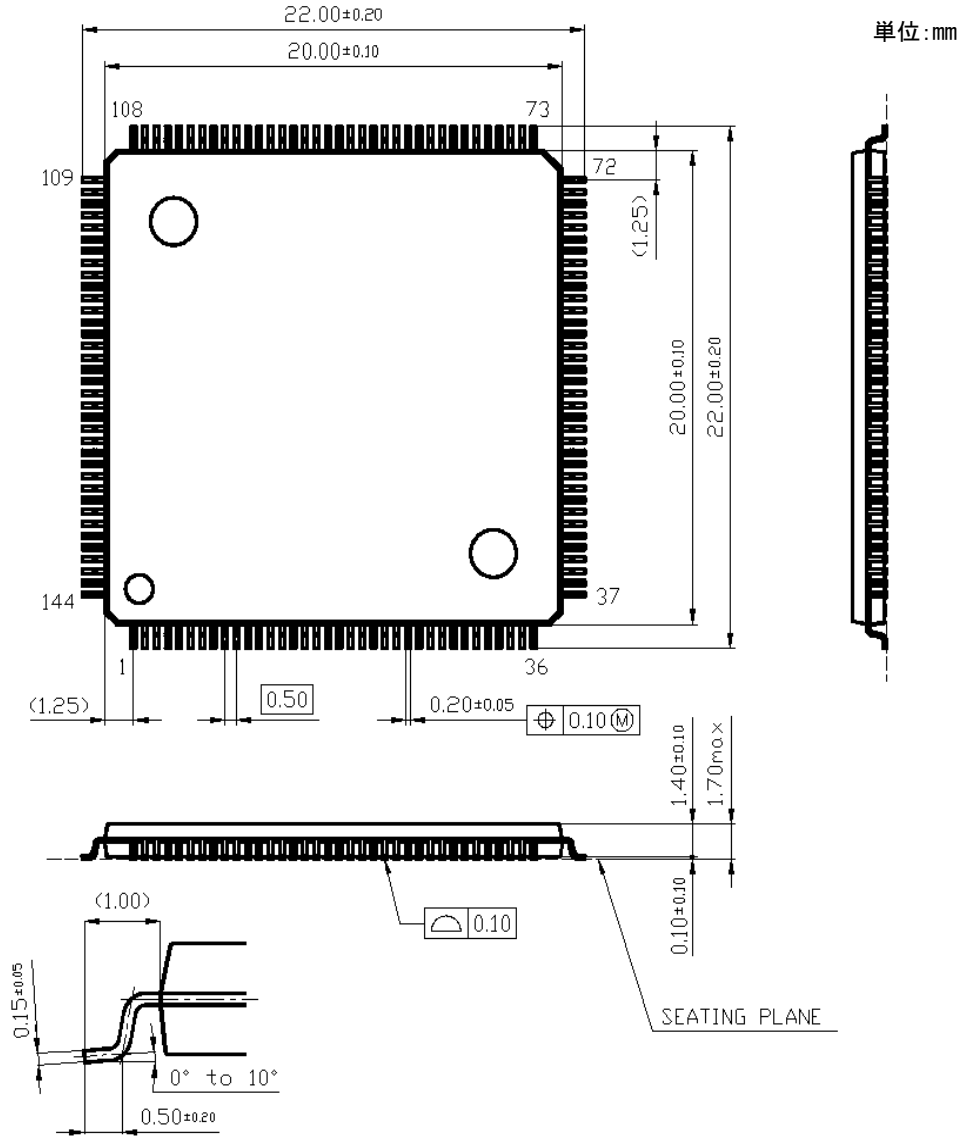


図1.7.1 LQFP144-P-2020Dの外形寸法図

パッケージ外形寸法図は、変更の可能性がありますので、ご使用の際は、当社営業所まで製品規格をお求めください。

■ パッケージコード: LQFP128-P-1818F

LQFP128-P-1818Fの外形寸法図を図1.7.2に示します。

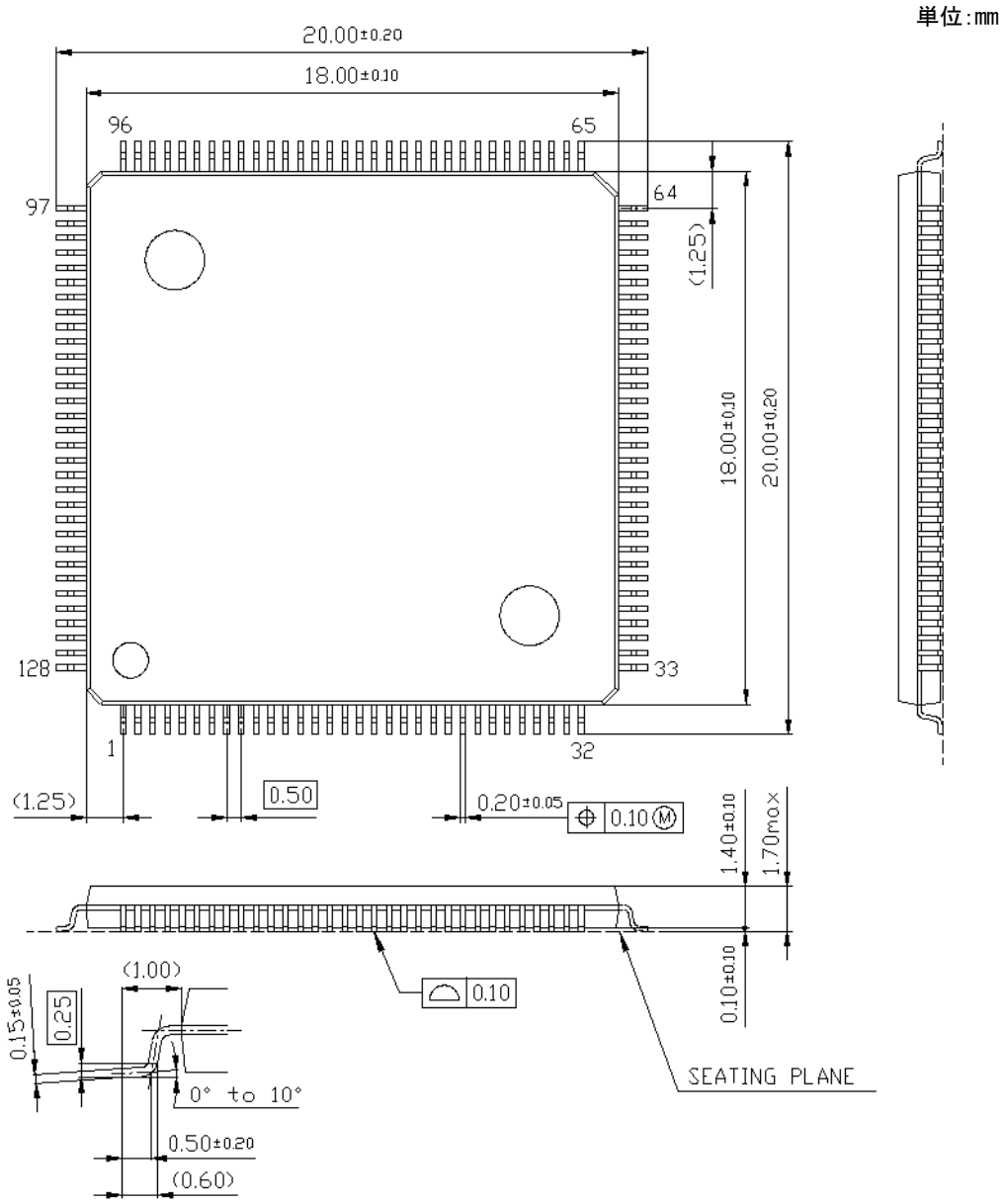


図1.7.2　LQFP128-P-1818Fの外形寸法図

パッケージ外形寸法図は、変更の可能性がありますので、ご使用の際は、当社営業所まで製品規格をお求めください。

■ パッケージコード: LQFP100-P-1414C

LQFP100-P-1414Cの外形寸法図を図1.7.3に示します。

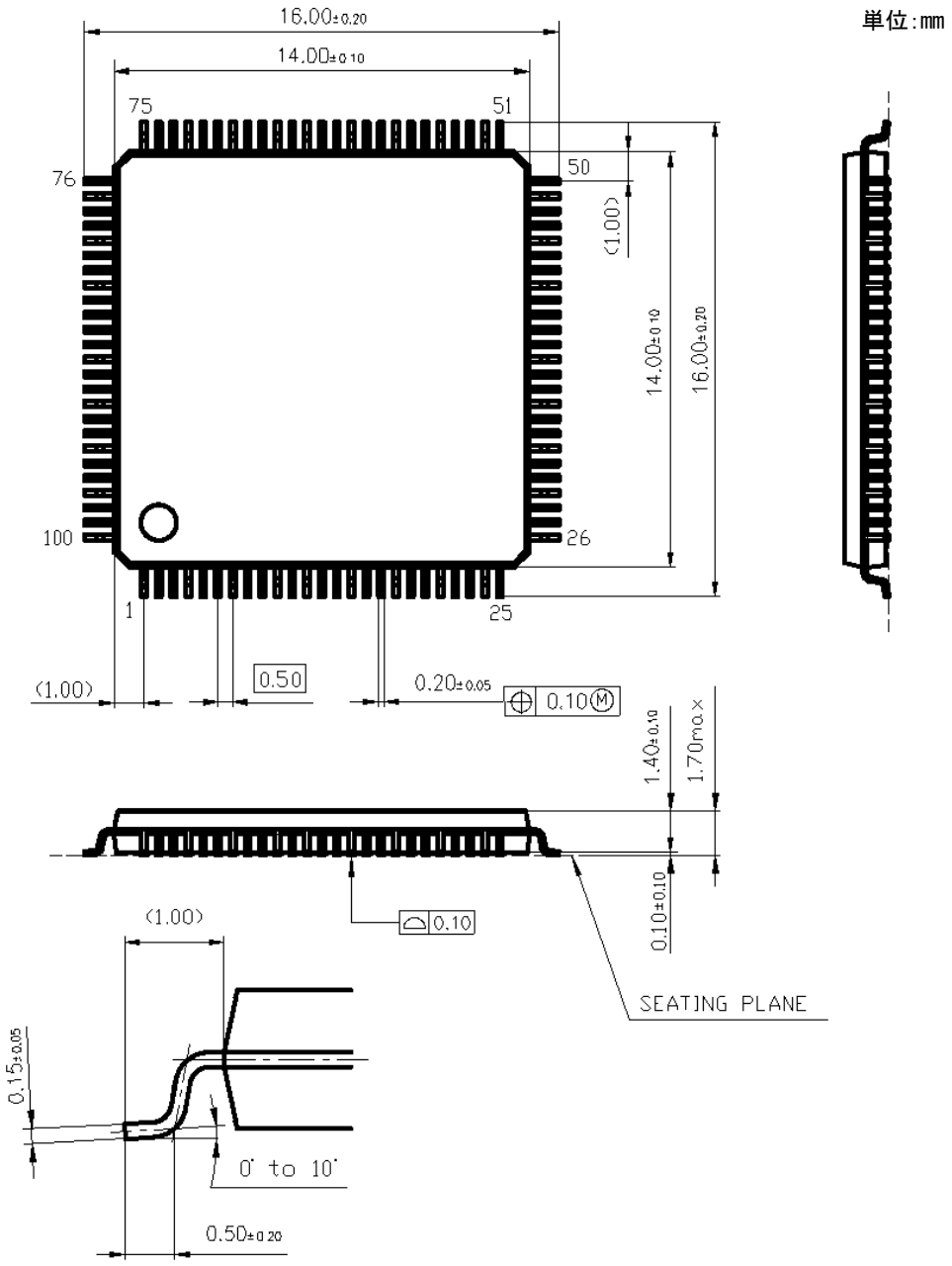


図1.7.3　LQFP100-P-1414Cの外形寸法図

パッケージ外形寸法図は、変更の可能性がありますので、ご使用の際は、当社営業所まで製品規格をお求めください。

■ パッケージコード: TQFP080-P-1212F

TQFP080-P-1212Fの外形寸法図を図1.7.4に示します。

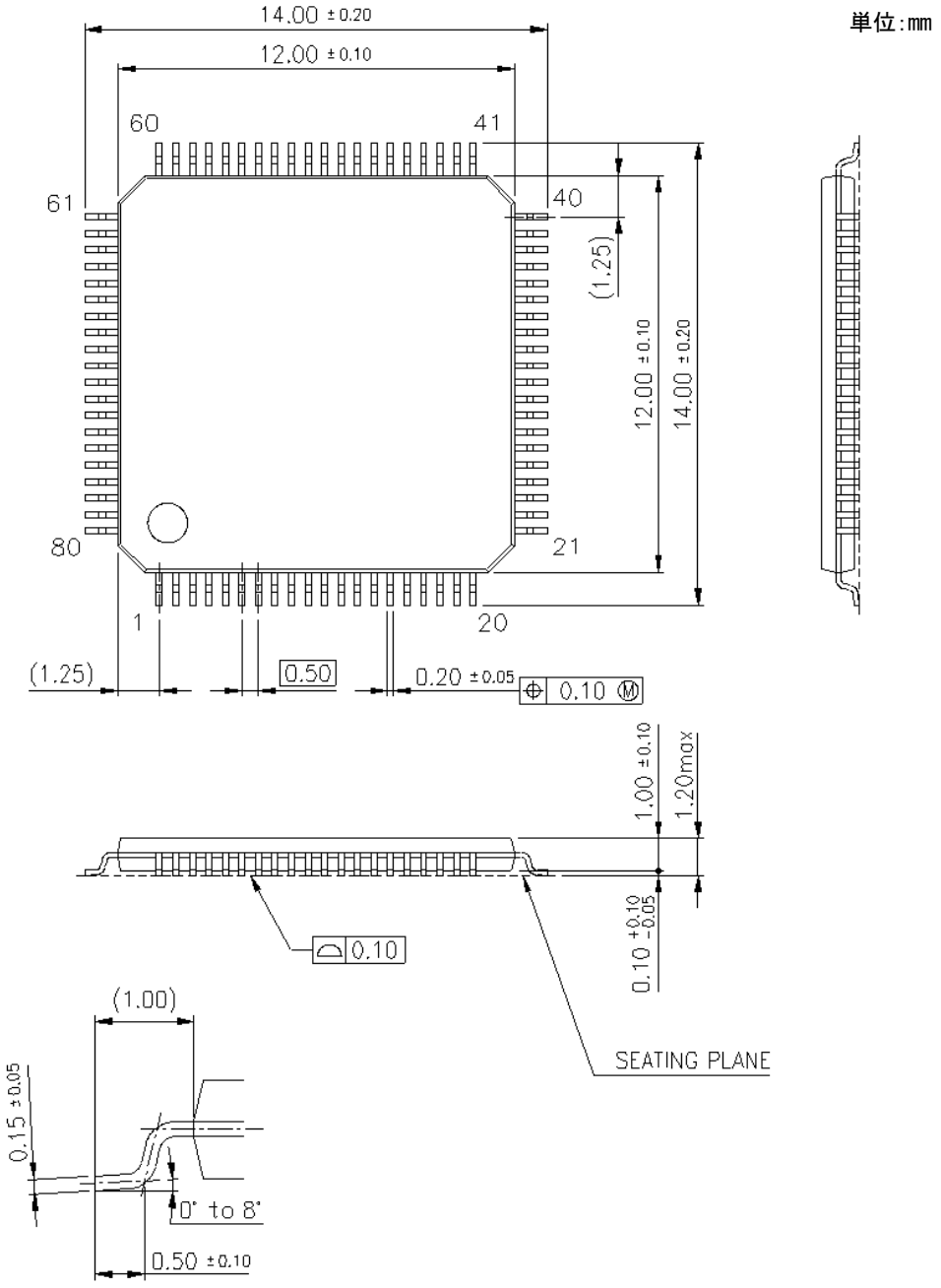


図1.7.4 TQFP080-P-1212Fの外形寸法図

パッケージ外形寸法図は、変更の可能性がありますので、ご使用の際は、当社営業所まで製品規格をお求めください。

■ パッケージコード: TQFP064-P-1010D

TQFP064-P-1010Dの外形寸法図を図1.7.5に示します。

単位:mm

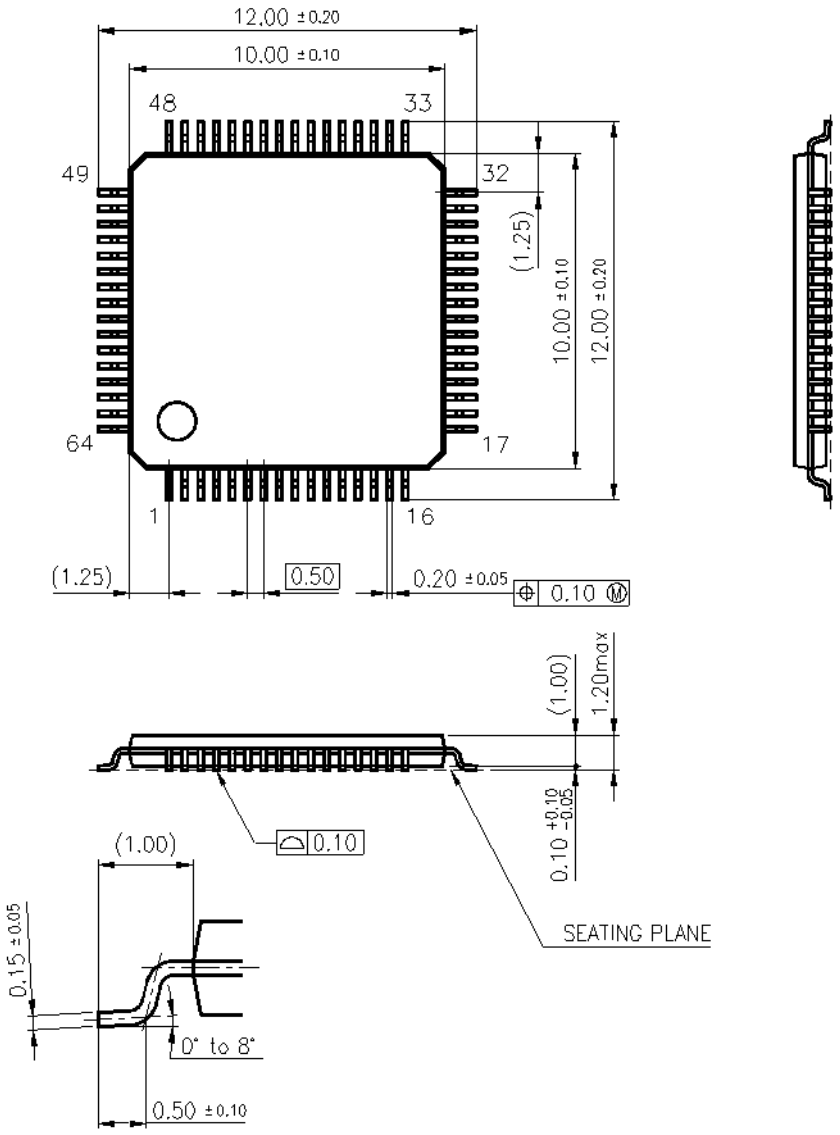


図1.7.5　TQFP064-P-1010Dの外形寸法図

パッケージ外形寸法図は、変更の可能性がありますので、ご使用の際は、当社営業所まで製品規格をお求めください。

■ パッケージコード: TQFP048-P-0707F

TQFP048-P-0707Fの外形寸法図を図1.7.6に示します。

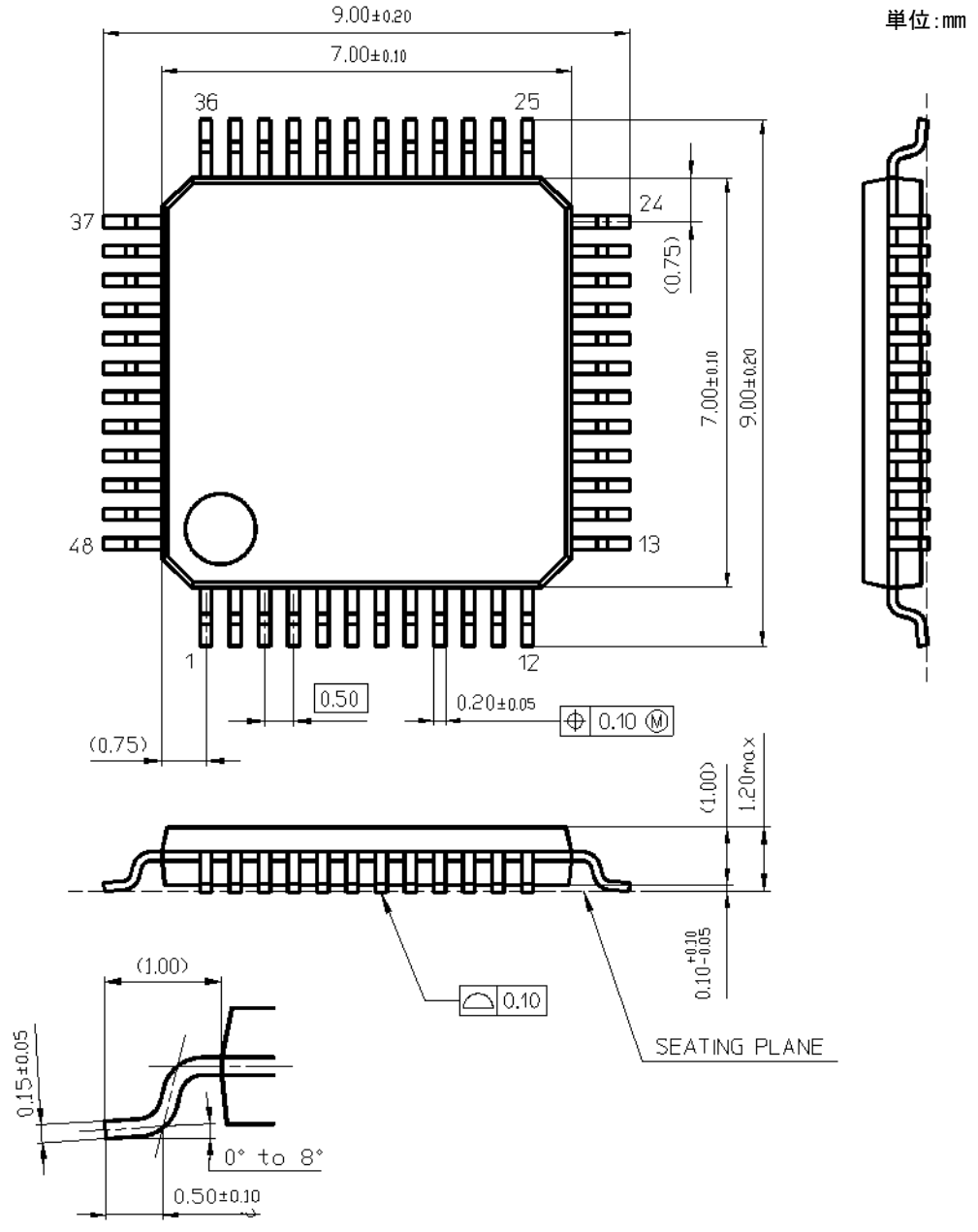


図1.7.6　TQFP048-P-0707Fの外形寸法図

パッケージ外形寸法図は、変更の可能性がありますので、ご使用の際は、当社営業所まで製品規格をお求めください。

1.8 回路設計上の注意事項

1.8.1 使用に際して

■ VDD50端子、VSS端子の接続

すべてのVDD50端子、VSS端子は外部でそれぞれ電源とGNDに直接接続してください。LSI（パッケージ)の端子位置を十分に確認し、P板上に設置してください。接続方法を間違えると、大電流による配線の溶断などLSIの破壊につながる可能性があります。

■ 動作上の注意

1. 高電界の加わる場所(ブラウン管直下など)で使用される場合は、正常動作保証のためにパッケージ表面をシールドしてください。
2. 動作温度条件を確認の上ご使用ください。製品により温度範囲保証が異なります。例えば、+85 ℃保証に対し、それ以上の温度でご使用の場合、動作マージンがなく誤動作する恐れがあります。
3. 動作電圧条件を確認の上ご使用ください。製品により、動作電圧保証が異なります。
   - 保障電圧より高い電圧でご使用の場合、信頼性保障(経時変化によるトランジスタの寿命保証等)ができません。
   - 保障電圧より低い電圧でご使用の場合、動作マージンがなく誤動作する恐れがあります。

1.8.2　未使用端子の処理

■ 未使用端子の処置

使用しない端子は汎用ポート機能に設定し、入出力不可状態(入力/出力イネーブルが共にOFF)、もしくは出力状態(入力イネーブル:OFF、出力イネーブル:ON)に設定のうえ、端子を開放することを推奨します。汎用ポート機能を有する入力専用端子も同様です。詳細は図1.8.1、表1.8.1を参照してください。

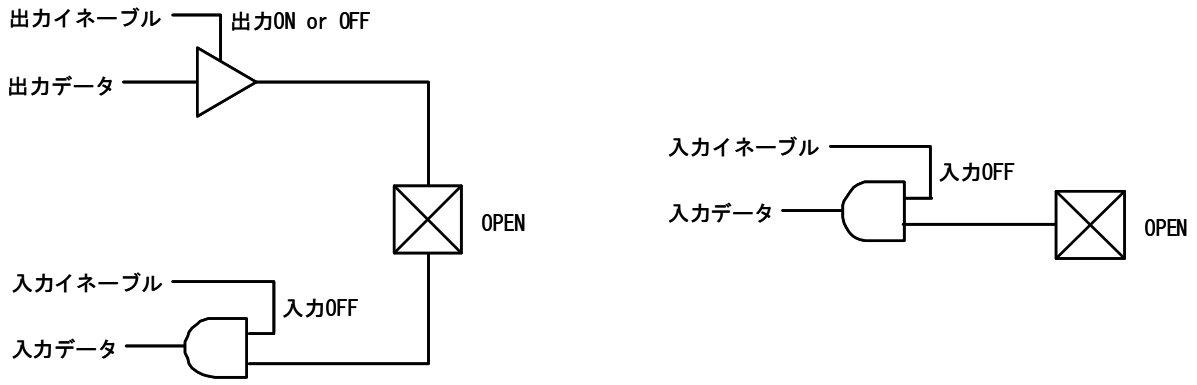


図1.8.1　未使用端子の処置方法

表 1.8.1 各端子の推奨処置方法 (*1)

端子名	入出力	未使用時の推奨処置方法
P00 ～ P07, P10 ～ P17, P20 ～ P27, P30 ～ P37, P40 ～ P47, P50 ～ P57, P60 ～ P67, P70 ～ P77, P80 ～ P87, P90 ～ P97, PA0 ～ PA5, PB0 ～ PB5, PC4 ～ PC7, PD4 ～ PD7, PE4 ～ PE7, PF0 ～ PF7	入出力端子	開放にしてください。(*2)
PC0 ～ PC3, PD0 ～ PD3, PE0 ～ PE3	入力端子	開放にしてください。(*2)
TEST	入力端子	2 kΩ以上の抵抗を挿入してV_{DD50} にプルアップしてください。
SCLK	入力端子	10 kΩ以上の抵抗を挿入してV_{DD50} にプルアップしてください。
SDATA	入出力端子	10 kΩ以上の抵抗を挿入してV_{DD50} にプルアップしてください。
TEST2	入力端子	2 kΩ以上の抵抗を挿入してV_{DD50} にプルアップしてください。

*1 各端子の処理方法は、外来ノイズ等の影響を考慮し十分に評価を行って決定してください。

*2 端子を未使用にする場合は、必ず通常ポート機能の設定にしてください。

1.8.3　電源の立上げ方

■ LSI電源と入力端子電圧の関係

本LSIの電源が立上がった後、入力端子電圧が供給されるようにしてください。この順番が逆転すると、本LSI内部でラッチアップが発生し、大電流による破壊の恐れがあります。LSI電源と入力端子電圧の関係を図1.8.2に示します。

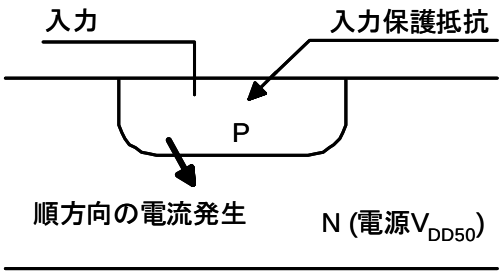


図1.8.2　LSI電源と入力端子電圧の関係

■ 電源投入時の制約

本LSIは、オートリセットにより電源投入時にリセットが発生します。また、本LSIは、内蔵レギュレータより生成した内部電源で動作します。そのため、NRST端子電圧、電源電圧(V_{DD50})および内部電源電圧(V_{DD18})の関係が、下記条件を遵守するよう、基板設計してください。

- ΔVDD50 ≥ 0.2 ms/V
- tV_{DD18} < tV_{RST1}
- tV_{RST1} ≤ tNRSTW(tNRSTWは1 μs以上必要)

ΔV_{DD50}　:電源電圧変化率
tV_{DD18}　:電源電圧が投入された後、内部電源電圧が、1.65 Vに達するまでの時間
tV_{RST1}　:電源電圧が、電源電圧検知レベル(V_{RST1})の下限に達するまでの時間
tNRSTW　:NRST端子の"L"レベルを維持する時間

電源電圧とNRST端子電圧の関係を図1.8.3に示します。

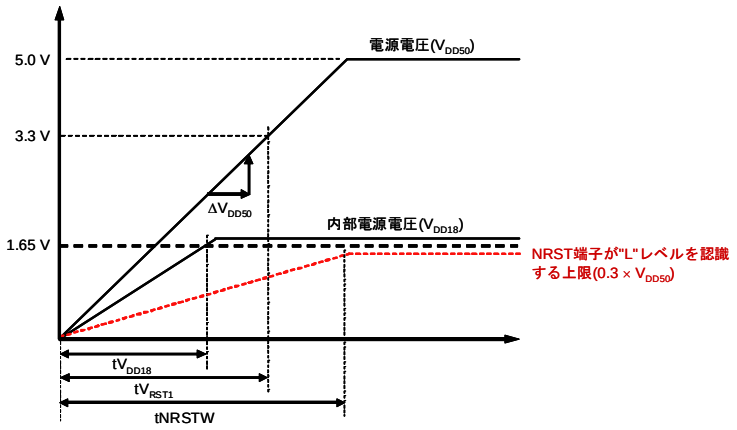


図1.8.3　LSI電源とリセット入力電圧の関係

1.8.4　LSI用電源回路について

■ 電源回路設計上の注意事項

本LSIなどMOSロジック品は、高速高集積設計を採用していますので十分余裕のある電源回路を採用してください。ACラインノイズなどの評価、およびLEDなどの駆動時のリップル状態を確認の上、電源方式を検討してください。

エミッタフォロアタイプを採用した電源回路の例を図1.8.4に示します。

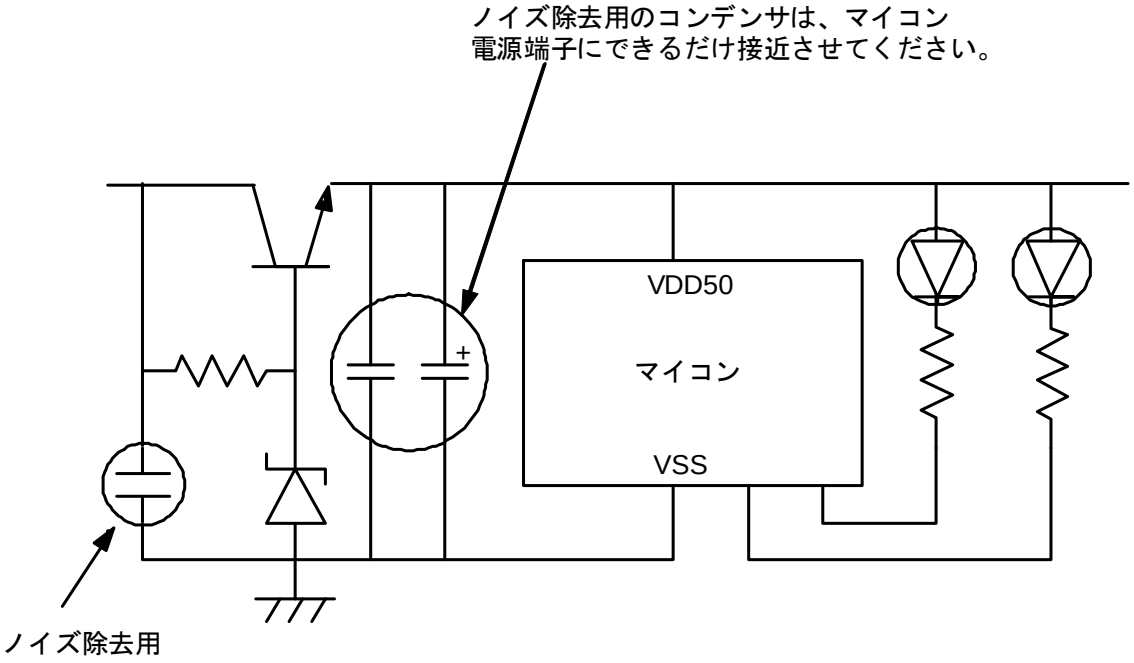


図1.8.4　電源回路の例(エミッタフォロアタイプ)

1.8.5　発振子の接続例

発振子を接続する場合の例を図1.8.5に、当社が推奨する発振子とその回路定数について表1.8.2に示します。

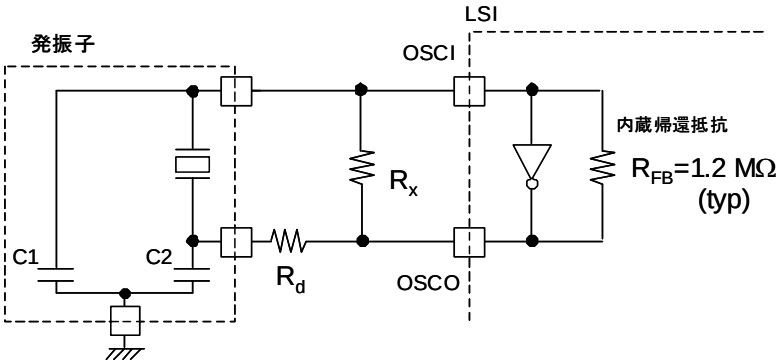


図1.8.5　発振子の接続例

表 1.8.2 推奨する発振子とその回路定数

発振子メーカ	周波数 [Hz]	タイプ	セラミック発振子品番	推奨回路定数		
				負荷容量 C1=C2[pF]	外部フィードバック抵抗 R_x[Ω]	ダンピング抵抗 R_d[Ω]
ムラタ	4.00 M	SMD	CSTCR4M00G55-R0	39 (*1)	Open	680
		Lead	CSTLS4M00G56-B0	47 (*1)	Open	680
	8.00 M	SMD	CSTCE8M00G55-R0	33 (*1)	Open	330
		Lead	CSTLS8M00G56-B0	47 (*1)	Open	330
	10.00 M	SMD	CSTCE10M0G55-R0	33 (*1)	Open	220
		Lead	CSTLS10M0G56-B0	47 (*1)	Open	220
		Lead	CSTLS10M0G53-A0	15 (*1)	Open	330

(*1)負荷容量C1、C2内蔵タイプ

上記の推奨値は、本LSI単体での発振評価結果に基づいています。

OSCI/OSCOに接続する発振子の回路定数は、発振子実装回路の浮遊容量などにより異なるため、必ず発振子メーカと十分ご相談の上、決定してください。

1.8.6　シリアルプログラマ/オンボードデバッガの端子接続

シリアルプログラマ/オンボードデバッガの端子接続の例を、図1.8.6に示します。
インタフェースは、DWire32A形式です。図のように必要な信号線を取出し、コネクタやターミナルピンに配線してください。

DWire32Aは当社32ビットマイコンで使用可能なデバッグインタフェースの仕様です。
DWire32Aインタフェース形式のシリアルプログラマ、オンボードデバッガを接続することが可能です。

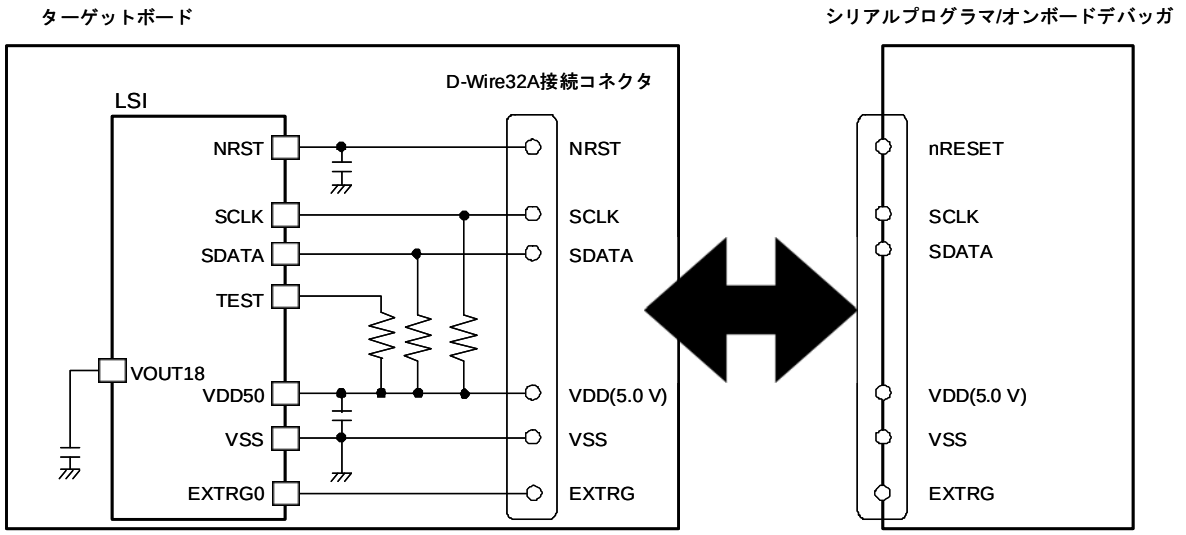


図1.8.6　シリアルプログラマ/オンボードデバッガの端子接続例

SDATA端子、SCLK端子には、4.7 k ～ 100 kΩ(10 k ～ 100 kΩを推奨)のプルアップ抵抗を接続してください。

ターゲットボード設計、シリアルプログラマ/オンボードデバッガのご使用に関しては、お使いになるソフトウェア開発ツールのターゲットボード設計指針を参照してください。

EXTRG0端子(トリガ端子)は必要に応じて接続してください。
また、EXTRG1端子はユーザ用トリガ入出力端子です。出力時はプッシュプル出力になります。電源ショートを避けるため、OPEN、プルアップ、プルダウンいづれかの接続を行ってください。

第2章　　CPU

2

2.1 CPUの基本仕様

CPUの基本仕様を表2.1.1に示します。

表 2.1.1 CPU の基本仕様

大項目	小項目	説明
構造	ロード/ストアアーキテクチャ (レジスタ9本)	データ用 : 32ビット×4 アドレス用 : 32ビット×4 スタックポインタ : 32ビット×1
	ロード/ストアアーキテクチャ (そのほか)	プログラムカウンタ : 32ビット×1 プロセッサステータスワード : 16ビット×1 乗除算専用レジスタ : 32ビット×1 分岐専用レジスタ : 32ビット×2
命令	命令数	46
	アドレッシングモード数	6
	基本命令語長	1バイト
	コード割付	1～2バイト(基本部)+0～6バイト(拡張部)
基本性能	最大内部動作周波数	120 MHz
	最小命令実行クロック	1クロック(8.33 ns)
	レジスタ間演算	1クロック
	ロード/ストア	1クロック
	条件分岐	1～3クロック
パイプライン	5段(命令フェッチ、解読、実行、メモリアクセス、書込み)	
メモリ空間	4 GB	

2.1.1　CPUのブロック構成

CPUのブロック構成を図2.1.1に、各ブロックの機能を表2.1.2に示します。

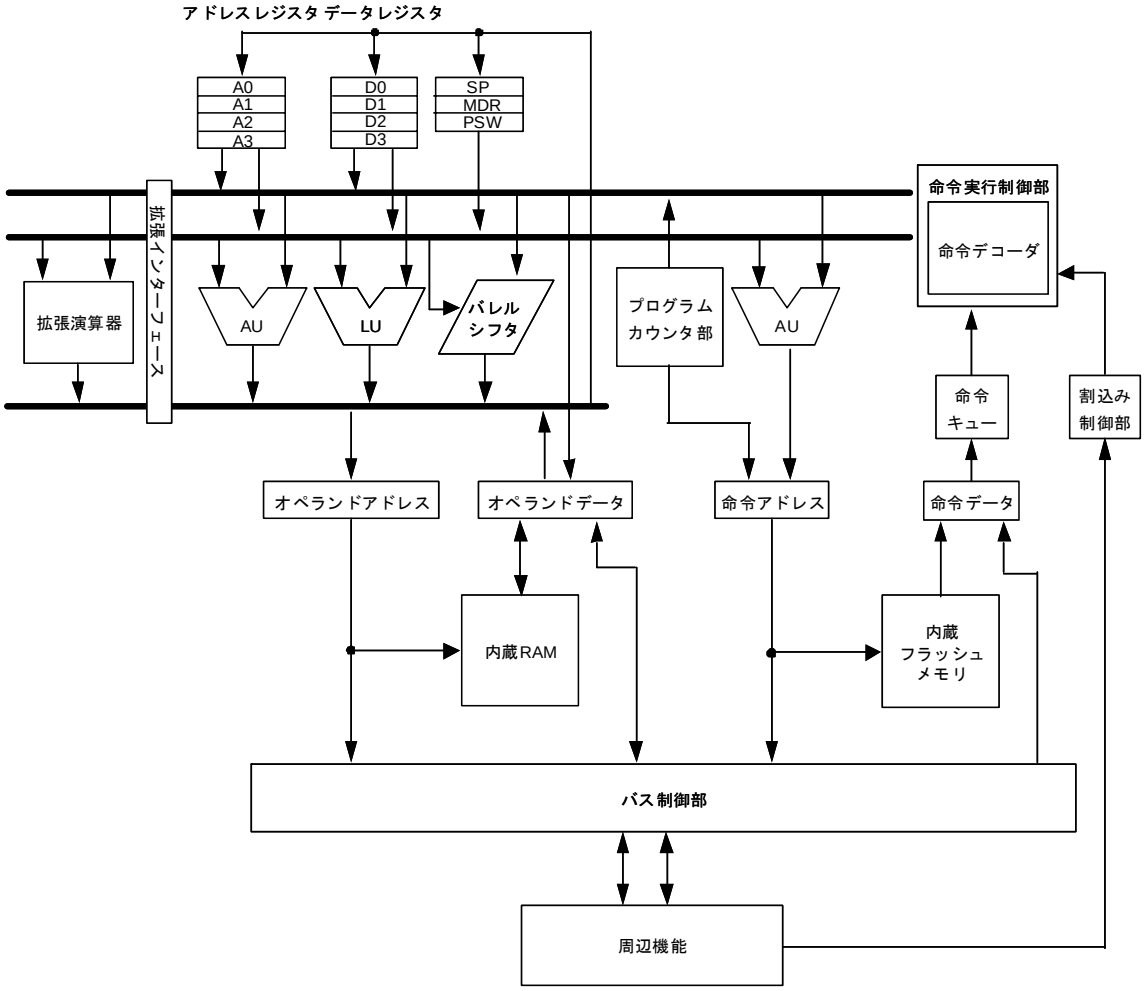


図2.1.1　CPUのブロック図

表 2.1.2 CPU の各ブロックの機能

ブロック名	説明
プログラムカウンタ	命令キューに取込む命令の番地を生成します。通常は、シーケンサの指示によりインクリメントされますが、分岐命令や割込み受付けの際は、分岐先アドレスあるいは、AU、LU、バレルシフタの演算結果がセットされます。
命令キュー	命令キューは、先行的に読出した命令を実行まで待たせます。
命令デコーダ	命令デコーダは、命令キューの内容を解読し、その命令の実行に必要な制御信号を順次生成し、本LSIの各ブロックを制御することにより命令を実行させます。
命令実行制御部	命令デコーダの命令解読結果や割込み要求などにより、CPU各部の動作を制御します。
拡張演算器	拡張演算器は、高速乗算命令などのLSI固有に定義された命令を実行します。
AU	AUは、加算や減算など算術演算を行います。
LU	LUは、論理演算を行います。
バレルシフタ	バレルシフタは、シフト演算を行います。
内蔵フラッシュメモリ、	実行プログラム、データ、スタック領域にあてられます。
内蔵RAM	
アドレスレジスタ	アドレスのポインタとして用いるレジスタでアドレス計算用の演算命令(加減算と比較)がサポートされています。
データレジスタ	すべての演算に対して汎用的に使用できます。
割込み制御部	周辺機能からの割込み要求を検出し、CPUに対して割込み処理へ移行することを要求します。
バス制御部	CPU内部バスとCPU外部バスの接続を制御します。またバス使用権の調停機能を内蔵します。
周辺機能	周辺機能(8ビットタイマ、16ビットタイマ、モータ制御用PWM、シリアルI/F、A/Dコンバータなど)が内蔵されています。

2.2 レジスタセット

レジスタセットは、加減算など演算用のデータレジスタ、ポインタ用のアドレスレジスタとスタックポインタに分割されています。これは、命令コードサイズの圧縮、パイプライン処理の並列性の向上など、内部アーキテクチャの性能向上に大きく貢献しています。本レジスタセットにより、C言語をはじめとする高級言語によるプログラミングを可能としています。

ループ命令レジスタ(LIR)、ループアドレスレジスタ(LAR)は、分岐命令を高速に実行するためのレジスタです。SETLB命令により分岐先命令と命令フェッチ先アドレスを格納し、Lcc命令を用いてループを構成することにより、ループ制御の高速化が図れます。

レジスタセット一覧を図2.2.1に示します。

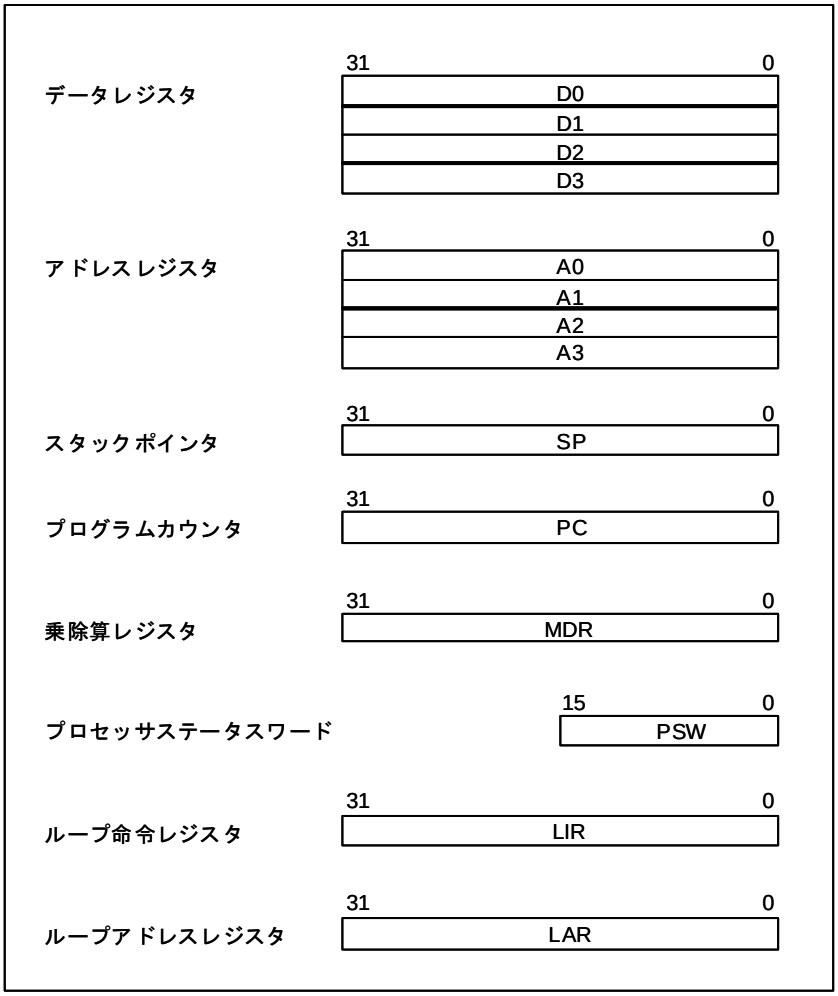


図2.2.1　レジスタセット一覧

リセット解除後のレジスタセットの状態を表2.2.1に示します。リセット解除後、0x40000000番地からプログラムが実行されます。

表 2.2.1 リセット解除後のレジスタセットの状態

レジスタセット	初期値
データレジスタ(D0～D3)	0x00000000
アドレスレジスタ(A0～A3)	0x00000000
スタックポインタ(SP)	0x00000000
プログラムカウンタ(PC)	0x40000000
乗除算レジスタ(MDR)	0x00000000
プロセッサステータスワード(PSW)	0x0000
ループ命令レジスタ(LIR)	0x00000000
ループアドレスレジスタ(LAR)	0x00000000

2.2.1 データレジスタ

データレジスタは、すべての演算に対して汎用的に使える演算用レジスタです。演算は32ビット長で行われ、データサイズの変換はメモリとのデータ転送時、またはEXTB命令/EXTH命令実行により行います。8ビットのデータは、ロード時は32ビットにゼロ拡張されてレジスタに転送され、ストア時はレジスタの下位8ビットがメモリに転送されます。ロードした8ビットデータを符号付き整数として扱う場合には、EXTB命令により8ビットから32ビットに符号拡張します。16ビットのデータは、ロード時は32ビットにゼロ拡張されてレジスタに転送され、ストア時はレジスタの下位16ビットがメモリに転送されます。ロードした16ビットデータを符号付き整数として扱う場合には、EXTH命令により16ビットから32ビットに符号拡張します。

2.2.2 アドレスレジスタ

アドレスレジスタは、アドレスのポインタとして用いるレジスタで、アドレス計算用の演算命令(加減算と比較)のみがサポートされています。アドレスレジスタのデータはポインタであり、メモリとの転送は常に32ビット長で行われます。

2.2.3 スタックポインタ

スタックポインタは、スタック領域の先頭アドレスを指すポインタです。

2.2.4 プログラムカウンタ

プログラムカウンタは、実行中の命令のアドレスを指すカウンタです。

2.2.5　乗除算レジスタ

乗除算レジスタは、乗除算命令用に設けられたレジスタで、乗算命令では64ビットの乗算結果の上位32ビットが入り、除算命令では剰余(32ビット)が入ります。また、除算命令では、実行前に被除数の上位32ビットを格納しておきます。

2.2.6　ループ命令レジスタ

ループ命令レジスタは、分岐命令(Lcc)用に設けられたレジスタで、SETLB命令により分岐先命令を格納するために用います。Lcc命令と併せてループ制御の高速化を図ります。

2.2.7　ループアドレスレジスタ

ループアドレスレジスタは、分岐命令(Lcc)用に設けられたレジスタで、SETLB命令によりフェッチ先アドレスを格納するために用います。

2.2.8　プロセッサステータスワード

プロセッサステータスワードは、CPUの状態を示すレジスタです。演算結果フラグの確認や割込みマスクレベルの設定が可能です。

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	Reserved	Reserved	S1-0		IE	IM2-0			Reserved	Reserved	Reserved	Reserved	V	C	N	Z
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	設定条件
15-14	Reserved	(*1)
13-12	S1-0	ソフトウェア制御 オペレーティングシステム(OS)用のソフトウェア制御ビットです。リセット時にはクリアされます。一般のユーザプログラムでは、使用しません。
11	IE	割込み許可 0:禁止 1:許可 マスカブル割込みの受付けを許可するビットです。割込みを受理するとIEビットは、"0"にクリア(割込み禁止)され、以降のマスカブル割込み受理を禁止します。割込み処理プログラム内で多重に割込みを受付ける場合には、IEビットを"1"に設定してください。
10-8	IM2-0	割込みマスクレベル レベル0(000)からレベル7(111)まで定義され、レベル0が最も高いマスクレベルです。ここで示されるマスクレベルよりも高いレベルを持った割込み要求のみがCPUにより受理されます。割込みが受理されると、その割込みレベルの値がIM2-0ビットに設定されます。受理した割込み処理が終了するまで、同一あるいはそれ以下のレベルの割込みは受理されません。
7-4	Reserved	(*1)
3	V	オーバフローフラグ 0:演算の実行により符号付き数値としてオーバフローが生じなかったとき 1:演算の実行により符号付き数値としてオーバフローが生じたとき
2	C	キャリーフラグ 0:演算結果の最上位ビット(MSB)より桁上がり/桁借りが生じなかったとき 1:演算結果の最上位ビット(MSB)より桁上がり/桁借りが生じたとき
1	N	ネガティブフラグ 0:演算結果の最上位ビット(MSB)が"0"のとき 1:演算結果の最上位ビット(MSB)が"1"のとき
0	Z	ゼロフラグ 0:演算結果が全ビット"0"以外のとき 1:演算結果が全ビット"0"のとき

割込み制御レジスタへの書込みはPSWレジスタのIEビットを禁止にしてから行ってください。IEビットが"1"の状態で割込み制御レジスタへ書込みを行った場合、動作は保証できません。

*1 将来のアーキテクチャ拡張用の予約ビットです。読み出し値は保証しません。プログラム流用性の観点から、変更対象ビット以外の書き込み値は、直前の値を保持することを推奨します。

演算結果フラグの仕様の詳細は、MN103Sシリーズ命令説明書を参照ください。

2.3 データ形式

CPUで処理できるデータ形式は、ビットデータ、バイトデータ、ハーフワードデータ、ワードデータの4種類です。各データ形式の内容を表2.3.1に示します。

表 2.3.1 データ形式の種類と内容

データ形式	内容
ビットデータ	ビットデータ
バイトデータ	符号なし8ビットデータ 符号付き8ビットデータ(符号ビットはMSBで指定)
ハーフワードデータ	符号なし16ビットデータ 符号付き16ビットデータ(符号ビットはMSBで指定)
ワードデータ	符号なし32ビットデータ 符号付き32ビットデータ(符号ビットはMSBで指定)

メモリ上のデータは、アライメントのとれたデータである必要があります。各データ形式のメモリ上の配置を図2.3.1に示します。

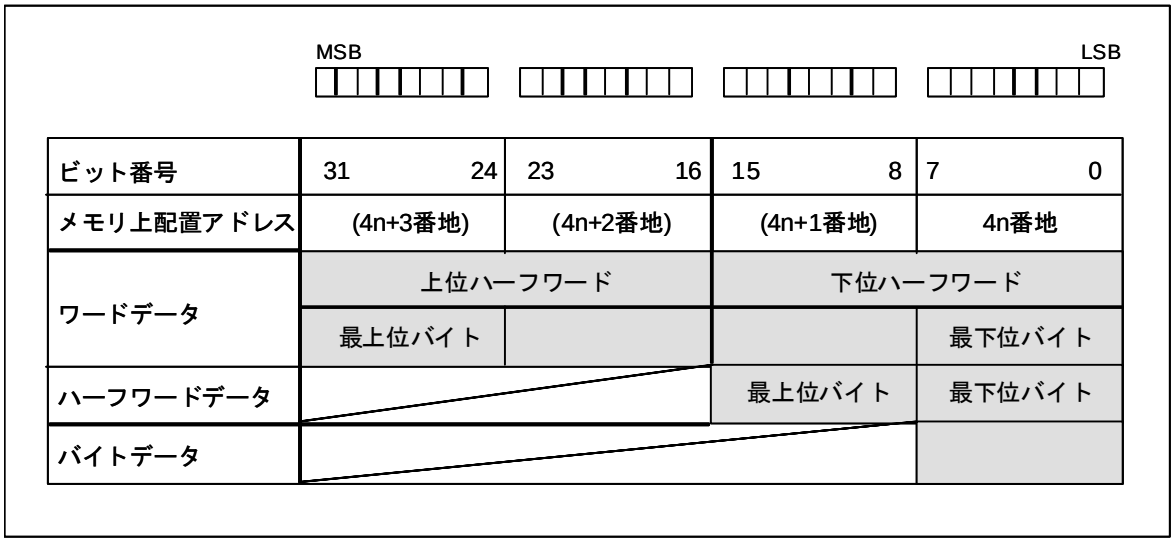


図2.3.1 データ形式とメモリ上の配置

図2.3.1に示すとおり、ワードデータを格納するアドレスのLSB側2ビットが"00"(4の倍数アドレス)、ハーフワードデータを格納するアドレスのLSBが"0"(2の倍数アドレス)である必要があります。バイトとビットの配置は、ともにリトルエンディアン形式となります。したがって、ハーフワードデータのMSB側のバイトデータのアドレスはLSB 側のバイトデータのアドレス+1に、ワードデータのMSB側のバイトデータのアドレスはLSB側のバイトデータのアドレス+3となります。ビットデータのビット番号は、LSB側を0としてMSB側に向かって順次大きくなります。

2.4 命令

CPUの処理について、以下の順に説明します。

・記号説明
・命令フォーマット
・アドレッシングモード
・命令セット
・命令セット一覧

2.4.1 記号説明

本節の説明で使用する記号を以下に示します。

OP ： 命令オペレーション
Am, An ： アドレスレジスタ(m, n=3～0)
Dm, Dn ： データレジスタ(m, n=3～0)
SP ： スタックポインタ
imm ： 即値(一般的な意味として使用)
imm8 ： 8 ビット即値
imm16 ： 16 ビット即値
imm32 ： 32 ビット即値
d8 ： 8 ビットディスプレースメント
d16 ： 16 ビットディスプレースメント
d32 ： 32 ビットディスプレースメント
abs16 ： 16 ビット絶対
abs32 ： 32 ビット絶対
MDR ： 乗除算レジスタ
LAR ： ループアドレスレジスタ
PSW ： プロセッサステータスワード
PC ： プログラムカウンタ
( ) ： 間接アドレッシング
regs ： 複数レジスタ指定

2.4.2　命令フォーマット

命令フォーマットは、以下の11種類があります。

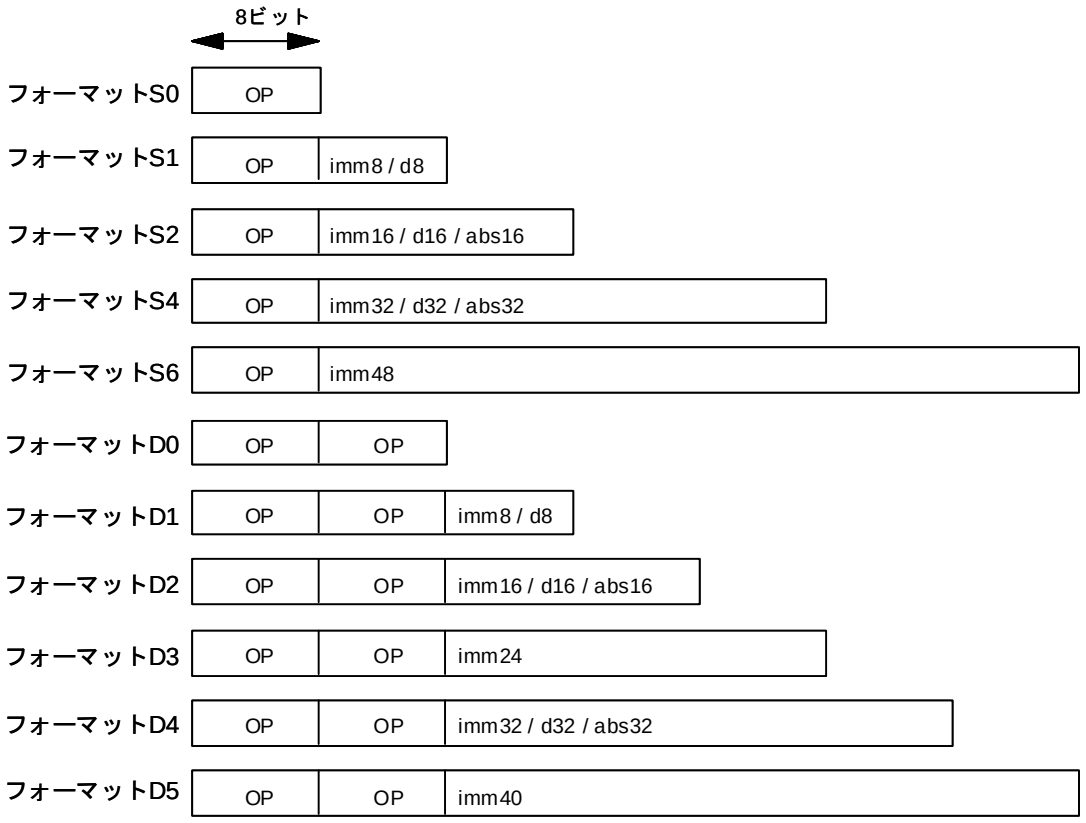


図2.4.1　命令フォーマット種類

通常、オペコード(OP)の後ろに8、16、32ビットの即値(imm8, imm16, imm32)、ディスプレースメント(d8, d16, d32)、絶対(abs8, abs16, abs32)が接続されます。ただし、図2.4.1の命令フォーマットS2、S4、S6、D2、D3、D5では、オペコードの後ろに2つ以上の即値、ディスプレースメント、絶対が接続され、全体として、16ビット即値(imm16)、24ビット即値(imm24)、32ビット即値(imm32)、40ビット即値(imm40)、48ビット即値(imm48)と表記しています。この表記に従って16、24、32、40、48ビット即値を接続する命令は以下のとおりです。

imm16:	RET RETF BTST BSET BCLR	regs,imm8 regs,imm8 imm8,(d8,An) imm8,(d8,An) imm8,(d8,An)
imm24:	BTST BSET BCLR	imm8,(abs16) imm8,(abs16) imm8,(abs16)
imm32:	CALL	(d16,PC),regs,imm8
imm40:	BTST BSET BCLR	imm8,(abs32) imm8,(abs32) imm8,(abs32)
imm48:	CALL	(d32,PC),regs,imm8

2.4.3　アドレッシングモード

アドレッシングモードは、コンパイラにおいて使用頻度の高い以下の6種類を備えています。
データ転送系命令では、レジスタ直接、即値、レジスタ間接、レジスタ相対間接、絶対、インデックス修飾レジスタ間接の6種類のアドレッシングモードが使用できます。レジスタ演算命令では、レジスタ直接と即値アドレッシングの2種類のアドレッシングモードが使用できます。
インデックス修飾レジスタ間接アドレッシングは、配列などのデータを効率的にアクセスするためのアドレッシングモードです。

アドレッシングモード		アドレス計算	実効アドレス
レジスタ直接	Dm / Dn Am / An SP / PSW / MDR	—	—
即値	imm8 / regs imm16 imm24 imm32 imm40 imm48	—	—
レジスタ間接	(Am) / (An)	31 … 0 Am / An	31 … 0 (32ビットアドレス)
レジスタ相対間接	(d8,Am) / (d8,An) :d8は符号拡張 (d16,Am) / (d16,An) :d16は符号拡張 (d32,Am) / (d32,An)	31 … 0 Am / An + 31 … 15 … 7 … 0 d32 / d16 / d8	31 … 0 (32ビットアドレス)
	(分岐命令のみ) (d8, PC) :d8は符号拡張 (d16, PC) :d16は符号拡張 (d32, PC)	31 … 0 PC + 31 … 15 … 7 … 0 d32 / d16 / d8	31 … 0 (32ビットアドレス)
	(d8, SP) :d8はゼロ拡張 (d16, SP) :d16はゼロ拡張 (d32, SP)	31 … 0 SP + 31 … 15 … 7 … 0 d32 / d16 / d8	31 … 0 (32ビットアドレス)
絶対	(abs16) :abs16はゼロ拡張 (abs32)	31 … 15 … 0 abs32 / abs16	31 … 0 (32ビットアドレス)
インデックス修飾レジスタ間接 (Di, Am) / (Di, An)		31 … 0 Am / An + 31 … 0 Di	31 … 0 (32ビットアドレス)

図2.4.2　アドレッシングモードの一覧

2.4.4　命令セット

命令セットは、シンプルな命令セット体系からなり、Cコンパイラによる生成コードのコンパクト化と最適化が特徴となっています。命令コードサイズは、基本命令語長を1バイトとすることにより、メモリとのデータ転送をロード/ストアに限定したシンプルな命令セットでありながら、アセンブラプログラムのコードサイズの増加を最小限に抑えることができます。

表 2.4.1 命令の種類（全 46 種類＋拡張演算命令）

転送命令	転送符号	拡張	クリア	
	MOV MOVBU MOVHU MOVM	EXT EXTB EXTBU EXTH EXTHU	CLR	
算術演算命令	加算	減算	乗算	除算
	ADD ADDC INC INC4	SUB SUBC	MUL MULU	DIV DIVU
比較命令	比較			
	CMP			
論理演算命令	論理和	論理積	反転	排他的論理和
	OR	AND	NOT	XOR
ビット操作命令	テスト	テスト&セット	テスト&クリア	
	BTST	BSET	BCLR	
シフト命令	シフト	ローテート		
	ASR LSR ASL ASL2	ROR ROL		
分岐命令	分岐	ループ設定	サブルーチンコール	復帰
	Bcc Lcc JMP	SETLB	CALL CALLS TRAP	RET RETF RETS RTI
NOP 命令	ノーオペレーション			
	NOP			
拡張演算命令	拡張			
	UDF UDFU			

BSET/BCLR 実行中は、割込み禁止およびバスロック(CPUが占有)となります。

■ 転送命令

転送命令は、レジスタ間のデータ転送、メモリとレジスタ間のデータ転送を行う命令です。

転送命令は、MOV系とEXT系とCLR系に分類されます。MOV系命令は、各種のアドレッシングモードを用いたデータ転送機能を提供します。ディスプレースメントや即値は動作に応じて符号拡張されます。EXT系命令は、符号拡張を伴うレジスタ間転送機能を提供します。CLR系命令は、レジスタ内容のクリア(0を転送する)機能を提供します。

表 2.4.2 転送命令一覧

命令	説明
MOV	レジスタ間のワードデータ転送 レジスタおよびメモリ間のワードデータ転送 即値のレジスタへの転送
MOVBU	レジスタメモリ間のバイトデータ転送（ゼロ拡張）
MOVHU	レジスタメモリ間のハーフワードデータ転送（ゼロ拡張）
MOVM	複数レジスタとメモリ間の転送
EXT	ワードデータの64ビット符号拡張
EXTB	バイトデータの32ビット符号拡張
EXTBU	バイトデータの32ビットゼロ拡張
EXTH	ハーフワードデータの32ビット符号拡張
EXTHU	ハーフワードデータの32ビットゼロ拡張
CLR	データクリア

■ 算術演算命令

算術演算命令は、ソースオペランド間の算術演算を行い、結果をレジスタに格納する命令です。全ての命令は、PSWレジスタのフラグを更新することがあります。INC命令とINC4命令は、アドレス計算時に使用頻度が高い+1や+4を独立した命令として採用しています。

表 2.4.3 算術演算命令一覧

命令	説明
ADD	加算
ADDC	キャリー付き加算
SUB	減算
SUBC	ボロー付き減算
MUL	符号付き乗算
MULU	符号なし乗算
DIV	符号付き除算
DIVU	符号なし除算
INC	1加算
INC4	4加算

■ 比較命令

比較命令は、レジスタ内容間の比較または即値とレジスタ内容間の比較を行う命令で、条件分岐命令に先立って使用されます。

表 2.4.4 比較命令一覧

命令	説明
CMP	比較

■ 論理演算命令

論理演算命令は、ソースオペランド間の論理演算を行い、結果をレジスタに格納する命令です。

表 2.4.5 論理演算命令一覧

命令	説明
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	反転(1の補数)

■ ビット操作命令

ビット操作命令は、即値とレジスタ内容、即値とメモリ内容、レジスタ内容とメモリ内容の間でビット操作を行う命令です。

表 2.4.6 ビット操作命令一覧

命令	説明
BTST	複数ビットのテスト
BSET	複数ビットのテスト & セット(処理単位はバイト)
BCLR	複数ビットのテスト & クリア(処理単位はバイト)

■ シフト命令

シフト命令は、指定された量のビットシフトを行う命令です。シフト量にかかわらず1サイクルで実行できます。

表 2.4.7 シフト命令一覧

命令	説明
ASR	任意ビット算術右シフト
LSR	任意ビット論理右シフト
ASL	任意ビット算術左シフト
ASL2	2ビット算術左シフト
ROR	1ビット右ローテート
ROL	1ビット左ローテート

■ 分岐命令

分岐命令は、条件に従ってプログラム実行のフローを変更する命令です。条件分岐命令には、通常の条件分岐命令とループ専用の条件分岐命令があります。ループ専用の条件分岐命令は、専用のレジスタを使用することにより、分岐ペナルティを最小にして高速なループの実行を実現します。サブルーチンコール/リターンは、PC 操作と複数レジスタのスタックへの退避/復帰およびスタックエリアの確保/開放を行う高機能な仕様になっています。

表 2.4.8 分岐命令一覧

命令	説明
Bcc	条件分岐(PC相対)
Lcc	ループ専用条件分岐
SETLB	ループ先頭の登録
JMP	無条件分岐(PC相対、レジスタ間接)
CALL	サブルーチンコール(高機能タイプ)
CALLS	サブルーチンコール
RET	サブルーチンからの復帰(高機能タイプ)
RETF	サブルーチンからの復帰(高機能、高速タイプ)
RETS	サブルーチンからの復帰
RTI	割込みプログラムからの復帰
TRAP	固定アドレスへのサブルーチンコール

■ NOP命令

NOP命令は、何も実行しない命令です。すべての資源に対し影響を与えず1サイクルだけ時間を進めることができます。

命令	説明
NOP	ノーオペレーション

■ 拡張演算命令

拡張演算命令は、LSI固有に定義される命令です。あらかじめ命令フォーマットが決められており、命令マップもリザーブされています。本LSIに実装されている拡張演算命令の詳細は【第3章 拡張演算命令】を参照してください。

2.4.5 命令セット一覧

CPUの命令セット一覧は、命令説明書を参照してください。

2.5 メモリ空間

本LSIは、32ビットで表される4Gバイトのメモリ空間を有しています。

メモリ空間は、本LSIに内蔵されたメモリを配置する内蔵メモリ空間とLSIコアの各種制御レジスタを格納した制御レジスタ空間で構成され、以下のように分割されています。

・内蔵メモリ空間

- キャッシャブル フラッシュメモリ空間
- アンキャッシャブル フラッシュメモリ空間
- 命令RAM空間
- データRAM空間
- キャッシュデータ空間(*1)

・制御レジスタ空間

- CPU制御レジスタ空間
- 周辺機能制御レジスタ空間

内蔵メモリ空間は、一度アクセスした命令/データをキャッシュに格納し、以後高速にキャッシュからアクセス可能なキャッシャブル フラッシュメモリ空間、アクセスしてもキャッシュに格納されないアンキャッシャブル フラッシュメモリ空間、常に高速アクセス可能な命令RAM空間/データRAM空間、キャッシュデータを格納するキャッシュデータ空間から構成されています。
フラッシュメモリ空間、命令RAM空間およびデータRAM空間は、命令フェッチ/データアクセスともに可能です(*2)。
制御レジスタ空間は、CPU制御レジスタ空間、周辺機能制御レジスタ空間から構成されています。

---

*1 キャッシュイネーブル時、キャッシュデータ空間はキャッシュメモリとして使用されますので、この領域にアクセスしないでください。アクセス時の動作は保証されません。キャッシュディセーブル時は、キャッシュデータ空間は命令RAM空間として使用できます。

---

*2 フラッシュメモリ空間内の一部にフラッシュオプション領域を配置しています。フラッシュオプション領域には命令列を配置しないでください。詳細は【2.6 フラッシュオプション】を参照ください。

メモリ(内蔵フラッシュメモリ/内蔵RAM)を配置していない内蔵メモリ空間、および制御レジスタを割付けていない制御レジスタ空間へのアクセスなどの未実装空間アクセス時の動作は保証されません。

電源投入時、内蔵RAM（命令RAM空間、データRAM空間、キャッシュデータ空間)は不定です。使用する前に必ず初期化してください。

2.5.1　メモリマップ

本LSIにおけるメモリマップを図2.5.1に示します。

図2.5.1はMN103HF58Xのメモリマップとなります。内蔵メモリ空間(フラッシュメモリ空間、命令RAM空間、データRAM空間)の容量、配置アドレスは品種毎に異なります。詳細は表2.5.1を参照してください。

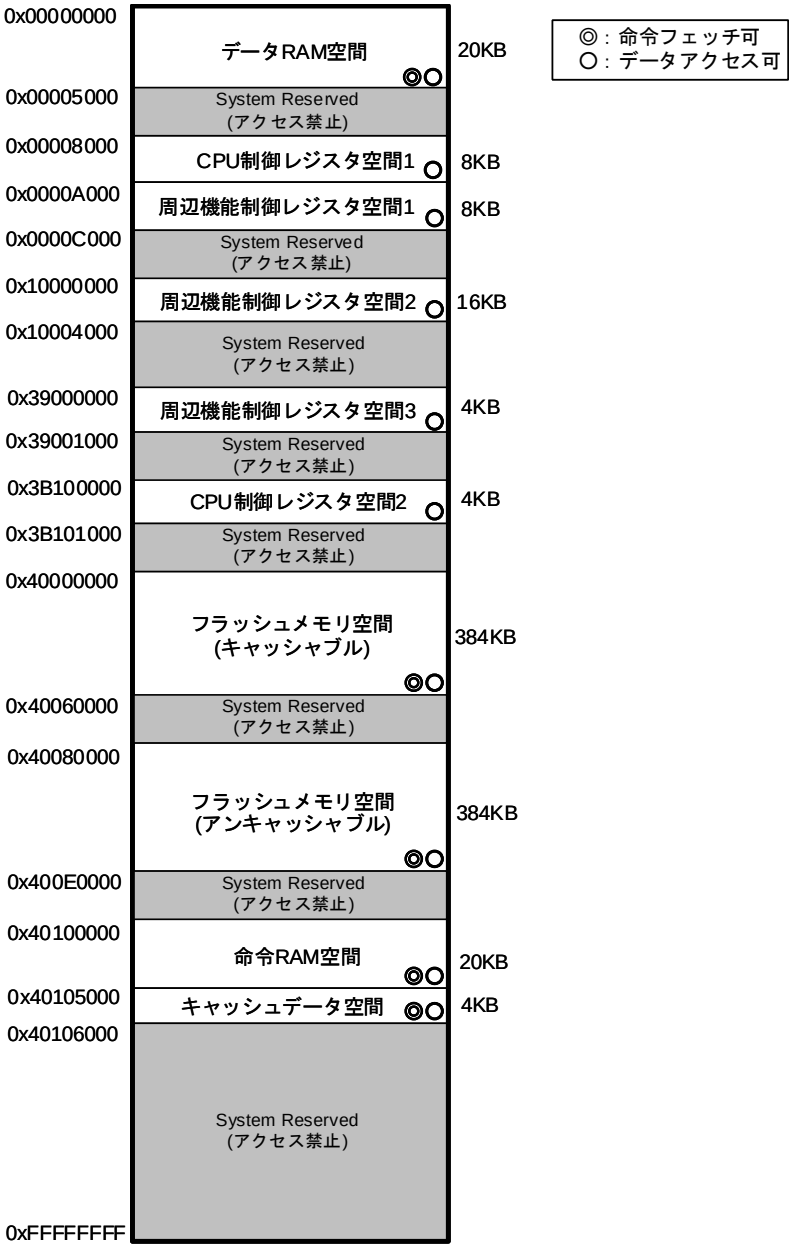


図2.5.1　メモリマップ(MN103HF58X)

表 2.5.1 品種別内蔵メモリ空間

品種	フラッシュメモリ空間（キャッシャブル）(*1)		データRAM空間		命令RAM空間		キャッシュデータ空間	
	アドレス範囲	容量	アドレス範囲	容量	アドレス範囲	容量	アドレス範囲	容量
MN103HFx4X MN103HFx5X MN103HFx6X MN103HFx7X MN103HFx8X	0x40000000 ～ 0x4005FFFF	384KB	0x00000000 ～ 0x00004FFF	20KB	0x40100000 ～ 0x40104FFF	20KB	0x40105000 ～ 0x40105FFF	4KB
MN103HFx4M MN103HFx5M MN103HFx6M MN103HFx7M MN103HFx8M	0x40000000 ～ 0x4005FFFF	384KB	0x00000000 ～ 0x00002FFF	12KB	0x40100000 ～ 0x40104FFF	20KB	0x40105000 ～ 0x40105FFF	4KB
MN103HFx4Z MN103HFx5Z MN103HFx6Z	0x40000000 ～ 0x4003FFFF	256KB	0x00000000 ～ 0x00003FFF	16KB	0x40100000 ～ 0x40103FFF	16KB	0x40105000 ～ 0x40105FFF	4KB
MN103HFx4K MN103HFx5K MN103HFx6K	0x40000000 ～ 0x4003FFFF	256KB	0x00000000 ～ 0x00001FFF	8KB	0x40100000 ～ 0x40103FFF	16KB	0x40105000 ～ 0x40105FFF	4KB
MN103HFx3G MN103HFx4G MN103HFx5G	0x40000000 ～ 0x4001FFFF	128KB	0x00000000 ～ 0x000017FF	6KB	0x40100000 ～ 0x40102FFF	12KB	0x40105000 ～ 0x40105FFF	4KB
MN103HFx3D MN103HFx4D MN103HFx5D	0x40000000 ～ 0x4000FFFF	64KB	0x00000000 ～ 0x00000FFF	4KB	0x40100000 ～ 0x40101FFF	8KB	0x40105000 ～ 0x40105FFF	4KB

*1 アンキャッシャブル フラッシュメモリ空間の容量はキャッシャブル フラッシュメモリ空間と同じです。また、キャッシャブル フラッシュメモリ空間のアドレスに0x00080000を加算したアドレスとなります。
フラッシュメモリ空間内の一部にフラッシュオプション領域を配置しています。フラッシュオプション領域には命令列を配置しないでください。詳細は【2.6 フラッシュオプション】を参照ください。

2.5.2　レジスタマップ

本LSIにおけるレジスタマップを次に示します。

MN103HFx3シリーズ ： 図2.5.2～図2.5.3
MN103HFx4シリーズ ： 図2.5.4～図2.5.5
MN103HFx5シリーズ ： 図2.5.6～図2.5.7
MN103HFx6シリーズ ： 図2.5.8～図2.5.9
MN103HFx7シリーズ ： 図2.5.10～図2.5.12
MN103HFx8シリーズ ： 図2.5.13～図2.5.15

Reservedと記載されたレジスタ、未実装レジスタ空間には、絶対にアクセスしないでください。

VGA機能はMN103HF5yシリーズのみ使用可能です。

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000800X			IVAR3				IVAR2				IVAR1				IVAR0		割込み ベクトル
0x0000801X	IVBR						IVAR6				IVAR5				IVAR4		
0x0000802X															Reserved		
0x0000803X											Reserved						CPU制御
0x0000804X								PRT CPUM			SISR				CPUM		
0x0000805X															Reserved		
0x0000810X						RCRTAR									RCRCTR		ROM コレクション
0x0000811X	RCR3AR					RCR2AR				RCR1AR				RCROAR			
0x0000820X												RSTCTR		WDCTR		WDBC	ウォッチ ドッグタイマ
0x0000821X														Reserved		PRTWDT	
0x0000828X															CKCTR		クロック ジェネレータ
0x0000829X																PRT CKGEN	
0x0000840X	Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		
0x0000850X		DMOCYC	DMOCNT		DMODST				DMOSRC				DMOCTR				DMA制御
0x0000851X		DM1CYC	DM1CNT		DM1DST				DM1SRC				DM1CTR				
0x0000852X		DM2CYC	DM2CNT		DM2DST				DM2SRC				DM2CTR				
0x0000870X									Reserved		Reserved		Reserved		Reserved		
0x0000890X			G3ICR				G2ICR				Reserved				NMICR		割込み制御
0x0000891X			G7ICR				G6ICR				Reserved				G4ICR		
0x0000892X			G11ICR				G10ICR				G9ICR				G8ICR		
0x0000893X			Reserved				G14ICR				G13ICR				G12ICR		
0x0000894X			G19ICR				G18ICR				G17ICR				G16ICR		
0x0000895X			Reserved				Reserved				Reserved				Reserved		
0x0000896X			G27ICR				G26ICR				G25ICR				G24ICR		
0x0000897X			G31ICR				Reserved				G29ICR				Reserved		
0x0000898X			Reserved				G34ICR				G33ICR				G32ICR		
0x0000899X			Reserved				Reserved				Reserved				Reserved		
0x000089AX			G43ICR				G42ICR				G41ICR				Reserved		
0x000089BX			G47ICR				Reserved				G45ICR				Reserved		
0x000089CX			Reserved				Reserved				Reserved				G48ICR		
0x000089DX			G55ICR				G54ICR				Reserved				Reserved		
0x000089EX															G56ICR		
0x000089FX																	
0x00008A0X															IAGR		
0x00008A8X											EXTMD1				EXTMD0		
0x0000A00X				PCOUT				P8OUT		P6OUT	P5OUT	P4OUT		P2OUT		P0OUT	汎用ポート
0x0000A01X			PDIN	PCIN				P8IN		P6IN	P5IN	P4IN		P2IN		P0IN	
0x0000A02X				PCDIR				P8DIR		P6DIR	P5DIR	P4DIR		P2DIR		P0DIR	
0x0000A03X				PCPLU				P8PLU		P6PLU	P5PLU	P4PLU		P2PLU		P0PLU	
0x0000A04X						P2MD									P0MD		
0x0000A05X						P6MD					P5MD				P4MD		
0x0000A06X															P8MD		
0x0000A07X											PDMD				PCMD		
0x0000A08X																	
0x0000A09X										P6ODC	P5ODC			P2ODC		Reserved	
0x0000A0AX																	
0x0000A0BX	NF7CNT		NF6CNT		NF5CNT		NF4CNT		NF3CNT		NF2CNT		NF1CNT		NF0CNT		ノイズフィルタ
0x0000A0CX	NF15CNT		NF14CNT		NF13CNT		NF12CNT		NF11CNT		NF10CNT		NF9CNT		NF8CNT		
0x0000A0DX																	
0x0000A0EX																	
0x0000A0FX			IRQEDGESEL														
0x0000A10X				SCORB				SCOSTR			SCOMD3	SCOMD2			SCOMD1	SCOMD0	シリアルI/F
0x0000A11X												SCOSEL				SCOTB	
0x0000A12X			SCOIIC STR1	SCOIIC STR0			Reserved	SCOIIC ADO			SCOIIC MD3	SCOIIC MD2			SCOIIC MD1	SCOIIC MD0	
0x0000A13X															SCOIIC TB	SCOIIC RB	
0x0000A14X				SC1RB				SC1STR			SC1MD3	SC1MD2			SC1MD1	SC1MD0	
0x0000A15X			LIN RXCHKS	LIN TXCHKS				LIN ERRSTAT			LIN RXCTR	LIN TXCTR				SC1TB	
0x0000A16X																	
0x0000A17X																	
0x0000A18X				SC3RB			SC3STR	SC3MD4			SC3MD3	SC3MD2			SC3MD1	SC3MD0	
0x0000A19X																SC3TB	
0x0000A1AX																	
0x0000A1BX																	
0x0000A1CX												SCINT SEL			SIFCLK1	SIFCLK0	
0x0000A1DX			Reserved				Reserved				Reserved				Reserved		
0x0000A1EX																Reserved	
0x0000A20X			TM3BR	TM2BR			TM1BR	TM0BR			TM3MD	TM2MD			TM1MD	TM0MD	8ビット タイマ
0x0000A21X				TM03 EXPSC				TM03 PSC			TM3BC	TM2BC			TM1BC	TM0BC	
0x0000A22X			TM7BR	TM6BR			TM5BR	TM4BR			TM7MD	TM6MD			TM5MD	TM4MD	
0x0000A23X				TM47 EXPSC				TM47 PSC			TM7BC	TM6BC			TM5BC	TM4BC	
0x0000A80X				MPCNT				PCNT									クロック制御
0x0000A81X																RSTFACT	リセット制御
0x0000A82X				PRT LVI				PRT WDT2				PRT CKMON				PRT CKCNT	レジスタ プロテクト
0x0000A83X				CKMON STAT			CKMON SETU	CKMON SETL				CKMONEN					クロック監視
0x0000A84X											Reserved						
0x0000A85X								WD2CLR				WD2 MDSEL				WD2CTR	ウォッチドッグ タイマ２
0x0000A86X																LVIMD	LVI
0x0000A90X												VGA1CTR1				VGAOCTR1	VGA
0x0000A91X												VGA1CTR2				VGAOCTR2	
0x0000A92X											VGA1CTR3				VGAOCTR3		
0x0000A93X												Reserved				Reserved	
0x0000AA0X												DAC1CTR				DACOCTR	DAC
0x0000AA1X											DAC1DRH	DAC1DRL			DACODRH	DACODRL	
0x0000AB0X											CMP1CTR				CMPOCTR		COMP
0x0000AB1X							CMPSEL								CMPSTR		
0x0000AFAX												Reserved				VGADSET	VGA

図2.5.2　レジスタマップ(MN103HFx3シリーズ) その1

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x1000000X		TM17MDC		TM16MDC	TM17MDB	TM17MDA	TM16MDB	TM16MDA	TM17MD2		TM16MD2		TM17MD1		TM16MD1		
0x1000001X	TM17CB		TM17HRCNT		TM16CB		TM16HRCNT		TM17CA		TM16CA		TM17BC		TM16BC		
0x1000002X	TM17CAPCSEL		TM16CAPCSEL		TM17CAPBSEL		TM16CAPBSEL		TM17CAPASEL		TM16CAPASEL		TM17CC		TM16CC		
0x1000003X									TM17IRQCNT		TM16IRQCNT		TM17STSEL		TM16STSEL		
0x1000004X	TM17OFFBSEL		TM16OFFBSEL		TM17OFFB		TM16OFFB		TM17OFFASEL		TM16OFFASEL		TM17OFFA		TM16OFFA		
0x1000005X	TM17CHOPCNT		TM16CHOPCNT		TM17LEBSET		TM16LEBSET		TM17SFTSET		TM16SFTSET		TM17DTMSET		TM16DTMSET		
0x1000006X					TM17TSKOVFSEL		TM16TSKOVFSEL		TM17OFFSTR		TM16OFFSTR		TM17STR		TM16STR		16ビット タイマ
0x1000010X		TM19MDC		TM18MDC	TM19MDB	TM19MDA	TM18MDB	TM18MDA	TM19MD2		TM18MD2		TM19MD1		TM18MD1		
0x1000011X	TM19CB		TM19HRCNT		TM18CB		TM18HRCNT		TM19CA		TM18CA		TM19BC		TM18BC		
0x1000012X	TM19CAPCSEL		TM18CAPCSEL		TM19CAPBSEL		TM18CAPBSEL		TM19CAPASEL		TM18CAPASEL		TM19CC		TM18CC		
0x1000013X									TM19IRQCNT		TM18IRQCNT		TM19STSEL		TM18STSEL		
0x1000014X	TM19OFFBSEL		TM18OFFBSEL		TM19OFFB		TM18OFFB		TM19OFFASEL		TM18OFFASEL		TM19OFFA		TM18OFFA		
0x1000015X	TM19CHOPCNT		TM18CHOPCNT		TM19LEBSET		TM18LEBSET		TM19SFTSET		TM18SFTSET		TM19DTMSET		TM18DTMSET		
0x1000016X					TM19TSKOVFSEL		TM18TSKOVFSEL		TM19OFFSTR		TM18OFFSTR		TM19STR		TM18STR		
0x1000100X			PWMSEL0				OUTMD0				PWM1DPMD0				PWMMD0		
0x1000101X	BCSTR0C		PWMBC0C		BCSTR0B		PWMBC0B		BCSTR0A		PWMBC0A		BCSTR0		PWMBC0		
0x1000102X	PWMSET0C		TCMP0C		PWMSET0B		TCMP0B		PWMSET0A		TCMP0A		PWMSET0		TCMP0		
0x1000103X			PWM1RQCNT0C				PWM1RQCNT0B				PWM1RQCNT0A		PWMAD1RQCNT0		PWM1RQCNT0		PWM
0x1000104X	DTMCNT0C		DTMSET0C		DTMCNT0B		DTMSET0B		DTMCNT0A		DTMSET0A		DTMCNT0		DTMSET0		
0x1000105X			PWM0FF0BST				PWM0FF0B				PWM0FF0AIRQ				PWM0FF0A		
0x1000106X	PWMDCNT0C		PWMDDAT0C		PWMDCNT0B		PWMDDAT0B		PWMDCNT0A		PWMDDAT0A				TSKOVFSEL0		
0x1000107X					PWMADSTSEL0B		PWMADST0B		PWMADSTSEL0A		PWMADST0A				PWMADBC0		
0x1000130X											MFSYNTGT				MFSYNCNT		
0x1000131X			PWM0CDLYSET				PWM0BDLYSET				PWM0ADLYSET				TM16DLYSET		
0x1000132X											Reserved				TM17DLYSET		
0x1000133X											Reserved				TM18DLYSET		
0x1000134X							Reserved				Reserved				TM19DLYSET		
0x1000135X	MFAPOUTEN						MFASTAT				MFATGT				MFACNT		Multi Feedback Assist
0x1000136X			PWM0CCPTCSET				PWM0BCPTCSET				PWM0ACPTCSET				TM16CPTCSET		
0x1000137X											Reserved				TM17CPTCSET		
0x1000138X											Reserved				TM18CPTCSET		
0x1000139X							Reserved				Reserved				TM19CPTCSET		
0x100013AX			AD1STBLMTSET				AD1STALMTSET				AD0STBLMTSET				AD0STALMTSET		
0x100013BX															Reserved		
0x1000200X			ADST0				AN0CTR1B				AN0CTR1A				AN0CTR0		
0x1000201X				AN0CTR EGB				AN0CTR EGA			AN0CUTB				AN0CUTA		
0x1000202X			AN0UPB				AN0LOWB				AN0UPA				AN0LOWA		
0x1000203X							AN0ERCB				AN0ERCA					Reserved	
0x1000204X			AN0BUF03				AN0BUF02				AN0BUF01				AN0BUF00		
0x1000205X			AN0BUF07				AN0BUF06				AN0BUF05				AN0BUF04		
0x1000206X			AN0BUF11				AN0BUF10				AN0BUF09				AN0BUF08		
0x1000207X																	
0x1000208X			AN0BUFB7				AN0BUFB6				AN0BUFB5				AN0BUFB4		
0x1000209X																	A/D
0x100020AX			AD1ST1				AN1CTR1B				AN1CTR1A				AN1CTR0		
0x100020BX				AN1CTR EGB				AN1CTR EGA			AN1CUTB				AN1CUTA		
0x100020CX			AN1UPB				AN1LOWB				AN1UPA				AN1LOWA		
0x100020DX							AN1ERCB				AN1ERCA					Reserved	
0x100020EX			AN1BUF03				AN1BUF02				AN1BUF01				AN1BUF00		
0x100020FX			AN1BUF07				AN1BUF06				AN1BUF05				AN1BUF04		
0x1000210X			AN1BUF11				AN1BUF10				AN1BUF09				AN1BUF08		
0x1000211X																	
0x1000212X			AN1BUFB7				AN1BUFB6				AN1BUFB5				AN1BUFB4		
0x1000300X																Reserved	その他
0x3900000X	FWDAT15	FWDAT14	FWDAT13	FWDAT12	FWDAT11	FWDAT10	FWDAT09	FWDAT08	FWDAT07	FWDAT06	FWDAT05	FWDAT04	FWDAT03	FWDAT02	FWDAT01	FWDAT00	
0x3900001X	FWDAT31	FWDAT30	FWDAT29	FWDAT28	FWDAT27	FWDAT26	FWDAT25	FWDAT24	FWDAT23	FWDAT22	FWDAT21	FWDAT20	FWDAT19	FWDAT18	FWDAT17	FWDAT16	
0x3900002X	FWDAT47	FWDAT46	FWDAT45	FWDAT44	FWDAT43	FWDAT42	FWDAT41	FWDAT40	FWDAT39	FWDAT38	FWDAT37	FWDAT36	FWDAT35	FWDAT34	FWDAT33	FWDAT32	
0x3900003X	FWDAT63	FWDAT62	FWDAT61	FWDAT60	FWDAT59	FWDAT58	FWDAT57	FWDAT56	FWDAT55	FWDAT54	FWDAT53	FWDAT52	FWDAT51	FWDAT50	FWDAT49	FWDAT48	
0x390003EX					FEADDR							FWBC	FWADDR				
0x390003FX	Reserved				FRSUM	FRBLANK		FRPRO	FRSECCHK	FRSECPRG	FRERASE	FRPRG	FSUMDAT				
0x3900040X				FSTAT1				FSTAT0				Reserved				FCNT	FLASH
0x3900041X																FSTAT2	
0x3900080X						Reserved		Reserved				Reserved				FBEWER	
0x3900081X																	
0x3900082X		Reserved		FIRQ													
0x3900083X																	
0x3900084X																Reserved	
0x3900085X								Reserved									
0x3B10000X											Reserved		CHWAIT		CHCTR		キャッシュ制御

図2.5.3　レジスタマップ(MN103HFx3シリーズ) その2

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000800X	IVAR3						IVAR2				IVAR1				IVAR0		割込み ベクトル
0x0000801X	IVBR						IVAR6				IVAR5				IVAR4		
0x0000802X															Reserved		CPU制御
0x0000803X											Reserved						
0x0000804X								PRT CPUM			SISR				CPUM		
0x0000805X															Reserved		
0x0000810X					RCRTAR										RCRCTR		ROM コレクション
0x0000811X	RCR3AR				RCR2AR				RCR1AR				RCR0AR				
0x0000820X												RSTCTR		WDCTR		WDBC	ウォッチ ドッグタイマ
0x0000821X														Reserved		PRTWDT	
0x0000828X															CKCTR		クロック ジェネレータ
0x0000829X																PRT CKGEN	
0x0000840X	Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		
0x0000850X		DMOCYC	DMOCNT		DMODST				DMOSRC				DMOCTR				DMA制御
0x0000851X		DM1CYC	DM1CNT		DM1DST				DM1SRC				DM1CTR				
0x0000852X		DM2CYC	DM2CNT		DM2DST				DM2SRC				DM2CTR				
0x0000870X									Reserved		Reserved		Reserved		Reserved		
0x0000890X			G3ICR				G2ICR				Reserved				NMICR		割込み制御
0x0000891X			G7ICR				G6ICR				Reserved				G4ICR		
0x0000892X			G11ICR				G10ICR				G9ICR				G8ICR		
0x0000893X			G15ICR				G14ICR				G13ICR				G12ICR		
0x0000894X			G19ICR				G18ICR				G17ICR				G16ICR		
0x0000895X			Reserved				Reserved				G21ICR				G20ICR		
0x0000896X			G27ICR				G26ICR				G25ICR				G24ICR		
0x0000897X			G31ICR				Reserved				G29ICR				Reserved		
0x0000898X			G35ICR				G34ICR				G33ICR				G32ICR		
0x0000899X			Reserved				Reserved				Reserved				G36ICR		
0x000089AX			G43ICR				G42ICR				G41ICR				Reserved		
0x000089BX			G47ICR				Reserved				G45ICR				Reserved		
0x000089CX			Reserved				Reserved				G49ICR				G48ICR		
0x000089DX			G55ICR				G54ICR				Reserved				G52ICR		
0x000089EX															G56ICR		
0x000089FX																	
0x00008A0X															IAGR		
0x00008A8X											EXTMD1				EXTMD0		
0x0000A00X			PD0UT	PC0UT			P90UT	P80UT		P60UT	P50UT	P40UT	P30UT	P20UT		P00UT	汎用ポート
0x0000A01X			PD1N	PC1N			P91N	P81N		P61N	P51N	P41N	P31N	P21N		P01N	
0x0000A02X			PD0IR	PC0IR			P9DIR	P8DIR		P6DIR	P5DIR	P4DIR	P3DIR	P2DIR		P0DIR	
0x0000A03X			PDPLU	PCPLU			P9PLU	P8PLU		P6PLU	P5PLU	P4PLU	P3PLU	P2PLU		P0PLU	
0x0000A04X	P3MD				P2MD								P0MD				
0x0000A05X					P6MD				P5MD				P4MD				
0x0000A06X									P9MD				P8MD				
0x0000A07X									PDMD				PCMD				
0x0000A08X																	
0x0000A09X												Reserved	P30DC	P20DC		Reserved	
0x0000A0AX																	
0x0000A0BX	NF7CNT		NF6CNT		NF5CNT		NF4CNT		NF3CNT		NF2CNT		NF1CNT		NF0CNT		ノイズフィルタ
0x0000A0CX	NF15CNT		NF14CNT		NF13CNT		NF12CNT		NF11CNT		NF10CNT		NF9CNT		NF8CNT		
0x0000A0DX																	
0x0000A0EX																	
0x0000A0FX			IRQEDGESEL														
0x0000A10X				SC0RB				SC0STR			SC0MD3	SC0MD2			SC0MD1	SC0MD0	シリアルI/F
0x0000A11X												SC0SEL				SC0TB	
0x0000A12X			SC0IIC STR1	SC0IIC STR0			Reserved	SC0IIC AD0			SC0IIC MD3	SC0IIC MD2			SC0IIC MD1	SC0IIC MD0	
0x0000A13X															SC0IIC TB	SC0IIC RB	
0x0000A14X				SC1RB				SC1STR			SC1MD3	SC1MD2			SC1MD1	SC1MD0	
0x0000A15X			LIN RXCHKS	LIN TXCHKS				LIN ERRSTAT			LIN RXCTR	LIN TXCTR				SC1TB	
0x0000A16X																	
0x0000A17X																	
0x0000A18X				SC3RB			SC3STR	SC3MD4			SC3MD3	SC3MD2			SC3MD1	SC3MD0	
0x0000A19X																SC3TB	
0x0000A1AX																	
0x0000A1BX																	
0x0000A1CX												SCINT SEL			SIFCLK1	SIFCLK0	
0x0000A1DX			Reserved				Reserved				Reserved				Reserved		
0x0000A1EX																Reserved	
0x0000A20X			TM3BR	TM2BR			TM1BR	TM0BR			TM3MD	TM2MD			TM1MD	TM0MD	8ビット タイマ
0x0000A21X				TM03 EXPSC				TM03 PSC			TM3BC	TM2BC			TM1BC	TM0BC	
0x0000A22X			TM7BR	TM6BR			TM5BR	TM4BR			TM7MD	TM6MD			TM5MD	TM4MD	
0x0000A23X				TM47 EXPSC				TM47 PSC			TM7BC	TM6BC			TM5BC	TM4BC	
0x0000A24X			TM11BR	TM10BR			TM9BR	TM8BR			TM11MD	TM10MD			TM9MD	TM8MD	
0x0000A25X				TM811 EXPSC				TM811 PSC			TM11BC	TM10BC			TM9BC	TM8BC	
0x0000A30X						TM21MDC		TM20MDC	TM21MDB	TM21MDA	TM20MDB	TM20MDA	TM21MD		TM20MD		16ビット タイマ
0x0000A31X	TM21CC		TM20CC		TM21CB		TM20CB		TM21CA		TM20CA		TM21BC		TM20BC		
0x0000A32X					TM21CAPCSEL		TM20CAPCSEL		TM21CAPBSEL		TM20CAPBSEL		TM21CAPASEL		TM20CAPASEL		
0x0000A33X									TM21IRQCNT		TM20IRQCNT		TM21STSEL		TM20STSEL		
0x0000A34X									TM21OFFSEL		TM20OFFSEL		TM21OFF		TM20OFF		
0x0000A35X													TM21STR		TM20STR		
0x0000A80X				MPCNT			PCNT										クロック制御
0x0000A81X																RSTFACT	リセット制御
0x0000A82X				PRT LVI				PRT WDT2				PRT CKMON				PRT CKCNT	レジスタ プロテクト
0x0000A83X				CKMON STAT			CKMON SETU	CKMON SETL				CKMONEN					クロック監視
0x0000A84X											Reserved						
0x0000A85X								WD2CLR				WD2 MDSEL				WD2CTR	ウォッチドッグ タイマ２
0x0000A86X																LVIMD	LVI

図2.5.4　レジスタマップ(MN103HFx4シリーズ) その1

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000A90X												VGA1CTR1				VGA0CTR1	VGA
0x0000A91X												VGA1CTR2				VGA0CTR2	
0x0000A92X											VGA1CTR3				VGA0CTR3		
0x0000A93X												Reserved				Reserved	
0x0000AA0X												DAC1CTR				DAC0CTR	DAC
0x0000AA1X											DAC1DRH	DAC1DRL			DAC0DRH	DAC0DRL	
0x0000AB0X												CMP1CTR				CMP0CTR	COMP
0x0000AB1X							CMPSEL									CMPSTR	
0x0000AFAX												Reserved				VGADSET	VGA
0x1000000X		TM17MDC		TM16MDC	TM17MDB	TM17MDA	TM16MDB	TM16MDA	TM17MD2		TM16MD2		TM17MD1		TM16MD1		16ビットタイマ
0x1000001X	TM17CB		TM17HRCNT		TM16CB		TM16HRCNT		TM17CA		TM16CA		TM17BC		TM16BC		
0x1000002X	TM17CAPCSEL		TM16CAPCSEL		TM17CAPBSEL		TM16CAPBSEL		TM17CAPASEL		TM16CAPASEL		TM17CC		TM16CC		
0x1000003X									TM17IRQCNT		TM16IRQCNT		TM17STSEL		TM16STSEL		
0x1000004X	TM170FFBSEL		TM160FFBSEL		TM170FFB		TM160FFB		TM170FFASEL		TM160FFASEL		TM170FFA		TM160FFA		
0x1000005X	TM17CHOPCNT		TM16CHOPCNT		TM17LEBSET		TM16LEBSET		TM17SFTSET		TM16SFTSET		TM17DTMSET		TM16DTMSET		
0x1000006X					TM17TSKOVFSEL		TM16TSKOVFSEL		TM17OFFSTR		TM16OFFSTR		TM17STR		TM16STR		
0x1000010X		TM19MDC		TM18MDC	TM19MDB	TM19MDA	TM18MDB	TM18MDA	TM19MD2		TM18MD2		TM19MD1		TM18MD1		
0x1000011X	TM19CB		TM19HRCNT		TM18CB		TM18HRCNT		TM19CA		TM18CA		TM19BC		TM18BC		
0x1000012X	TM19CAPCSEL		TM18CAPCSEL		TM19CAPBSEL		TM18CAPBSEL		TM19CAPASEL		TM18CAPASEL		TM19CC		TM18CC		
0x1000013X									TM19IRQCNT		TM18IRQCNT		TM19STSEL		TM18STSEL		
0x1000014X	TM190FFBSEL		TM180FFBSEL		TM190FFB		TM180FFB		TM190FFASEL		TM180FFASEL		TM190FFA		TM180FFA		
0x1000015X	TM19CHOPCNT		TM18CHOPCNT		TM19LEBSET		TM18LEBSET		TM19SFTSET		TM18SFTSET		TM19DTMSET		TM18DTMSET		
0x1000016X					TM19TSKOVFSEL		TM18TSKOVFSEL		TM190FFSTR		TM180FFSTR		TM19STR		TM18STR		
0x1000100X			PWMSEL0				OUTMD0				PWM1DPMD0				PWMMD0		PWM
0x1000101X	BCSTR0C		PWMBC0C		BCSTR0B		PWMBC0B		BCSTR0A		PWMBC0A		BCSTR0		PWMBC0		
0x1000102X	PWMSET0C		TCMP0C		PWMSET0B		TCMP0B		PWMSET0A		TCMP0A		PWMSET0		TCMP0		
0x1000103X			PWM1RQCNT0C				PWM1RQCNT0B				PWM1RQCNT0A		PWMAD1RQCNT0		PWM1RQCNT0		
0x1000104X	DTMCNT0C		DTMSET0C		DTMCNT0B		DTMSET0B		DTMCNT0A		DTMSET0A		DTMCNT0		DTMSET0		
0x1000105X			PWM0FF0BST				PWM0FF0B				PWM0FF0AIRQ				PWM0FF0A		
0x1000106X	PWMDCNT0C		PWMDDAT0C		PWMDCNT0B		PWMDDAT0B		PWMDCNT0A		PWMDDAT0A				TSK0VFSEL0		
0x1000107X					PWMADSTSEL0B		PWMADST0B		PWMADSTSEL0A		PWMADST0A				PWMADBC0		
0x1000110X			PWMSEL1				OUTMD1								PWMMD1		
0x1000111X													BCSTR1		PWMBC1		
0x1000112X			TCMP1C				TCMP1B				TCMP1A		PWMSET1		TCMP1		
0x1000113X													PWMAD1RQCNT1		PWM1RQCNT1		
0x1000114X	DTMCNT1C		DTMSET1C		DTMCNT1B		DTMSET1B		DTMCNT1A		DTMSET1A		DTMCNT1		DTMSET1		
0x1000115X			PWM0FF1BST				PWM0FF1B				PWM0FF1AIRQ				PWM0FF1A		
0x1000116X	PWMDCNT1C		PWMDDAT1C		PWMDCNT1B		PWMDDAT1B		PWMDCNT1A		PWMDDAT1A				TSK0VFSEL1		
0x1000117X					PWMADSTSEL1B		PWMADST1B		PWMADSTSEL1A		PWMADST1A				PWMADBC1		
0x1000130X											MFSYNTGT				MFSYNCNT		Multi Feedback Assist
0x1000131X			PWM0CDLYSET				PWM0BDLYSET				PWM0ADLYSET				TM16DLYSET		
0x1000132X											PWM1DLYSET				TM17DLYSET		
0x1000133X											Reserved				TM18DLYSET		
0x1000134X							Reserved				Reserved				TM19DLYSET		
0x1000135X		MFAPOUTEN					MFASTAT				MFATGT				MFACNT		
0x1000136X			PWM0CCPTCSET				PWM0BCPTCSET				PWM0ACPTCSET				TM16CPTCSET		
0x1000137X											PWM1CPTCSET				TM17CPTCSET		
0x1000138X											Reserved				TM18CPTCSET		
0x1000139X							Reserved				Reserved				TM19CPTCSET		
0x100013AX			AD1STBLMTSET				AD1STALMTSET				ADOSTBLMTSET				ADOSTALMTSET		
0x100013BX															Reserved		
0x1000200X			ADST0				ANOCTR1B				ANOCTR1A				ANOCTR0		A/D
0x1000201X				ANOCTR EGB				ANOCTR EGA			ANOCUTB				ANOCUTA		
0x1000202X			ANOUPB				ANOLOWB				ANOUPA				ANOLOWA		
0x1000203X							ANOERCB				ANOERCA					Reserved	
0x1000204X			ANOBUF03				ANOBUF02				ANOBUF01				ANOBUF00		
0x1000205X			ANOBUF07				ANOBUF06				ANOBUF05				ANOBUF04		
0x1000206X			ANOBUF11				ANOBUF10				ANOBUF09				ANOBUF08		
0x1000207X																	
0x1000208X			ANOBUFB7				ANOBUFB6				ANOBUFB5				ANOBUFB4		
0x1000209X																	
0x100020AX			ADST1				AN1CTR1B				AN1CTR1A				AN1CTR0		
0x100020BX				AN1CTR EGB				AN1CTR EGA			AN1CUTB				AN1CUTA		
0x100020CX			AN1UPB				AN1LOWB				AN1UPA				AN1LOWA		
0x100020DX							AN1ERCB				AN1ERCA					Reserved	
0x100020EX			AN1BUF03				AN1BUF02				AN1BUF01				AN1BUF00		
0x100020FX			AN1BUF07				AN1BUF06				AN1BUF05				AN1BUF04		
0x1000210X			AN1BUF11				AN1BUF10				AN1BUF09				AN1BUF08		
0x1000211X																	
0x1000212X			AN1BUFB7				AN1BUFB6				AN1BUFB5				AN1BUFB4		
0x1000300X																Reserved	その他
0x3900000X	FWDAT15	FWDAT14	FWDAT13	FWDAT12	FWDAT11	FWDAT10	FWDAT09	FWDAT08	FWDAT07	FWDAT06	FWDAT05	FWDAT04	FWDAT03	FWDAT02	FWDAT01	FWDAT00	FLASH
0x3900001X	FWDAT31	FWDAT30	FWDAT29	FWDAT28	FWDAT27	FWDAT26	FWDAT25	FWDAT24	FWDAT23	FWDAT22	FWDAT21	FWDAT20	FWDAT19	FWDAT18	FWDAT17	FWDAT16	
0x3900002X	FWDAT47	FWDAT46	FWDAT45	FWDAT44	FWDAT43	FWDAT42	FWDAT41	FWDAT40	FWDAT39	FWDAT38	FWDAT37	FWDAT36	FWDAT35	FWDAT34	FWDAT33	FWDAT32	
0x3900003X	FWDAT63	FWDAT62	FWDAT61	FWDAT60	FWDAT59	FWDAT58	FWDAT57	FWDAT56	FWDAT55	FWDAT54	FWDAT53	FWDAT52	FWDAT51	FWDAT50	FWDAT49	FWDAT48	
0x390003EX					FEADDR							FWBC	FWADDR				
0x390003FX	Reserved				FRSUM	FRBLANK		FRPRO	FRSECCHK	FRSECPRG	FRERASE	FRPRG	FSUMDAT				
0x3900040X				FSTAT1				FSTAT0				Reserved				FCNT	
0x3900041X																FSTAT2	
0x3900080X						Reserved		Reserved				Reserved				FBEWER	
0x3900081X																	
0x3900082X		Reserved		FIRQ													
0x3900083X																	
0x3900084X																Reserved	
0x3900085X								Reserved									
0x3B10000X											Reserved		CHWAIT		CHCTR		キャッシュ制御

図2.5.5　レジスタマップ(MN103HFx4シリーズ) その2

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000800X	IVAR3						IVAR2				IVAR1				IVAR0		割込み ベクトル
0x0000801X	IVBR						IVAR6				IVAR5				IVAR4		
0x0000802X															Reserved		
0x0000803X											Reserved						CPU制御
0x0000804X								PRT CPUM			SISR				CPUM		
0x0000805X															Reserved		
0x0000810X					RCRTAR										RCRCTR		ROM コレクション
0x0000811X	RCR3AR				RCR2AR				RCR1AR				RCR0AR				
0x0000820X												RSTCTR		WDCTR		WDBC	ウォッチ ドッグタイマ
0x0000821X														Reserved		PRTWDT	
0x0000828X															CKCTR		クロック ジェネレータ
0x0000829X																PRT CKGEN	
0x0000840X	Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		
0x0000850X		DM0CYC	DM0CNT		DM0DST				DM0SRC				DM0CTR				DMA制御
0x0000851X		DM1CYC	DM1CNT		DM1DST				DM1SRC				DM1CTR				
0x0000852X		DM2CYC	DM2CNT		DM2DST				DM2SRC				DM2CTR				
0x0000870X									Reserved		Reserved		Reserved		Reserved		
0x0000890X			G3ICR				G2ICR				Reserved				NMICR		割込み制御
0x0000891X			G7ICR				G6ICR				Reserved				G4ICR		
0x0000892X			G11ICR				G10ICR				G9ICR				G8ICR		
0x0000893X			G15ICR				G14ICR				G13ICR				G12ICR		
0x0000894X			G19ICR				G18ICR				G17ICR				G16ICR		
0x0000895X			Reserved				Reserved				G21ICR				G20ICR		
0x0000896X			G27ICR				G26ICR				G25ICR				G24ICR		
0x0000897X			G31ICR				Reserved				G29ICR				G28ICR		
0x0000898X			G35ICR				G34ICR				G33ICR				G32ICR		
0x0000899X			Reserved				G38ICR				G37ICR				G36ICR		
0x000089AX			G43ICR				G42ICR				G41ICR				Reserved		
0x000089BX			G47ICR				Reserved				G45ICR				G44ICR		
0x000089CX			Reserved				Reserved				G49ICR				G48ICR		
0x000089DX			G55ICR				G54ICR				Reserved				G52ICR		
0x000089EX															G56ICR		
0x000089FX																	
0x00008A0X															IAGR		
0x00008A8X											EXTMD1				EXTMD0		
0x0000A00X			PD0UT	PC0UT	PB0UT		P90UT	P80UT		P60UT	P50UT	P40UT	P30UT	P20UT		P00UT	汎用ポート
0x0000A01X		PE1N	PD1N	PC1N	PB1N		P91N	P81N		P61N	P51N	P41N	P31N	P21N		P01N	
0x0000A02X			PDDIR	PCDIR	PBDIR		P9DIR	P8DIR		P6DIR	P5DIR	P4DIR	P3DIR	P2DIR		P0DIR	
0x0000A03X			PDPLU	PCPLU	PBPLU		P9PLU	P8PLU		P6PLU	P5PLU	P4PLU	P3PLU	P2PLU		P0PLU	
0x0000A04X	P3MD				P2MD				P0MD								
0x0000A05X	P6MD								P5MD				P4MD				
0x0000A06X	P9MD								P8MD								
0x0000A07X	PEMD								PCMD								
0x0000A08X																	
0x0000A09X												P40DC	P30DC	P20DC		Reserved	
0x0000A0AX																	
0x0000A0BX	NF7CNT		NF6CNT		NF5CNT		NF4CNT		NF3CNT		NF2CNT		NF1CNT		NF0CNT		ノイズフィルタ
0x0000A0CX	NF15CNT		NF14CNT		NF13CNT		NF12CNT		NF11CNT		NF10CNT		NF9CNT		NF8CNT		
0x0000A0DX																	
0x0000A0EX																	
0x0000A0FX			IRQEDGESEL														
0x0000A10X				SC0RB				SC0STR			SC0MD3	SC0MD2			SC0MD1	SC0MD0	シリアルI/F
0x0000A11X												SC0SEL				SC0TB	
0x0000A12X			SC0IICSTR1	SC0IICSTR0			Reserved	SC0IICAD0			SC0IICMD3	SC0IICMD2			SC0IICMD1	SC0IICMD0	
0x0000A13X															SC0IICTB	SC0IICRB	
0x0000A14X				SC1RB				SC1STR			SC1MD3	SC1MD2			SC1MD1	SC1MD0	
0x0000A15X			LINRXCHKS	LINTXCHKS				LINERRSTAT			LINRXCTR	LINTXCTR				SC1TB	
0x0000A16X				SC2RB				SC2STR			SC2MD3	SC2MD2			SC2MD1	SC2MD0	
0x0000A17X																SC2TB	
0x0000A18X				SC3RB			SC3STR	SC3MD4			SC3MD3	SC3MD2			SC3MD1	SC3MD0	
0x0000A19X																SC3TB	
0x0000A1AX																	
0x0000A1BX																	
0x0000A1CX												SCINTSEL			SIFCLK1	SIFCLK0	
0x0000A1DX			Reserved				Reserved				Reserved				Reserved		
0x0000A1EX																Reserved	
0x0000A20X			TM3BR	TM2BR			TM1BR	TM0BR			TM3MD	TM2MD			TM1MD	TM0MD	8ビットタイマ
0x0000A21X				TM03EXPSC				TM03PSC			TM3BC	TM2BC			TM1BC	TM0BC	
0x0000A22X			TM7BR	TM6BR			TM5BR	TM4BR			TM7MD	TM6MD			TM5MD	TM4MD	
0x0000A23X				TM47EXPSC				TM47PSC			TM7BC	TM6BC			TM5BC	TM4BC	
0x0000A24X			TM11BR	TM10BR			TM9BR	TM8BR			TM11MD	TM10MD			TM9MD	TM8MD	
0x0000A25X				TM811EXPSC				TM811PSC			TM11BC	TM10BC			TM9BC	TM8BC	
0x0000A30X						TM21MDC		TM20MDC	TM21MDB	TM21MDA	TM20MDB	TM20MDA	TM21MD		TM20MD		16ビットタイマ
0x0000A31X	TM21CC		TM20CC		TM21CB		TM20CB		TM21CA		TM20CA		TM21BC		TM20BC		
0x0000A32X					TM21CAPCSEL		TM20CAPCSEL		TM21CAPBSEL		TM20CAPBSEL		TM21CAPASEL		TM20CAPASEL		
0x0000A33X									TM21IRQCNT		TM20IRQCNT		TM21STSEL		TM20STSEL		
0x0000A34X									TM21OFFSEL		TM20OFFSEL		TM21OFF		TM20OFF		
0x0000A35X													TM21STR		TM20STR		
0x0000A36X						TM23MDC		TM22MDC	TM23MDB	TM23MDA	TM22MDB	TM22MDA	TM23MD		TM22MD		
0x0000A37X	TM23CC		TM22CC		TM23CB		TM22CB		TM23CA		TM22CA		TM23BC		TM22BC		
0x0000A38X					TM23CAPCSEL		TM22CAPCSEL		TM23CAPBSEL		TM22CAPBSEL		TM23CAPASEL		TM22CAPASEL		
0x0000A39X									TM23IRQCNT		TM22IRQCNT		TM23STSEL		TM22STSEL		
0x0000A3AX									TM23OFFSEL		TM22OFFSEL		TM23OFF		TM22OFF		
0x0000A3BX													TM23STR		TM22STR		
0x0000A80X				MP0NT			PCNT										クロック制御
0x0000A81X																RSTFACT	リセット制御
0x0000A82X				PRTLVI				PRTWDT2				PRTCKMON				PRTCKCNT	レジスタプロテクト
0x0000A83X				CKMONSTAT			CKMONSETU	CKMONSETL				CKMONEN					クロック監視
0x0000A84X											Reserved						
0x0000A85X								WD2CLR				WD2MDSEL				WD2CTR	ウォッチドッグタイマ２
0x0000A86X																LVIMD	LVI

図2.5.6　レジスタマップ(MN103HFx5シリーズ) その1

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000A90X								VGA2CTR1				VGA1CTR1				VGA0CTR1	VGA
0x0000A91X								VGA2CTR2				VGA1CTR2				VGA0CTR2	
0x0000A92X							VGA2CTR3				VGA1CTR3				VGA0CTR3		
0x0000A93X								Reserved				Reserved				Reserved	
0x0000AA0X								DAC2CTR				DAC1CTR				DAC0CTR	DAC
0x0000AA1X							DAC2DRH	DAC2DRL			DAC1DRH	DAC1DRL			DAC0DRH	DAC0DRL	
0x0000AB0X								CMP2CTR				CMP1CTR				CMP0CTR	COMP
0x0000AB1X								CMPSEL								CMPSTR	
0x0000AFAX												Reserved				VGADSET	VGA
0x1000000X		TM17MDC		TM16MDC	TM17MDB	TM17MDA	TM16MDB	TM16MDA	TM17MD2		TM16MD2		TM17MD1		TM16MD1		16ビットタイマ
0x1000001X	TM17CB		TM17HRCNT		TM16CB		TM16HRCNT		TM17CA		TM16CA		TM17BC		TM16BC		
0x1000002X	TM17CAPCSEL		TM16CAPCSEL		TM17CAPBSEL		TM16CAPBSEL		TM17CAPASEL		TM16CAPASEL		TM17CC		TM16CC		
0x1000003X									TM17IRQCNT		TM16IRQCNT		TM17STSEL		TM16STSEL		
0x1000004X	TM17OFFBSEL		TM16OFFBSEL		TM17OFFB		TM16OFFB		TM17OFFASEL		TM16OFFASEL		TM17OFFA		TM16OFFA		
0x1000005X	TM17CHOPCNT		TM16CHOPCNT		TM17LEBSET		TM16LEBSET		TM17SFTSET		TM16SFTSET		TM17DTMSET		TM16DTMSET		
0x1000006X					TM17TSKOVFSEL		TM16TSKOVFSEL		TM17OFFSTR		TM16OFFSTR		TM17STR		TM16STR		
0x1000010X		TM19MDC		TM18MDC	TM19MDB	TM19MDA	TM18MDB	TM18MDA	TM19MD2		TM18MD2		TM19MD1		TM18MD1		
0x1000011X	TM19CB		TM19HRCNT		TM18CB		TM18HRCNT		TM19CA		TM18CA		TM19BC		TM18BC		
0x1000012X	TM19CAPCSEL		TM18CAPCSEL		TM19CAPBSEL		TM18CAPBSEL		TM19CAPASEL		TM18CAPASEL		TM19CC		TM18CC		
0x1000013X									TM19IRQCNT		TM18IRQCNT		TM19STSEL		TM18STSEL		
0x1000014X	TM19OFFBSEL		TM18OFFBSEL		TM19OFFB		TM18OFFB		TM19OFFASEL		TM18OFFASEL		TM19OFFA		TM18OFFA		
0x1000015X	TM19CHOPCNT		TM18CHOPCNT		TM19LEBSET		TM18LEBSET		TM19SFTSET		TM18SFTSET		TM19DTMSET		TM18DTMSET		
0x1000016X					TM19TSKOVFSEL		TM18TSKOVFSEL		TM19OFFSTR		TM18OFFSTR		TM19STR		TM18STR		
0x1000100X			PWMSEL0				OUTMD0				PWM1DPMD0				PWMMD0		PWM
0x1000101X	BCSTR0C		PWMBC0C		BCSTR0B		PWMBC0B		BCSTR0A		PWMBC0A		BCSTR0		PWMBC0		
0x1000102X	PWMSET0C		TCMP0C		PWMSET0B		TCMP0B		PWMSET0A		TCMP0A		PWMSET0		TCMP0		
0x1000103X			PWM1RQCNT0C				PWM1RQCNT0B				PWM1RQCNT0A		PWMAD1RQCNT0		PWM1RQCNT0		
0x1000104X	DTMCNT0C		DTMSET0C		DTMCNT0B		DTMSET0B		DTMCNT0A		DTMSET0A		DTMCNT0		DTMSET0		
0x1000105X			PWMOFF0BST				PWMOFF0B				PWMOFF0A1RQ				PWMOFF0A		
0x1000106X	PWMDCNT0C		PWMDDAT0C		PWMDCNT0B		PWMDDAT0B		PWMDCNT0A		PWMDDAT0A				TSKOVFSEL0		
0x1000107X					PWMADSTSEL0B		PWMADST0B		PWMADSTSEL0A		PWMADST0A				PWMADBC0		
0x1000110X			PWMSEL1				OUTMD1								PWMMD1		
0x1000111X													BCSTR1		PWMBC1		
0x1000112X			TCMP1C				TCMP1B				TCMP1A		PWMSET1		TCMP1		
0x1000113X													PWMAD1RQCNT1		PWM1RQCNT1		
0x1000114X	DTMCNT1C		DTMSET1C		DTMCNT1B		DTMSET1B		DTMCNT1A		DTMSET1A		DTMCNT1		DTMSET1		
0x1000115X			PWMOFF1BST				PWMOFF1B				PWMOFF1A1RQ				PWMOFF1A		
0x1000116X	PWMDCNT1C		PWMDDAT1C		PWMDCNT1B		PWMDDAT1B		PWMDCNT1A		PWMDDAT1A				TSKOVFSEL1		
0x1000117X					PWMADSTSEL1B		PWMADST1B		PWMADSTSEL1A		PWMADST1A				PWMADBC1		
0x1000130X											MFSYNTGT				MFSYNCNT		Multi Feedback Assist
0x1000131X			PWM0CDLYSET				PWM0BDLYSET				PWM0ADLYSET				TM16DLYSET		
0x1000132X											PWM1DLYSET				TM17DLYSET		
0x1000133X											Reserved				TM18DLYSET		
0x1000134X							Reserved				Reserved				TM19DLYSET		
0x1000135X		MFAPOUTEN					MFASTAT				MFATGT				MFACNT		
0x1000136X			PWM0CCPTCSET				PWM0BCPTCSET				PWM0ACPTCSET				TM16CPTCSET		
0x1000137X											PWM1CPTCSET				TM17CPTCSET		
0x1000138X											Reserved				TM18CPTCSET		
0x1000139X							Reserved				Reserved				TM19CPTCSET		
0x100013AX			AD1STBLMTSET				AD1STALMTSET				ADOSTBLMTSET				ADOSTALMTSET		
0x100013BX															AD2STLMTSET		
0x1000200X			ADST0				ANOCTR1B				ANOCTR1A				ANOCTR0		A/D
0x1000201X				ANOCTR EGB				ANOCTR EGA			ANOCUTB				ANOCUTA		
0x1000202X			ANOUPB				ANOLOWB				ANOUPA				ANOLOWA		
0x1000203X							ANOERCB				ANOERCA					Reserved	
0x1000204X			ANOBUF03				ANOBUF02				ANOBUF01				ANOBUF00		
0x1000205X			ANOBUF07				ANOBUF06				ANOBUF05				ANOBUF04		
0x1000206X			ANOBUF11				ANOBUF10				ANOBUF09				ANOBUF08		
0x1000207X																	
0x1000208X			ANOBUFB7				ANOBUFB6				ANOBUFB5				ANOBUFB4		
0x1000209X																	
0x100020AX			ADST1				AN1CTR1B				AN1CTR1A				AN1CTR0		
0x100020BX				AN1CTR EGB				AN1CTR EGA			AN1CUTB				AN1CUTA		
0x100020CX			AN1UPB				AN1LOWB				AN1UPA				AN1LOWA		
0x100020DX							AN1ERCB				AN1ERCA					Reserved	
0x100020EX			AN1BUF03				AN1BUF02				AN1BUF01				AN1BUF00		
0x100020FX			AN1BUF07				AN1BUF06				AN1BUF05				AN1BUF04		
0x1000210X			AN1BUF11				AN1BUF10				AN1BUF09				AN1BUF08		
0x1000211X																	
0x1000212X			AN1BUFB7				AN1BUFB6				AN1BUFB5				AN1BUFB4		
0x1000213X																	
0x1000214X			ADST2								AN2CTR1A				AN2CTR0		
0x1000215X								AN2CTR EGA			AN2CUTA1				AN2CUTA0		
0x1000216X																	
0x1000217X																Reserved	
0x1000218X			AN2BUF03				AN2BUF02				AN2BUF01				AN2BUF00		
0x1000219X			AN2BUF07				AN2BUF06				AN2BUF05				AN2BUF04		
0x100021AX			AN2BUF11				AN2BUF10				AN2BUF09				AN2BUF08		
0x100021BX			AN2BUF15				AN2BUF14				AN2BUF13				AN2BUF12		
0x100021CX			AN2BUF19				AN2BUF18				AN2BUF17				AN2BUF16		
0x1000300X																Reserved	その他
0x3900000X	FWDAT15	FWDAT14	FWDAT13	FWDAT12	FWDAT11	FWDAT10	FWDAT09	FWDAT08	FWDAT07	FWDAT06	FWDAT05	FWDAT04	FWDAT03	FWDAT02	FWDAT01	FWDAT00	FLASH
0x3900001X	FWDAT31	FWDAT30	FWDAT29	FWDAT28	FWDAT27	FWDAT26	FWDAT25	FWDAT24	FWDAT23	FWDAT22	FWDAT21	FWDAT20	FWDAT19	FWDAT18	FWDAT17	FWDAT16	
0x3900002X	FWDAT47	FWDAT46	FWDAT45	FWDAT44	FWDAT43	FWDAT42	FWDAT41	FWDAT40	FWDAT39	FWDAT38	FWDAT37	FWDAT36	FWDAT35	FWDAT34	FWDAT33	FWDAT32	
0x3900003X	FWDAT63	FWDAT62	FWDAT61	FWDAT60	FWDAT59	FWDAT58	FWDAT57	FWDAT56	FWDAT55	FWDAT54	FWDAT53	FWDAT52	FWDAT51	FWDAT50	FWDAT49	FWDAT48	
0x390003EX						FEADDR						FWBC		FWADDR			
0x390003FX		Reserved			FRSUM	FRBLANK		FRPR0	FRSECCHK	FRSECPRG	FRERASE	FRPRG		FSUMDAT			
0x3900040X				FSTAT1				FSTAT0				Reserved				FCNT	
0x3900041X																FSTAT2	
0x3900080X						Reserved		Reserved				Reserved				FBEWER	
0x3900081X																	
0x3900082X		Reserved		FIRQ													
0x3900083X																	
0x3900084X																Reserved	
0x3900085X								Reserved									
0x3B10000X											Reserved		CHWAIT		CHCTR		キャッシュ制御

図2.5.7　レジスタマップ(MN103HFx5シリーズ) その2

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000800X	IVAR3				IVAR2				IVAR1				IVAR0				割込み ベクトル
0x0000801X	IVBR				IVAR6				IVAR5				IVAR4				
0x0000802X															Reserved		
0x0000803X									Reserved								CPU制御
0x0000804X								PRT CPUM	SISR						CPUM		
0x0000805X															Reserved		
0x0000810X					RCRTAR										RCRCTR		ROM コレクション
0x0000811X	RCR3AR				RCR2AR				RCR1AR				RCR0AR				
0x0000820X												RSTCTR		WDCTR		WDBC	ウォッチ ドッグタイマ
0x0000821X														Reserved		PRTWDT	
0x0000828X															CKCTR		クロック ジェネレータ
0x0000829X																PRT CKGEN	
0x0000840X	Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		
0x0000850X		DMOCYC	DMOCNT		DMODST				DMOSRC				DMOCTR				DMA制御
0x0000851X		DM1CYC	DM1CNT		DM1DST				DM1SRC				DM1CTR				
0x0000852X		DM2CYC	DM2CNT		DM2DST				DM2SRC				DM2CTR				
0x0000870X									Reserved		Reserved		Reserved		Reserved		
0x0000890X			G3ICR				G2ICR				Reserved				NMICR		割込み制御
0x0000891X			G7ICR				G6ICR				Reserved				G4ICR		
0x0000892X			G11ICR				G10ICR				G9ICR				G8ICR		
0x0000893X			G15ICR				G14ICR				G13ICR				G12ICR		
0x0000894X			G19ICR				G18ICR				G17ICR				G16ICR		
0x0000895X			Reserved				Reserved				G21ICR				G20ICR		
0x0000896X			G27ICR				G26ICR				G25ICR				G24ICR		
0x0000897X			G31ICR				Reserved				G29ICR				G28ICR		
0x0000898X			G35ICR				G34ICR				G33ICR				G32ICR		
0x0000899X			Reserved				G38ICR				G37ICR				G36ICR		
0x000089AX			G43ICR				G42ICR				G41ICR				Reserved		
0x000089BX			G47ICR				Reserved				G45ICR				G44ICR		
0x000089CX			Reserved				Reserved				G49ICR				G48ICR		
0x000089DX			G55ICR				G54ICR				G53ICR				G52ICR		
0x000089EX															G56ICR		
0x000089FX																	
0x00008A0X															IAGR		
0x00008A8X											EXTMD1				EXTMDO		
0x0000A00X		PE0UT	PD0UT	PC0UT	PB0UT		P90UT	P80UT	P70UT	P60UT	P50UT	P40UT	P30UT	P20UT	P10UT	P00UT	汎用ポート
0x0000A01X		PE1N	PD1N	PC1N	PB1N		P91N	P81N	P71N	P61N	P51N	P41N	P31N	P21N	P11N	P01N	
0x0000A02X		PE1DIR	PD1DIR	PC1DIR	PB1DIR		P91DIR	P81DIR	P71DIR	P61DIR	P51DIR	P41DIR	P31DIR	P21DIR	P11DIR	P01DIR	
0x0000A03X		PEPLU	PDPLU	PCPLU	PBPLU		P91PLU	P81PLU	P71PLU	P61PLU	P51PLU	P41PLU	P31PLU	P21PLU	P11PLU	P01PLU	
0x0000A04X	P3MD				P2MD				P1MD				P0MD				
0x0000A05X	P7MD				P6MD				P5MD				P4MD				
0x0000A06X	PBMD								P9MD				P8MD				
0x0000A07X					PEMD				PDMD				PCMD				
0x0000A08X																	
0x0000A09X												P40DC	P30DC	P20DC		Reserved	
0x0000A0AX																	
0x0000A0BX	NF7CNT		NF6CNT		NF5CNT		NF4CNT		NF3CNT		NF2CNT		NF1CNT		NF0CNT		ノイズフィルタ
0x0000A0CX	NF15CNT		NF14CNT		NF13CNT		NF12CNT		NF11CNT		NF10CNT		NF9CNT		NF8CNT		
0x0000A0DX																	
0x0000A0EX																	
0x0000A0FX			IRQEDGESEL														
0x0000A10X				SC0RB				SC0STR			SC0MD3	SC0MD2			SC0MD1	SC0MD0	シリアルI/F
0x0000A11X												SC0SEL				SC0TB	
0x0000A12X			SC0IIC STR1	SC0IIC STR0			Reserved	SC0IIC AD0			SC0IIC MD3	SC0IIC MD2			SC0IIC MD1	SC0IIC MD0	
0x0000A13X															SC0IIC TB	SC0IIC RB	
0x0000A14X				SC1RB				SC1STR			SC1MD3	SC1MD2			SC1MD1	SC1MD0	
0x0000A15X			LIN RXCHKS	LIN TXCHKS				LIN ERRSTAT			LIN RXCTR	LIN TXCTR				SC1TB	
0x0000A16X				SC2RB				SC2STR			SC2MD3	SC2MD2			SC2MD1	SC2MD0	
0x0000A17X																SC2TB	
0x0000A18X				SC3RB			SC3STR	SC3MD4			SC3MD3	SC3MD2			SC3MD1	SC3MD0	
0x0000A19X																SC3TB	
0x0000A1AX																	
0x0000A1BX																	
0x0000A1CX												SC1INT SEL			SIFCLK1	SIFCLK0	
0x0000A1DX			Reserved				Reserved				Reserved				Reserved		
0x0000A1EX																Reserved	
0x0000A20X			TM3BR	TM2BR			TM1BR	TM0BR			TM3MD	TM2MD			TM1MD	TM0MD	8ビット タイマ
0x0000A21X				TM03 EXPSC				TM03 PSC			TM3BC	TM2BC			TM1BC	TM0BC	
0x0000A22X			TM7BR	TM6BR			TM5BR	TM4BR			TM7MD	TM6MD			TM5MD	TM4MD	
0x0000A23X				TM47 EXPSC				TM47 PSC			TM7BC	TM6BC			TM5BC	TM4BC	
0x0000A24X			TM11BR	TM10BR			TM9BR	TM8BR			TM11MD	TM10MD			TM9MD	TM8MD	
0x0000A25X				TM811 EXPSC				TM811 PSC			TM11BC	TM10BC			TM9BC	TM8BC	
0x0000A30X						TM21MDC		TM20MDC	TM21MDB	TM21MDA	TM20MDB	TM20MDA	TM21MD		TM20MD		16ビット タイマ
0x0000A31X	TM21CC		TM20CC		TM21CB		TM20CB		TM21CA		TM20CA		TM21BC		TM20BC		
0x0000A32X					TM21CAPCSEL		TM20CAPCSEL		TM21CAPBSEL		TM20CAPBSEL		TM21CAPASEL		TM20CAPASEL		
0x0000A33X									TM21IRQCNT		TM20IRQCNT		TM21STSEL		TM20STSEL		
0x0000A34X									TM21OFFSEL		TM20OFFSEL		TM21OFF		TM20OFF		
0x0000A35X													TM21STR		TM20STR		
0x0000A36X						TM23MDC		TM22MDC	TM23MDB	TM23MDA	TM22MDB	TM22MDA	TM23MD		TM22MD		
0x0000A37X	TM23CC		TM22CC		TM23CB		TM22CB		TM23CA		TM22CA		TM23BC		TM22BC		
0x0000A38X					TM23CAPCSEL		TM22CAPCSEL		TM23CAPBSEL		TM22CAPBSEL		TM23CAPASEL		TM22CAPASEL		
0x0000A39X									TM23IRQCNT		TM22IRQCNT		TM23STSEL		TM22STSEL		
0x0000A3AX									TM23OFFSEL		TM22OFFSEL		TM23OFF		TM22OFF		
0x0000A3BX													TM23STR		TM22STR		
0x0000A80X				MPCNT			PCNT										クロック制御
0x0000A81X																RSTFACT	リセット制御
0x0000A82X				PRT LVI				PRT WDT2				PRT CKMON				PRT CKCNT	レジスタ プロテクト
0x0000A83X				CKMON STAT			CKMON SETU	CKMON SETL				CKMONEN					クロック監視
0x0000A84X											Reserved						
0x0000A85X								WD2CLR				WD2 MDSEL				WD2CTR	ウォッチドッグ タイマ２
0x0000A86X																LVIMD	LVI

図2.5.8　レジスタマップ(MN103HFx6シリーズ) その1

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000A90X								VGA2CTR1				VGA1CTR1				VGA0CTR1	VGA
0x0000A91X								VGA2CTR2				VGA1CTR2				VGA0CTR2	
0x0000A92X							VGA2CTR3				VGA1CTR3				VGA0CTR3		
0x0000A93X								Reserved								Reserved	
0x0000AA0X								DAC2CTR				DAC1CTR				DAC0CTR	DAC
0x0000AA1X							DAC2DRH	DAC2DRL			DAC1DRH	DAC1DRL			DAC0DRH	DAC0DRL	
0x0000AB0X							CMP2CTR				CMP1CTR				CMP0CTR		COMP
0x0000AB1X							CMPSEL								CMPSTR		
0x0000AFAX												Reserved				VGADSET	VGA
0x1000000X		TM17MDC		TM16MDC	TM17MDB	TM17MDA	TM16MDB	TM16MDA	TM17MD2		TM16MD2		TM17MD1		TM16MD1		16ビットタイマ
0x1000001X	TM17CB		TM17HRCNT		TM16CB		TM16HRCNT		TM17CA		TM16CA		TM17BC		TM16BC		
0x1000002X	TM17CAPCSEL		TM16CAPCSEL		TM17CAPBSEL		TM16CAPBSEL		TM17CAPASEL		TM16CAPASEL		TM17CC		TM16CC		
0x1000003X									TM17IRQCNT		TM16IRQCNT		TM17STSEL		TM16STSEL		
0x1000004X	TM17OFFBSEL		TM16OFFBSEL		TM17OFFB		TM16OFFB		TM17OFFASEL		TM16OFFASEL		TM17OFFA		TM16OFFA		
0x1000005X	TM17CHOPCNT		TM16CHOPCNT		TM17LEBSET		TM16LEBSET		TM17SFTSET		TM16SFTSET		TM17DTMSET		TM16DTMSET		
0x1000006X					TM17TSKOVFSEL		TM16TSKOVFSEL		TM17OFFSTR		TM16OFFSTR		TM17STR		TM16STR		
0x1000010X		TM19MDC		TM18MDC	TM19MDB	TM19MDA	TM18MDB	TM18MDA	TM19MD2		TM18MD2		TM19MD1		TM18MD1		
0x1000011X	TM19CB		TM19HRCNT		TM18CB		TM18HRCNT		TM19CA		TM18CA		TM19BC		TM18BC		
0x1000012X	TM19CAPCSEL		TM18CAPCSEL		TM19CAPBSEL		TM18CAPBSEL		TM19CAPASEL		TM18CAPASEL		TM19CC		TM18CC		
0x1000013X									TM19IRQCNT		TM18IRQCNT		TM19STSEL		TM18STSEL		
0x1000014X	TM19OFFBSEL		TM18OFFBSEL		TM19OFFB		TM18OFFB		TM19OFFASEL		TM18OFFASEL		TM19OFFA		TM18OFFA		
0x1000015X	TM19CHOPCNT		TM18CHOPCNT		TM19LEBSET		TM18LEBSET		TM19SFTSET		TM18SFTSET		TM19DTMSET		TM18DTMSET		
0x1000016X					TM19TSKOVFSEL		TM18TSKOVFSEL		TM19OFFSTR		TM18OFFSTR		TM19STR		TM18STR		
0x1000100X			PWMSEL0				OUTMD0				PWM1DPMD0				PWMMD0		PWM
0x1000101X	BCSTR0C		PWMBC0C		BCSTR0B		PWMBC0B		BCSTR0A		PWMBC0A		BCSTR0		PWMBC0		
0x1000102X	PWMSET0C		TCMP0C		PWMSET0B		TCMP0B		PWMSET0A		TCMP0A		PWMSET0		TCMP0		
0x1000103X			PWM1RQCNT0C				PWM1RQCNT0B				PWM1RQCNT0A		PWMAD1RQCNT0		PWM1RQCNT0		
0x1000104X	DTMCNT0C		DTMSET0C		DTMCNT0B		DTMSET0B		DTMCNT0A		DTMSET0A		DTMCNT0		DTMSET0		
0x1000105X			PWMOFF0BST				PWMOFF0B				PWMOFF0A1RQ				PWMOFF0A		
0x1000106X	PWMDCNT0C		PWMDDAT0C		PWMDCNT0B		PWMDDAT0B		PWMDCNT0A		PWMDDAT0A				TSKOVFSEL0		
0x1000107X					PWMADSTSEL0B		PWMADST0B		PWMADSTSEL0A		PWMADST0A				PWMADBC0		
0x1000110X			PWMSEL1				OUTMD1								PWMMD1		
0x1000111X													BCSTR1		PWMBC1		
0x1000112X			TCMP1C				TCMP1B				TCMP1A		PWMSET1		TCMP1		
0x1000113X													PWMAD1RQCNT1		PWM1RQCNT1		
0x1000114X	DTMCNT1C		DTMSET1C		DTMCNT1B		DTMSET1B		DTMCNT1A		DTMSET1A		DTMCNT1		DTMSET1		
0x1000115X			PWMOFF1BST				PWMOFF1B				PWMOFF1A1RQ				PWMOFF1A		
0x1000116X	PWMDCNT1C		PWMDDAT1C		PWMDCNT1B		PWMDDAT1B		PWMDCNT1A		PWMDDAT1A				TSKOVFSEL1		
0x1000117X					PWMADSTSEL1B		PWMADST1B		PWMADSTSEL1A		PWMADST1A				PWMADBC1		
0x1000130X											MFSYNTGT				MFSYNCNT		Multi Feedback Assist
0x1000131X			PWM0CDLYSET				PWM0BDLYSET				PWM0ADLYSET				TM16DLYSET		
0x1000132X											PWM1DLYSET				TM17DLYSET		
0x1000133X											Reserved				TM18DLYSET		
0x1000134X							Reserved				Reserved				TM19DLYSET		
0x1000135X	MFAPOUTEN						MFASTAT				MFATGT				MFACNT		
0x1000136X			PWM0CCPTCSET				PWM0BCPTCSET				PWM0ACPTCSET				TM16CPTCSET		
0x1000137X											PWM1CPTCSET				TM17CPTCSET		
0x1000138X											Reserved				TM18CPTCSET		
0x1000139X							Reserved				Reserved				TM19CPTCSET		
0x100013AX			AD1STBLMTSET				AD1STALMTSET				AD0STBLMTSET				AD0STALMTSET		
0x100013BX															AD2STLMTSET		
0x1000200X			ADST0				ANOCTR1B				ANOCTR1A				ANOCTR0		A/D
0x1000201X				ANOCTR EGB				ANOCTR EGA			AN0CUTB				AN0CUTA		
0x1000202X			AN0UPB				AN0LOWB				AN0UPA				AN0LOWA		
0x1000203X							AN0ERCB				AN0ERCA					Reserved	
0x1000204X			AN0BUF03				AN0BUF02				AN0BUF01				AN0BUF00		
0x1000205X			AN0BUF07				AN0BUF06				AN0BUF05				AN0BUF04		
0x1000206X			AN0BUF11				AN0BUF10				AN0BUF09				AN0BUF08		
0x1000207X																	
0x1000208X			AN0BUFB7				AN0BUFB6				AN0BUFB5				AN0BUFB4		
0x1000209X																	
0x100020AX			ADST1				AN1CTR1B				AN1CTR1A				AN1CTR0		
0x100020BX				AN1CTR EGB				AN1CTR EGA			AN1CUTB				AN1CUTA		
0x100020CX			AN1UPB				AN1LOWB				AN1UPA				AN1LOWA		
0x100020DX							AN1ERCB				AN1ERCA					Reserved	
0x100020EX			AN1BUF03				AN1BUF02				AN1BUF01				AN1BUF00		
0x100020FX			AN1BUF07				AN1BUF06				AN1BUF05				AN1BUF04		
0x1000210X			AN1BUF11				AN1BUF10				AN1BUF09				AN1BUF08		
0x1000211X																	
0x1000212X			AN1BUFB7				AN1BUFB6				AN1BUFB5				AN1BUFB4		
0x1000213X																	
0x1000214X			ADST2								AN2CTR1A				AN2CTR0		
0x1000215X								AN2CTR EGA			AN2CUTA1				AN2CUTA0		
0x1000216X																	
0x1000217X																Reserved	
0x1000218X			AN2BUF03				AN2BUF02				AN2BUF01				AN2BUF00		
0x1000219X			AN2BUF07				AN2BUF06				AN2BUF05				AN2BUF04		
0x100021AX			AN2BUF11				AN2BUF10				AN2BUF09				AN2BUF08		
0x100021BX			AN2BUF15				AN2BUF14				AN2BUF13				AN2BUF12		
0x100021CX			AN2BUF19				AN2BUF18				AN2BUF17				AN2BUF16		
0x1000300X																Reserved	その他
0x3900000X	FWDAT15	FWDAT14	FWDAT13	FWDAT12	FWDAT11	FWDAT10	FWDAT09	FWDAT08	FWDAT07	FWDAT06	FWDAT05	FWDAT04	FWDAT03	FWDAT02	FWDAT01	FWDAT00	FLASH
0x3900001X	FWDAT31	FWDAT30	FWDAT29	FWDAT28	FWDAT27	FWDAT26	FWDAT25	FWDAT24	FWDAT23	FWDAT22	FWDAT21	FWDAT20	FWDAT19	FWDAT18	FWDAT17	FWDAT16	
0x3900002X	FWDAT47	FWDAT46	FWDAT45	FWDAT44	FWDAT43	FWDAT42	FWDAT41	FWDAT40	FWDAT39	FWDAT38	FWDAT37	FWDAT36	FWDAT35	FWDAT34	FWDAT33	FWDAT32	
0x3900003X	FWDAT63	FWDAT62	FWDAT61	FWDAT60	FWDAT59	FWDAT58	FWDAT57	FWDAT56	FWDAT55	FWDAT54	FWDAT53	FWDAT52	FWDAT51	FWDAT50	FWDAT49	FWDAT48	
0x390003EX					FEADDR							FWBC	FWADDR				
0x390003FX	Reserved				FRSUM	FRBLANK		FRPRO	FRSECCHK	FRSECPRG	FRERASE	FRPRG	FSUMDAT				
0x3900040X				FSTAT1				FSTAT0				Reserved				FCNT	
0x3900041X																FSTAT2	
0x3900080X						Reserved		Reserved				Reserved				FBEWER	
0x3900081X																	
0x3900082X		Reserved		FIRQ													
0x3900083X																	
0x3900084X																Reserved	
0x3900085X								Reserved									
0x3B10000X											Reserved		CHWAIT		CHCTR		キャッシュ制御

図2.5.9　レジスタマップ(MN103HFx6シリーズ) その2

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000800X	IVAR3						IVAR2				IVAR1				IVAR0		割込み ベクトル
0x0000801X	IVBR						IVAR6				IVAR5				IVAR4		
0x0000802X															Reserved		
0x0000803X											Reserved						CPU制御
0x0000804X								PRT CPUM			SISR				CPUM		
0x0000805X															Reserved		
0x0000810X						RCRTAR									RCRCTR		ROM コレクション
0x0000811X	RCR3AR					RCR2AR				RCR1AR				RCR0AR			
0x0000820X												RSTCTR		WDCTR		WDBC	ウォッチ ドッグタイマ
0x0000821X														Reserved		PRTWDT	
0x0000828X															CKCTR		クロック ジェネレータ
0x0000829X																PRT CKGEN	
0x0000840X	Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		
0x0000850X		DMOCYC	DMOCNT		DMODST				DMOSRC				DMOCTR				DMA制御
0x0000851X		DM1CYC	DM1CNT		DM1DST				DM1SRC				DM1CTR				
0x0000852X		DM2CYC	DM2CNT		DM2DST				DM2SRC				DM2CTR				
0x0000870X									Reserved		Reserved		Reserved		Reserved		
0x0000890X			G3ICR				G2ICR				Reserved				NMICR		割込み制御
0x0000891X			G7ICR				G6ICR				Reserved				G4ICR		
0x0000892X			G11ICR				G10ICR				G9ICR				G8ICR		
0x0000893X			G15ICR				G14ICR				G13ICR				G12ICR		
0x0000894X			G19ICR				G18ICR				G17ICR				G16ICR		
0x0000895X			G23ICR				G22ICR				G21ICR				G20ICR		
0x0000896X			G27ICR				G26ICR				G25ICR				G24ICR		
0x0000897X			G31ICR				G30ICR				G29ICR				G28ICR		
0x0000898X			G35ICR				G34ICR				G33ICR				G32ICR		
0x0000899X			G39ICR				G38ICR				G37ICR				G36ICR		
0x000089AX			G43ICR				G42ICR				G41ICR				G40ICR		
0x000089BX			G47ICR				G46ICR				G45ICR				G44ICR		
0x000089CX			G51ICR				G50ICR				G49ICR				G48ICR		
0x000089DX			G55ICR				G54ICR				G53ICR				G52ICR		
0x000089EX															G56ICR		
0x000089FX																	
0x00008A0X															IAGR		
0x00008A8X											EXTMD1				EXTMD0		
0x0000A00X	PFOUT	PEOUT	PDOUT	PCOUT	PBOUT	PAOUT	P9OUT	P8OUT	P7OUT	P6OUT	P5OUT	P4OUT	P3OUT	P2OUT	P1OUT	P0OUT	汎用ポート
0x0000A01X	PFIN	PEIN	PDIN	PCIN	PBIN	PAIN	P9IN	P8IN	P7IN	P6IN	P5IN	P4IN	P3IN	P2IN	P1IN	P0IN	
0x0000A02X	PFDIR	PEDIR	PDDIR	PCDIR	PBDIR	PADIR	P9DIR	P8DIR	P7DIR	P6DIR	P5DIR	P4DIR	P3DIR	P2DIR	P1DIR	P0DIR	
0x0000A03X	PFPLU	PEPLU	PDPLU	PCPLU	PBPLU	PAPLU	P9PLU	P8PLU	P7PLU	P6PLU	P5PLU	P4PLU	P3PLU	P2PLU	P1PLU	P0PLU	
0x0000A04X	P3MD				P2MD				P1MD				P0MD				
0x0000A05X	P7MD				P6MD				P5MD				P4MD				
0x0000A06X	P8MD				PAMD				P9MD				P8MD				
0x0000A07X	PFMD				PEMD				PDMD				PCMD				
0x0000A08X																	
0x0000A09X												P4ODC	P3ODC	P2ODC		Reserved	
0x0000A0AX																	
0x0000A0BX	NF7CNT		NF6CNT		NF5CNT		NF4CNT		NF3CNT		NF2CNT		NF1CNT		NF0CNT		ノイズフィルタ
0x0000A0CX	NF15CNT		NF14CNT		NF13CNT		NF12CNT		NF11CNT		NF10CNT		NF9CNT		NF8CNT		
0x0000A0DX																	
0x0000A0EX																	
0x0000A0FX			IRQEDGESEL														
0x0000A10X				SC0RB				SC0STR			SC0MD3	SC0MD2			SC0MD1	SC0MD0	シリアルI/F
0x0000A11X												SC0SEL				SC0TB	
0x0000A12X			SC0IICSTR1	SC0IICSTR0			Reserved	SC0IICADD			SC0IICMD3	SC0IICMD2			SC0IICMD1	SC0IICMD0	
0x0000A13X															SC0IICTB	SC0IICRB	
0x0000A14X				SC1RB				SC1STR			SC1MD3	SC1MD2			SC1MD1	SC1MD0	
0x0000A15X			LINRXCHKS	LINTXCHKS				LINERRSTAT			LINRXCTR	LINTXCTR				SC1TB	
0x0000A16X				SC2RB				SC2STR			SC2MD3	SC2MD2			SC2MD1	SC2MD0	
0x0000A17X																SC2TB	
0x0000A18X				SC3RB			SC3STR	SC3MD4			SC3MD3	SC3MD2			SC3MD1	SC3MD0	
0x0000A19X																SC3TB	
0x0000A1AX				SC4RB				SC4STR			SC4MD3	SC4MD2			SC4MD1	SC4MD0	
0x0000A1BX																SC4TB	
0x0000A1CX												SC1INTSEL			SIFCLK1	SIFCLK0	
0x0000A1DX			Reserved				Reserved				Reserved				Reserved		
0x0000A1EX																Reserved	
0x0000A20X			TM3BR	TM2BR			TM1BR	TM0BR			TM3MD	TM2MD			TM1MD	TM0MD	8ビット タイマ
0x0000A21X				TM03EXPSC				TM03PSC			TM3BC	TM2BC			TM1BC	TM0BC	
0x0000A22X			TM7BR	TM6BR			TM5BR	TM4BR			TM7MD	TM6MD			TM5MD	TM4MD	
0x0000A23X				TM47EXPSC				TM47PSC			TM7BC	TM6BC			TM5BC	TM4BC	
0x0000A24X			TM11BR	TM10BR			TM9BR	TM8BR			TM11MD	TM10MD			TM9MD	TM8MD	
0x0000A25X				TM811EXPSC				TM811PSC			TM11BC	TM10BC			TM9BC	TM8BC	
0x0000A26X			TM15BR	TM14BR			TM13BR	TM12BR			TM15MD	TM14MD			TM13MD	TM12MD	
0x0000A27X				TM1215EXPSC				TM1215PSC			TM15BC	TM14BC			TM13BC	TM12BC	
0x0000A28X			TM29BR	TM28BR			TM27BR	TM26BR			TM29MD	TM28MD			TM27MD	TM26MD	
0x0000A29X				TM2629EXPSC				TM2629PSC			TM29BC	TM28BC			TM27BC	TM26BC	
0x0000A30X						TM21MDC		TM20MDC	TM21MDB	TM21MDA	TM20MDB	TM20MDA	TM21MD		TM20MD		16ビット タイマ
0x0000A31X	TM21CC		TM20CC		TM21CB		TM20CB		TM21CA		TM20CA		TM21BC		TM20BC		
0x0000A32X					TM21CAPCSEL		TM20CAPCSEL		TM21CAPBSEL		TM20CAPBSEL		TM21CAPASEL		TM20CAPASEL		
0x0000A33X									TM21IRQCNT		TM20IRQCNT		TM21STSEL		TM20STSEL		
0x0000A34X									TM21OFFSEL		TM20OFFSEL		TM21OFF		TM20OFF		
0x0000A35X													TM21STR		TM20STR		
0x0000A36X						TM23MDC		TM22MDC	TM23MDB	TM23MDA	TM22MDB	TM22MDA	TM23MD		TM22MD		
0x0000A37X	TM23CC		TM22CC		TM23CB		TM22CB		TM23CA		TM22CA		TM23BC		TM22BC		
0x0000A38X					TM23CAPCSEL		TM22CAPCSEL		TM23CAPBSEL		TM22CAPBSEL		TM23CAPASEL		TM22CAPASEL		
0x0000A39X									TM23IRQCNT		TM22IRQCNT		TM23STSEL		TM22STSEL		
0x0000A3AX									TM23OFFSEL		TM22OFFSEL		TM23OFF		TM22OFF		
0x0000A3BX													TM23STR		TM22STR		

図2.5.10　レジスタマップ(MN103HFx7シリーズ) その1

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000A80X				MPCNT				PCNT									クロック制御
0x0000A81X																RSTFACT	リセット制御
0x0000A82X				PRT LVI				PRT WDT2				PRT CKMON				PRT CKCNT	レジスタプロテクト
0x0000A83X				CKMON STAT			CKMON SETU	CKMON SETL				CKMONEN					クロック監視
0x0000A84X											Reserved						
0x0000A85X								WD2CLR				WD2 MDSEL				WD2CTR	ウォッチドッグタイマ２
0x0000A86X																LVIMD	LVI
0x0000A90X								VGA2CTR1				VGA1CTR1				VGA0CTR1	VGA
0x0000A91X								VGA2CTR2				VGA1CTR2				VGA0CTR2	
0x0000A92X							VGA2CTR3				VGA1CTR3				VGA0CTR3		
0x0000A93X								Reserved				Reserved				Reserved	
0x0000AA0X								DAC2CTR				DAC1CTR				DAC0CTR	DAC
0x0000AA1X							DAC2DRH	DAC2DRL			DAC1DRH	DAC1DRL			DAC0DRH	DAC0DRL	
0x0000AB0X								CMP2CTR				CMP1CTR				CMP0CTR	COMP
0x0000AB1X								CMPSEL								CMPSTR	
0x0000AFAX												Reserved				VGADSET	VGA
0x1000000X		TM17MDC		TM16MDC	TM17MDB	TM17MDA	TM16MDB	TM16MDA	TM17MD2		TM16MD2		TM17MD1		TM16MD1		
0x1000001X		TM17CB		TM17HRCNT		TM16CB		TM16HRCNT		TM17CA		TM16CA		TM17BC		TM16BC	
0x1000002X		TM17CAPCSEL		TM16CAPCSEL		TM17CAPBSEL		TM16CAPBSEL		TM17CAPASEL		TM16CAPASEL		TM17CC		TM16CC	
0x1000003X										TM17IRQCNT		TM16IRQCNT		TM17STSEL		TM16STSEL	
0x1000004X		TM17OFFBSEL		TM16OFFBSEL		TM17OFFB		TM16OFFB		TM17OFFASEL		TM16OFFASEL		TM17OFFA		TM16OFFA	
0x1000005X		TM17CHOPCNT		TM16CHOPCNT		TM17LEBSET		TM16LEBSET		TM17SFTSET		TM16SFTSET		TM17DTMSET		TM16DTMSET	
0x1000006X						TM17TSKOVFSEL		TM16TSKOVFSEL		TM17OFFSTR		TM16OFFSTR		TM17STR		TM16STR	
0x1000010X		TM19MDC		TM18MDC	TM19MDB	TM19MDA	TM18MDB	TM18MDA	TM19MD2		TM18MD2		TM19MD1		TM18MD1		
0x1000011X		TM19CB		TM19HRCNT		TM18CB		TM18HRCNT		TM19CA		TM18CA		TM19BC		TM18BC	
0x1000012X		TM19CAPCSEL		TM18CAPCSEL		TM19CAPBSEL		TM18CAPBSEL		TM19CAPASEL		TM18CAPASEL		TM19CC		TM18CC	16ビットタイマ
0x1000013X										TM19IRQCNT		TM18IRQCNT		TM19STSEL		TM18STSEL	
0x1000014X		TM19OFFBSEL		TM18OFFBSEL		TM19OFFB		TM18OFFB		TM19OFFASEL		TM18OFFASEL		TM19OFFA		TM18OFFA	
0x1000015X		TM19CHOPCNT		TM18CHOPCNT		TM19LEBSET		TM18LEBSET		TM19SFTSET		TM18SFTSET		TM19DTMSET		TM18DTMSET	
0x1000016X						TM19TSKOVFSEL		TM18TSKOVFSEL		TM19OFFSTR		TM18OFFSTR		TM19STR		TM18STR	
0x1000020X		TM25MDC		TM24MDC	TM25MDB	TM25MDA	TM24MDB	TM24MDA	TM25MD2		TM24MD2		TM25MD1		TM24MD1		
0x1000021X		TM25CB		TM25HRCNT		TM24CB		TM24HRCNT		TM25CA		TM24CA		TM25BC		TM24BC	
0x1000022X		TM25CAPCSEL		TM24CAPCSEL		TM25CAPBSEL		TM24CAPBSEL		TM25CAPASEL		TM24CAPASEL		TM25CC		TM24CC	
0x1000023X										TM25IRQCNT		TM24IRQCNT		TM25STSEL		TM24STSEL	
0x1000024X		TM25OFFBSEL		TM24OFFBSEL		TM25OFFB		TM24OFFB		TM25OFFASEL		TM24OFFASEL		TM25OFFA		TM24OFFA	
0x1000025X		TM25CHOPCNT		TM24CHOPCNT		TM25LEBSET		TM24LEBSET		TM25SFTSET		TM24SFTSET		TM25DTMSET		TM24DTMSET	
0x1000026X						TM25TSKOVFSEL		TM24TSKOVFSEL		TM25OFFSTR		TM24OFFSTR		TM25STR		TM24STR	
0x1000100X				PWMSEL0				OUTMD0				PWMIDPMD0				PWMMD0	
0x1000101X		BCSTR0C		PWMBC0C		BCSTR0B		PWMBC0B		BCSTR0A		PWMBC0A		BCSTR0		PWMBC0	
0x1000102X		PWMSET0C		TCMP0C		PWMSET0B		TCMP0B		PWMSET0A		TCMP0A		PWMSET0		TCMP0	
0x1000103X				PWM1RQCNT0C				PWM1RQCNT0B				PWM1RQCNT0A		PWMAD1RQCNT0		PWM1RQCNT0	
0x1000104X		DTMCNT0C		DTMSET0C		DTMCNT0B		DTMSET0B		DTMCNT0A		DTMSET0A		DTMCNT0		DTMSET0	
0x1000105X				PWMOFF0BST				PWMOFF0B				PWMOFF0A1RQ				PWMOFF0A	
0x1000106X		PWMDCNT0C		PWMDDAT0C		PWMDCNT0B		PWMDDAT0B		PWMDCNT0A		PWMDDAT0A				TSKOVFSEL0	
0x1000107X						PWMADSTSEL0B		PWMADST0B		PWMADSTSEL0A		PWMADST0A				PWMADBC0	
0x1000110X				PWMSEL1				OUTMD1								PWMMD1	
0x1000111X														BCSTR1		PWMBC1	
0x1000112X				TCMP1C				TCMP1B				TCMP1A		PWMSET1		TCMP1	
0x1000113X														PWMAD1RQCNT1		PWM1RQCNT1	PWM
0x1000114X		DTMCNT1C		DTMSET1C		DTMCNT1B		DTMSET1B		DTMCNT1A		DTMSET1A		DTMCNT1		DTMSET1	
0x1000115X				PWMOFF1BST				PWMOFF1B				PWMOFF1A1RQ				PWMOFF1A	
0x1000116X		PWMDCNT1C		PWMDDAT1C		PWMDCNT1B		PWMDDAT1B		PWMDCNT1A		PWMDDAT1A				TSKOVFSEL1	
0x1000117X						PWMADSTSEL1B		PWMADST1B		PWMADSTSEL1A		PWMADST1A				PWMADBC1	
0x1000120X				PWMSEL2				OUTMD2								PWMMD2	
0x1000121X														BCSTR2		PWMBC2	
0x1000122X				TCMP2C				TCMP2B				TCMP2A		PWMSET2		TCMP2	
0x1000123X														PWMAD1RQCNT2		PWM1RQCNT2	
0x1000124X		DTMCNT2C		DTMSET2C		DTMCNT2B		DTMSET2B		DTMCNT2A		DTMSET2A		DTMCNT2		DTMSET2	
0x1000125X				PWMOFF2BST				PWMOFF2B				PWMOFF2A1RQ				PWMOFF2A	
0x1000126X		PWMDCNT2C		PWMDDAT2C		PWMDCNT2B		PWMDDAT2B		PWMDCNT2A		PWMDDAT2A				TSKOVFSEL2	
0x1000127X						PWMADSTSEL2B		PWMADST2B		PWMADSTSEL2A		PWMADST2A				PWMADBC2	
0x1000130X												MFSYNTGT				MFSYNCNT	
0x1000131X				PWMOCDLYSET				PWMOBDLYSET				PWMOADLYSET				TM16DLYSET	
0x1000132X												PWM1DLYSET				TM17DLYSET	
0x1000133X												PWM2DLYSET				TM18DLYSET	
0x1000134X								TM25DLYSET				TM24DLYSET				TM19DLYSET	
0x1000135X		MFAPOUTEN						MFASTAT				MFATGT				MFACNT	Multi Feedback Assist
0x1000136X				PWMOCPTCSET				PWMOBCPTCSET				PWMOACPTCSET				TM16CPTCSET	
0x1000137X												PWM1CPTCSET				TM17CPTCSET	
0x1000138X												PWM2CPTCSET				TM18CPTCSET	
0x1000139X								TM25CPTCSET				TM24CPTCSET				TM19CPTCSET	
0x100013AX				ADTSTBLMTSET				ADTSTALMTSET				ADOSTBLMTSET				ADOSTALMTSET	
0x100013BX																AD2STLMTSET	
0x1000200X				ADST0				ANOCTR1B				ANOCTR1A				ANOCTR0	
0x1000201X				ANOCTR EGB				ANOCTR EGA				ANOCUTB				ANOCUTA	
0x1000202X				ANOUPB				ANOLOWB				ANOUPA				ANOLOWA	
0x1000203X								ANOERCB				ANOERCA				Reserved	
0x1000204X				ANOBUF03				ANOBUF02				ANOBUF01				ANOBUF00	
0x1000205X				ANOBUF07				ANOBUF06				ANOBUF05				ANOBUF04	
0x1000206X				ANOBUF11				ANOBUF10				ANOBUF09				ANOBUF08	
0x1000207X																	
0x1000208X				ANOBUFB7				ANOBUFB6				ANOBUFB5				ANOBUFB4	
0x1000209X																	
0x100020AX				ADST1				AN1CTR1B				AN1CTR1A				AN1CTR0	
0x100020BX				AN1CTR EGB				AN1CTR EGA				AN1CUTB				AN1CUTA	
0x100020CX				AN1UPB				AN1LOWB				AN1UPA				AN1LOWA	
0x100020DX								AN1ERCB				AN1ERCA				Reserved	A/D
0x100020EX				AN1BUF03				AN1BUF02				AN1BUF01				AN1BUF00	
0x100020FX				AN1BUF07				AN1BUF06				AN1BUF05				AN1BUF04	
0x1000210X				AN1BUF11				AN1BUF10				AN1BUF09				AN1BUF08	
0x1000211X																	
0x1000212X				AN1BUFB7				AN1BUFB6				AN1BUFB5				AN1BUFB4	
0x1000213X																	
0x1000214X				ADST2								AN2CTR1A				AN2CTR0	
0x1000215X								AN2CTR EGA				AN2CUTA1				AN2CUTA0	
0x1000216X																	
0x1000217X																Reserved	
0x1000218X				AN2BUF03				AN2BUF02				AN2BUF01				AN2BUF00	
0x1000219X				AN2BUF07				AN2BUF06				AN2BUF05				AN2BUF04	
0x100021AX				AN2BUF11				AN2BUF10				AN2BUF09				AN2BUF08	
0x100021BX				AN2BUF15				AN2BUF14				AN2BUF13				AN2BUF12	
0x100021CX				AN2BUF19				AN2BUF18				AN2BUF17				AN2BUF16	
0x1000300X																Reserved	その他

図2.5.11　レジスタマップ(MN103HFx7シリーズ) その2

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x3900000X	FWDAT15	FWDAT14	FWDAT13	FWDAT12	FWDAT11	FWDAT10	FWDAT09	FWDAT08	FWDAT07	FWDAT06	FWDAT05	FWDAT04	FWDAT03	FWDAT02	FWDAT01	FWDAT00	
0x3900001X	FWDAT31	FWDAT30	FWDAT29	FWDAT28	FWDAT27	FWDAT26	FWDAT25	FWDAT24	FWDAT23	FWDAT22	FWDAT21	FWDAT20	FWDAT19	FWDAT18	FWDAT17	FWDAT16	
0x3900002X	FWDAT47	FWDAT46	FWDAT45	FWDAT44	FWDAT43	FWDAT42	FWDAT41	FWDAT40	FWDAT39	FWDAT38	FWDAT37	FWDAT36	FWDAT35	FWDAT34	FWDAT33	FWDAT32	
0x3900003X	FWDAT63	FWDAT62	FWDAT61	FWDAT60	FWDAT59	FWDAT58	FWDAT57	FWDAT56	FWDAT55	FWDAT54	FWDAT53	FWDAT52	FWDAT51	FWDAT50	FWDAT49	FWDAT48	
0x390003EX					FEADDR							FWBC	FWADDR				
0x390003FX	Reserved				FRSUM	FRBLANK		FRPRO	FRSECCHK	FRSECPRG	FRERASE	FRPRG	FSUMDAT				
0x3900040X				FSTAT1				FSTAT0				Reserved				FCNT	FLASH
0x3900041X																FSTAT2	
0x3900080X						Reserved		Reserved				Reserved				FBEWER	
0x3900081X																	
0x3900082X		Reserved		FIRQ													
0x3900083X																	
0x3900084X																Reserved	
0x3900085X								Reserved									
0x3B10000X											Reserved		CHWAIT		CHCTR		キャッシュ制御

図2.5.12　レジスタマップ(MN103HFx7シリーズ) その3

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000800X	IVAR3						IVAR2				IVAR1				IVAR0		割込み ベクトル
0x0000801X	IVBR						IVAR6				IVAR5				IVAR4		
0x0000802X															Reserved		CPU制御
0x0000803X											Reserved						
0x0000804X								PRTCPUM			SISR				CPUM		
0x0000805X															Reserved		
0x0000810X	RCRTAR														RCRCTR		ROM コレクション
0x0000811X	RCR3AR				RCR2AR				RCR1AR				RCR0AR				
0x0000820X												RSTCTR		WDCTR		WDBC	ウォッチドッグタイマ
0x0000821X														Reserved		PRTWDT	
0x0000828X															CKCTR		クロックジェネレータ
0x0000829X																PRTCKGEN	
0x0000840X	Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		
0x0000850X		DM0CYC	DM0CNT		DM0DST				DM0SRC				DM0CTR				DMA制御
0x0000851X		DM1CYC	DM1CNT		DM1DST				DM1SRC				DM1CTR				
0x0000852X		DM2CYC	DM2CNT		DM2DST				DM2SRC				DM2CTR				
0x0000870X									Reserved		Reserved		Reserved		Reserved		
0x0000890X			G3ICR				G2ICR				Reserved				NMICR		割込み制御
0x0000891X			G7ICR				G6ICR				Reserved				G4ICR		
0x0000892X			G11ICR				G10ICR				G9ICR				G8ICR		
0x0000893X			G15ICR				G14ICR				G13ICR				G12ICR		
0x0000894X			G19ICR				G18ICR				G17ICR				G16ICR		
0x0000895X			G23ICR				G22ICR				G21ICR				G20ICR		
0x0000896X			G27ICR				G26ICR				G25ICR				G24ICR		
0x0000897X			G31ICR				G30ICR				G29ICR				G28ICR		
0x0000898X			G35ICR				G34ICR				G33ICR				G32ICR		
0x0000899X			G39ICR				G38ICR				G37ICR				G36ICR		
0x000089AX			G43ICR				G42ICR				G41ICR				G40ICR		
0x000089BX			G47ICR				G46ICR				G45ICR				G44ICR		
0x000089CX			G51ICR				G50ICR				G49ICR				G48ICR		
0x000089DX			G55ICR				G54ICR				G53ICR				G52ICR		
0x000089EX															G56ICR		
0x000089FX																	
0x00008A0X															IAGR		
0x00008A8X											EXTMD1				EXTMD0		
0x0000A00X	PF0UT	PE0UT	PD0UT	PC0UT	PB0UT	PA0UT	P90UT	P80UT	P70UT	P60UT	P50UT	P40UT	P30UT	P20UT	P10UT	P00UT	汎用ポート
0x0000A01X	PF1IN	PE1IN	PD1IN	PC1IN	PB1IN	PA1IN	P91IN	P81IN	P71IN	P61IN	P51IN	P41IN	P31IN	P21IN	P11IN	P01IN	
0x0000A02X	PFDIR	PEDIR	PDDIR	PCDIR	PBDIR	PADIR	P9DIR	P8DIR	P7DIR	P6DIR	P5DIR	P4DIR	P3DIR	P2DIR	P1DIR	P0DIR	
0x0000A03X	PFPLU	PEPLU	PDPLU	PCPLU	PBPLU	PAPLU	P9PLU	P8PLU	P7PLU	P6PLU	P5PLU	P4PLU	P3PLU	P2PLU	P1PLU	P0PLU	
0x0000A04X	P3MD				P2MD				P1MD				P0MD				
0x0000A05X	P7MD				P6MD				P5MD				P4MD				
0x0000A06X	PBMD				PAMD				P9MD				P8MD				
0x0000A07X	PFMD				PEMD				PDMD				PCMD				
0x0000A08X																	
0x0000A09X												P40DC	P30DC	P20DC		Reserved	
0x0000A0AX																	
0x0000A0BX	NF7CNT		NF6CNT		NF5CNT		NF4CNT		NF3CNT		NF2CNT		NF1CNT		NF0CNT		ノイズフィルタ
0x0000A0CX	NF15CNT		NF14CNT		NF13CNT		NF12CNT		NF11CNT		NF10CNT		NF9CNT		NF8CNT		
0x0000A0DX																	
0x0000A0EX																	
0x0000A0FX			IRQEDGESEL														
0x0000A10X				SC0RB				SC0STR			SC0MD3	SC0MD2			SC0MD1	SC0MD0	シリアルI/F
0x0000A11X												SC0SEL				SC0TB	
0x0000A12X			SC0IICSTR1	SC0IICSTR0			Reserved	SC0IICAD0			SC0IICMD3	SC0IICMD2			SC0IICMD1	SC0IICMD0	
0x0000A13X															SC0IICTB	SC0IICRB	
0x0000A14X				SC1RB				SC1STR			SC1MD3	SC1MD2			SC1MD1	SC1MD0	
0x0000A15X			LINRXCHKS	LINTXCHKS				LINERRSTAT			LINRXCTR	LINTXCTR				SC1TB	
0x0000A16X				SC2RB				SC2STR			SC2MD3	SC2MD2			SC2MD1	SC2MD0	
0x0000A17X																SC2TB	
0x0000A18X				SC3RB			SC3STR	SC3MD4			SC3MD3	SC3MD2			SC3MD1	SC3MD0	
0x0000A19X																SC3TB	
0x0000A1AX				SC4RB				SC4STR			SC4MD3	SC4MD2			SC4MD1	SC4MD0	
0x0000A1BX																SC4TB	
0x0000A1CX												SCINTSEL			SIFCLK1	SIFCLK0	
0x0000A1DX	Reserved				Reserved				Reserved						Reserved		
0x0000A1EX																Reserved	
0x0000A20X			TM3BR	TM2BR			TM1BR	TM0BR			TM3MD	TM2MD			TM1MD	TM0MD	8ビットタイマ
0x0000A21X				TM03EXPSC				TM03PSC			TM3BC	TM2BC			TM1BC	TM0BC	
0x0000A22X			TM7BR	TM6BR			TM5BR	TM4BR			TM7MD	TM6MD			TM5MD	TM4MD	
0x0000A23X				TM47EXPSC				TM47PSC			TM7BC	TM6BC			TM5BC	TM4BC	
0x0000A24X			TM11BR	TM10BR			TM9BR	TM8BR			TM11MD	TM10MD			TM9MD	TM8MD	
0x0000A25X				TM811EXPSC				TM811PSC			TM11BC	TM10BC			TM9BC	TM8BC	
0x0000A26X			TM15BR	TM14BR			TM13BR	TM12BR			TM15MD	TM14MD			TM13MD	TM12MD	
0x0000A27X				TM1215EXPSC				TM1215PSC			TM15BC	TM14BC			TM13BC	TM12BC	
0x0000A28X			TM29BR	TM28BR			TM27BR	TM26BR			TM29MD	TM28MD			TM27MD	TM26MD	
0x0000A29X				TM2629EXPSC				TM2629PSC			TM29BC	TM28BC			TM27BC	TM26BC	
0x0000A30X						TM21MDC		TM20MDC	TM21MDB	TM21MDA	TM20MDB	TM20MDA	TM21MD		TM20MD		16ビットタイマ
0x0000A31X	TM21CC		TM20CC		TM21CB		TM20CB		TM21CA		TM20CA		TM21BC		TM20BC		
0x0000A32X					TM21CAPCSEL		TM20CAPCSEL		TM21CAPBSEL		TM20CAPBSEL		TM21CAPASEL		TM20CAPASEL		
0x0000A33X									TM21IRQCNT		TM20IRQCNT		TM21STSEL		TM20STSEL		
0x0000A34X									TM21OFFSEL		TM20OFFSEL		TM21OFF		TM200FF		
0x0000A35X													TM21STR		TM20STR		
0x0000A36X						TM23MDC		TM22MDC	TM23MDB	TM23MDA	TM22MDB	TM22MDA	TM23MD		TM22MD		
0x0000A37X	TM23CC		TM22CC		TM23CB		TM22CB		TM23CA		TM22CA		TM23BC		TM22BC		
0x0000A38X					TM23CAPCSEL		TM22CAPCSEL		TM23CAPBSEL		TM22CAPBSEL		TM23CAPASEL		TM22CAPASEL		
0x0000A39X									TM23IRQCNT		TM22IRQCNT		TM23STSEL		TM22STSEL		
0x0000A3AX									TM23OFFSEL		TM22OFFSEL		TM23OFF		TM220FF		
0x0000A3BX													TM23STR		TM22STR		

図2.5.13　レジスタマップ(MN103HFx8シリーズ) その1

アドレス	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
0x0000A80X				MPCNT			PCNT										クロック制御
0x0000A81X																RSTFACT	リセット制御
0x0000A82X				PRT LVI				PRT WDT2				PRT CKMON				PRT CKCNT	レジスタプロテクト
0x0000A83X				CKMON STAT			CKMON SETU	CKMON SETL				CKMONEN					クロック監視
0x0000A84X											Reserved						
0x0000A85X								WD2CLR				WD2 MDSEL				WD2CTR	ウォッチドッグタイマ2
0x0000A86X																LVIMD	LVI
0x0000A90X								VGA2CTR1				VGA1CTR1				VGAOCTR1	VGA
0x0000A91X								VGA2CTR2				VGA1CTR2				VGAOCTR2	
0x0000A92X							VGA2CTR3				VGA1CTR3				VGAOCTR3		
0x0000A93X								Reserved				Reserved				Reserved	
0x0000AA0X								DAC2CTR				DAC1CTR				DACOCTR	DAC
0x0000AA1X							DAC2DRH	DAC2DRL			DAC1DRH	DAC1DRL			DAC0DRH	DACODRL	
0x0000AB0X								CMP2CTR				CMP1CTR				CMPOCTR	COMP
0x0000AB1X								CMPSEL								CMPSTR	
0x0000AFAX												Reserved				VGADSET	VGA
0x1000000X		TM17MDC		TM16MDC	TM17MDB	TM17MDA	TM16MDB	TM16MDA	TM17MD2		TM16MD2		TM17MD1		TM16MD1		16ビットタイマ
0x1000001X	TM17CB		TM17HRCNT		TM16CB		TM16HRCNT		TM17CA		TM16CA		TM17BC		TM16BC		
0x1000002X	TM17CAPCSEL		TM16CAPCSEL		TM17CAPBSEL		TM16CAPBSEL		TM17CAPASEL		TM16CAPASEL		TM17CC		TM16CC		
0x1000003X									TM17IRQCNT		TM16IRQCNT		TM17STSEL		TM16STSEL		
0x1000004X	TM17OFFBSEL		TM16OFFBSEL		TM17OFFB		TM16OFFB		TM17OFFASEL		TM16OFFASEL		TM17OFFA		TM16OFFA		
0x1000005X	TM17CHOPCNT		TM16CHOPCNT		TM17LEBSET		TM16LEBSET		TM17SFTSET		TM16SFTSET		TM17DTMSET		TM16DTMSET		
0x1000006X					TM17TSKOVFSEL		TM16TSKOVFSEL		TM17OFFSTR		TM16OFFSTR		TM17STR		TM16STR		
0x1000010X		TM19MDC		TM18MDC	TM19MDB	TM19MDA	TM18MDB	TM18MDA	TM19MD2		TM18MD2		TM19MD1		TM18MD1		
0x1000011X	TM19CB		TM19HRCNT		TM18CB		TM18HRCNT		TM19CA		TM18CA		TM19BC		TM18BC		
0x1000012X	TM19CAPCSEL		TM18CAPCSEL		TM19CAPBSEL		TM18CAPBSEL		TM19CAPASEL		TM18CAPASEL		TM19CC		TM18CC		
0x1000013X									TM19IRQCNT		TM18IRQCNT		TM19STSEL		TM18STSEL		
0x1000014X	TM19OFFBSEL		TM18OFFBSEL		TM19OFFB		TM18OFFB		TM19OFFASEL		TM18OFFASEL		TM19OFFA		TM18OFFA		
0x1000015X	TM19CHOPCNT		TM18CHOPCNT		TM19LEBSET		TM18LEBSET		TM19SFTSET		TM18SFTSET		TM19DTMSET		TM18DTMSET		
0x1000016X					TM19TSKOVFSEL		TM18TSKOVFSEL		TM19OFFSTR		TM18OFFSTR		TM19STR		TM18STR		
0x1000020X		TM25MDC		TM24MDC	TM25MDB	TM25MDA	TM24MDB	TM24MDA	TM25MD2		TM24MD2		TM25MD1		TM24MD1		
0x1000021X	TM25CB		TM25HRCNT		TM24CB		TM24HRCNT		TM25CA		TM24CA		TM25BC		TM24BC		
0x1000022X	TM25CAPCSEL		TM24CAPCSEL		TM25CAPBSEL		TM24CAPBSEL		TM25CAPASEL		TM24CAPASEL		TM25CC		TM24CC		
0x1000023X									TM25IRQCNT		TM24IRQCNT		TM25STSEL		TM24STSEL		
0x1000024X	TM25OFFBSEL		TM24OFFBSEL		TM25OFFB		TM24OFFB		TM25OFFASEL		TM24OFFASEL		TM25OFFA		TM24OFFA		
0x1000025X	TM25CHOPCNT		TM24CHOPCNT		TM25LEBSET		TM24LEBSET		TM25SFTSET		TM24SFTSET		TM25DTMSET		TM24DTMSET		
0x1000026X					TM25TSKOVFSEL		TM24TSKOVFSEL		TM25OFFSTR		TM24OFFSTR		TM25STR		TM24STR		
0x1000100X			PWMSEL0				OUTMD0				PWM1DPMD0				PWMMD0		PWM
0x1000101X	BCSTR0C		PWMBC0C		BCSTR0B		PWMBC0B		BCSTR0A		PWMBC0A		BCSTR0		PWMBC0		
0x1000102X	PWMSET0C		TCMP0C		PWMSET0B		TCMP0B		PWMSET0A		TCMP0A		PWMSET0		TCMP0		
0x1000103X			PWM1RQCNT0C				PWM1RQCNT0B				PWM1RQCNT0A		PWMAD1RQCNT0		PWM1RQCNT0		
0x1000104X	DTMCNT0C		DTMSET0C		DTMCNT0B		DTMSET0B		DTMCNT0A		DTMSET0A		DTMCNT0		DTMSET0		
0x1000105X			PWMOFF0BST				PWMOFF0B				PWMOFF0A1RQ				PWMOFF0A		
0x1000106X	PWMDCNT0C		PWMDDAT0C		PWMDCNT0B		PWMDDAT0B		PWMDCNT0A		PWMDDAT0A				TSKOVFSEL0		
0x1000107X					PWMADSTSEL0B		PWMADST0B		PWMADSTSEL0A		PWMADST0A				PWMADBC0		
0x1000110X			PWMSEL1				OUTMD1								PWMMD1		
0x1000111X													BCSTR1		PWMBC1		
0x1000112X			TCMP1C				TCMP1B				TCMP1A		PWMSET1		TCMP1		
0x1000113X													PWMAD1RQCNT1		PWM1RQCNT1		
0x1000114X	DTMCNT1C		DTMSET1C		DTMCNT1B		DTMSET1B		DTMCNT1A		DTMSET1A		DTMCNT1		DTMSET1		
0x1000115X			PWMOFF1BST				PWMOFF1B				PWMOFF1A1RQ				PWMOFF1A		
0x1000116X	PWMDCNT1C		PWMDDAT1C		PWMDCNT1B		PWMDDAT1B		PWMDCNT1A		PWMDDAT1A				TSKOVFSEL1		
0x1000117X					PWMADSTSEL1B		PWMADST1B		PWMADSTSEL1A		PWMADST1A				PWMADBC1		
0x1000120X			PWMSEL2				OUTMD2								PWMMD2		
0x1000121X													BCSTR2		PWMBC2		
0x1000122X			TCMP2C				TCMP2B				TCMP2A		PWMSET2		TCMP2		
0x1000123X													PWMAD1RQCNT2		PWM1RQCNT2		
0x1000124X	DTMCNT2C		DTMSET2C		DTMCNT2B		DTMSET2B		DTMCNT2A		DTMSET2A		DTMCNT2		DTMSET2		
0x1000125X			PWMOFF2BST				PWMOFF2B				PWMOFF2A1RQ				PWMOFF2A		
0x1000126X	PWMDCNT2C		PWMDDAT2C		PWMDCNT2B		PWMDDAT2B		PWMDCNT2A		PWMDDAT2A				TSKOVFSEL2		
0x1000127X					PWMADSTSEL2B		PWMADST2B		PWMADSTSEL2A		PWMADST2A				PWMADBC2		
0x1000130X											MFSYNTGT				MFSYNCNT		Multi Feedback Assist
0x1000131X			PWMOCDLYSET				PWMOBDLYSET				PWMOADLYSET				TM16DLYSET		
0x1000132X											PWM1DLYSET				TM17DLYSET		
0x1000133X											PWM2DLYSET				TM18DLYSET		
0x1000134X							TM25DLYSET				TM24DLYSET				TM19DLYSET		
0x1000135X		MFAPOUTEN					MFASTAT				MFATGT				MFACNT		
0x1000136X			PWMOCCPTCSET				PWMOBCPTCSET				PWMOACPTCSET				TM16CPTCSET		
0x1000137X											PWM1CPTCSET				TM17CPTCSET		
0x1000138X											PWM2CPTCSET				TM18CPTCSET		
0x1000139X							TM25CPTCSET				TM24CPTCSET				TM19CPTCSET		
0x100013AX			AD1STBLMTSET				AD1STALMTSET				ADOSTBLMTSET				ADOSTALMTSET		
0x100013BX															AD2STLMTSET		

図2.5.14　レジスタマップ(MN103HFx8シリーズ) その2

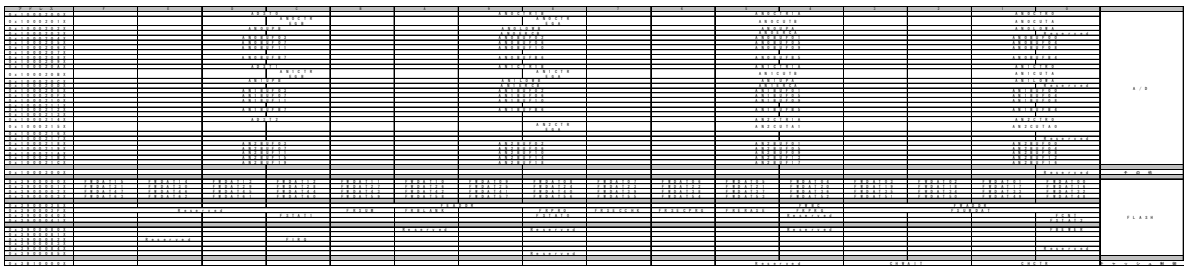


図2.5.15　レジスタマップ(MN103HFx8シリーズ) その3

2.6 フラッシュオプション

本LSIでは、フラッシュメモリ空間の0x4000_0050および0x4000_7FFFをフラッシュオプション領域に割り当てています。発振安定待ち後の内部リセット解除時にフラッシュオプション領域を参照し、その領域に設定された値をハードウェアにて自動的に読出し、各種機能の設定を行うことができます。本LSIをご使用の際は必ずフラッシュオプションの設定を行ってください。

フラッシュオプション領域には命令列を配置しないようにしてください。プログラム流用性の観点から、フラッシュオプションの予約領域(0x4000_0050～0x4000_007F)にはプログラムを配置しないことを推奨します。

フラッシュオプションは内部リセット解除時に読出されるため、動作中に書換えを行っても反映されません。

本LSIのフラッシュオプションには、ウォッチドッグタイマ2の制御許可機能と、内蔵フラッシュメモリのセクタスワップ制御機能があります。

■ ウォッチドッグタイマ2制御オプション (WDT2OP : 0x40000050)

bp	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	WD2OP2-0		

bp	ビット名	説明
7-3	-	-
2-0	WD2OP2-0	WD2MDSELレジスタの設定制御 010: 有効 010以外: 無効(ウォッチドッグタイマ2は常時動作)

WD2OP2-0ビットの機能の詳細は、【12.2 ウォッチドッグタイマ2の制御レジスタ】を参照してください。

■ セクタスワップ制御オプション (FSWAPOP : 0x40007FFF)

bp	7	6	5	4	3	2	1	0
ビット名	–	–	–	–	–	–	–	FSWAPOP

bp	ビット名	説明
7-1	–	–
0	FSWAPOP	内蔵フラッシュメモリのセクタスワップ機能の制御 0: セクタスワップ有効 1: セクタスワップ無効

内蔵フラッシュメモリのセクタスワップ機能の詳細は、【32.1.4 セクタスワップ機能】を参照してください。

2.7 キャッシュ

本CPUは、命令キャッシュを搭載しています。

命令キャッシュは、物理アドレスでアクセスされる物理キャッシュになっており、マッピング方式は 1 ウェイセットアソシアティブ方式です。また、命令キャッシュ容量は 4 Kバイトです。

命令キャッシュは、フラッシュメモリの動作速度とCPUの動作速度の差を吸収し、見掛け上のメモリアクセス速度を高速化します。命令キャッシュは、CPUが要求した命令/データをライン単位(16バイト)で記憶します。命令キャッシュがイネーブル状態であれば、キャッシャブル フラッシュメモリ空間に対する命令フェッチ/データリードアクセスはすべてキャッシングされます。ただし、キャッシャブル フラッシュメモリ空間に対するDMAリードアクセスは、キャッシングされません。

また、キャッシャブル フラッシュメモリ空間に対するデータライト/DMAデータライトアクセスはサポートされませんので、行わないでください。

なお、この章では本キャッシュを便宜上"命令キャッシュ"と表記していますが、上記のとおりキャッシャブル フラッシュメモリ空間にデータリードアクセスを行ったときも、そのデータはキャッシュ対象になります。

2.7.1 キャッシュの特長

CPUに内蔵されているキャッシュには以下の特長があります。

- マッピング方式として1ウェイセットアソシアティブ方式を採用
- 命令キャッシュ容量は 4 Kバイト
- キャッシュミスによるペナルティを最小化するため、ミスしたワードからリフィルを開始
- キャッシュ内容の一括無効化(インバリデート)が可能

2.7.2　キャッシュ関連レジスタ

キャッシュ関連レジスタの一覧を表2.7.1に示します。

表 2.7.1 キャッシュ関連レジスター覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
CHCTR	0x3B100000	R/W	16	キャッシュ制御レジスタ	II-39
CHWAIT	0x3B100002	R/W	16	Flash固定ウェイトカウントレジスタ	II-40

■ キャッシュ制御レジスタ (CHCTR : 0x3B100000) [16ビットアクセスレジスタ]

CHCTRレジスタは、キャッシュの動作を設定するレジスタです。キャッシュを用いるためには、CHCTRレジスタの設定とキャッシュの初期化が必要です。CHCTRレジスタによる制御が有効になるのは、CHCTRレジスタへの書込み命令がCPUパイプラインの書込みステージに移行する時点以降になります。

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-	Reserved	-	-	ICINV	-	ICBUSY	-	ICEN
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15-8	-	必ず"0"を読出します。
7	Reserved	必ず"0"に設定してください。
6-5	-	必ず"0"を読出します。
4	ICINV	命令キャッシュインバリデート 本ビットに"1"を書込むことにより、命令キャッシュのすべてのエントリを無効化します。この操作は、タグ部の全エントリのバリッドビット(V)をクリアすることにより行われます。読出し時は必ず"0"を読出します。
3	-	必ず"0"を読出します。
2	ICBUSY	命令キャッシュビジー 0 : 命令キャッシュ停止中 1 : 命令キャッシュ動作中 * 命令キャッシュが動作状態にあるか否かを示すビットです。 データ部やタグ部の内容を直接アクセスする際に確認が必要なビットです。
1	-	必ず"0"を読出します。
0	ICEN	命令キャッシュイネーブル 0 : 命令キャッシュディスエーブル 1 : 命令キャッシュイネーブル * 命令キャッシュを用いるか否かを設定するビットです。

キャッシュのインバリデートは、対象キャッシュをディスエーブルにし、対象キャッシュビジーがセットされていない("0"である)ことを確認して行ってください。

キャッシュのリフィル完了は、対象キャッシュをディスエーブルにし、対象キャッシュビジーがセットされていない("0"である)ことを確認して行ってください。

■ Flash固定ウェイトカウントレジスタ (CHWAIT : 0x3B100002) [16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-	-	-	-	WAIT				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-5	-	必ず"0"を読出します。
4-0	WAIT	Flash固定ウェイトカウント 00010-00110:Flash固定ウェイトカウント 上記以外:設定禁止

Flash固定ウェイトカウントの値を変更する場合、
　　Flash固定ウェイトカウント≧ MCLKの周波数(MHz) / 20
を満たす値に設定してください。また、設定値の範囲は2～6としてください。この範囲外の値は設定禁止です。

2.7.3　命令キャッシュ

■ 命令キャッシュ構成

命令キャッシュは、4 Kバイトの容量を持ち、マッピング方式として 1 ウェイセットアソシアティブ方式を採用しています。1 個のデータ部と 1 個のタグ部から構成されています。また、データ部はキャッシュデータ空間、タグ部はCPU制御レジスタ空間2にマッピングされており、ソフトウェアで直接読出し/書込みすることも可能です。

・データ部

データ部は、16バイト単位で命令を保持します。データ部のラインサイズは16バイトであり、エントリ数は 256 です。

キャッシャブル フラッシュメモリから命令キャッシュへの命令転送は16バイト(128ビット)単位で、命令キャッシュからCPUへの命令転送は 64ビット単位で行われます。

リセット時、データ部の内容は不定です。

・タグ部

タグ部は、命令キャッシュアドレスのエントリアドレスに対応した 256 のエントリを持ち、各エントリは、命令アドレスのビット 18 ～ 12 (7ビット)を格納するタグアドレスフィールド(TADD)、有効なエントリであるかどうかを示すバリッドビット(V)から構成されています。リセット時、タグアドレスフィールド(TADD)、バリッドビット(V)はクリアされず、キャッシュ制御レジスタ(CHCTR)内の命令キャッシュインバリデートビットによりクリアします。

リセット時、タグ部の内容は不定です。

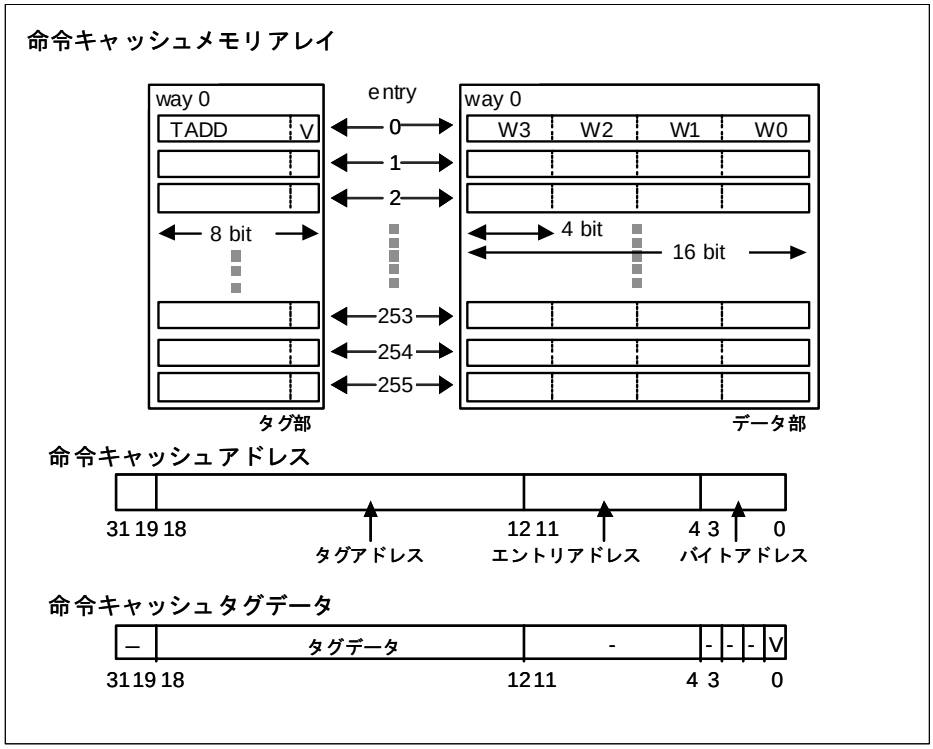


図2.7.1　命令キャッシュの構成

■ 命令キャッシュの動作

・初期化

命令キャッシュは、リセット時にはディスエーブルになります。命令キャッシュをイネーブルにするには、キャッシュ制御レジスタ(CHCTR)の命令キャッシュインバリデートビット(ICINV)をセットして全エントリを無効化した後、命令キャッシュイネーブルビット(ICEN)をセットします。命令キャッシュインバリデートにより全エントリの無効化が完了するまでには(エントリ数+2)サイクルを要します。以下に初期化ルーチンの例を示します。なお、キャッシュ制御レジスタ(CHCTR)による制御が有効になるのは、キャッシュ制御レジスタ(CHCTR)への書込み命令がCPUパイプラインの書込みステージに移行する時点以降に発生する命令フェッチからになることに注意してください。

[リセット直後に初期化する場合]

```
mov             0x3B100000,a0
mov             0x0010,d0
movhu           d0,(a0)             ;命令キャッシュをインバリデート(初期化)
setlb
mov             (a0),d0
btst            0x04,d0             ;命令キャッシュ インバリデート完了チェック
lne
mov             0x0001,d0
movhu           d0,(a0)             ;命令キャッシュをイネーブル
```

[動作中に命令キャッシュを初期化する場合]

```
mov             0x3B100000,a0
mov             (a0),d0
and             0xFFFE,d0
movhu           d0,(a0)             ;命令キャッシュをディスエーブル
setlb
mov             (a0),d0
btst            0x04,d0             ;命令キャッシュビジーチェック
lne
or              0x0010,d0
movhu           d0,(a0)             ;命令キャッシュをインバリデート(初期化)
```

・読出し動作

(1) キャッシュヒット動作

命令キャッシュがイネーブル時に命令キャッシュのキャッシャブル空間に対する命令フェッチを行うと、命令フェッチアドレスのタグエントリアドレス部をアドレスとして命令キャッシュタグ部をアクセスします。アクセスされたエントリのタグアドレスフィールド(TADD)の値が命令フェッチアドレスのタグフィールド部の値と一致し、かつ、そのエントリのバリッドビット(V)がセットされている("1"である)場合、命令キャッシュがヒットしたと言います。

命令キャッシュがヒットすると、データ部の対応するエントリ(ライン)から命令をCPUに送ります。

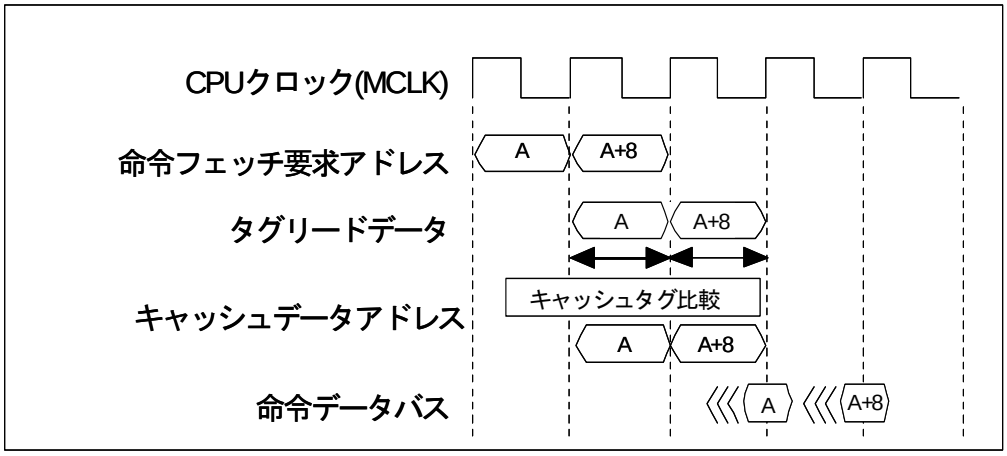


図2.7.2　命令キャッシュヒット時の動作

(2) キャッシュミス動作

命令フェッチアドレスのタグエントリアドレス部をアドレスとして命令キャッシュタグ部をアクセスし、アクセスされたエントリのタグアドレスフィールド(TADD)の値が命令フェッチアドレスのタグフィールド部の値と一致しない、または、一致してもそのエントリのバリッドビット(V)がセットされていない(″0″である)場合、命令キャッシュがミスしたと言います。

命令キャッシュがミスすると、キャッシャブル フラッシュメモリが命令フェッチの対象になります。キャッシャブル フラッシュメモリに対して命令フェッチを行うと同時にその命令をキャッシングするためのエントリ(ライン)をキャッシュ上に確保する必要があります。

次に、フラッシュメモリからキャッシュメモリ内に1ライン分の命令を取り込むバスアクセス(リフィル)を起動します。リフィルは、アクセスアドレスを含む8バイトから始まり、1ライン分のデータ転送のために8バイト×2回のバースト転送を行います。リフィルシーケンスでは、タグ部のエントリ内の対象ラインを更新します。また、同時にCPUへ命令が渡されます。キャッシャブル フラッシュメモリから読み出された命令は8バイト単位でキャッシュメモリおよびCPUに渡され、実行に必要なバイト数が渡された時点でCPUは動作を再開します。

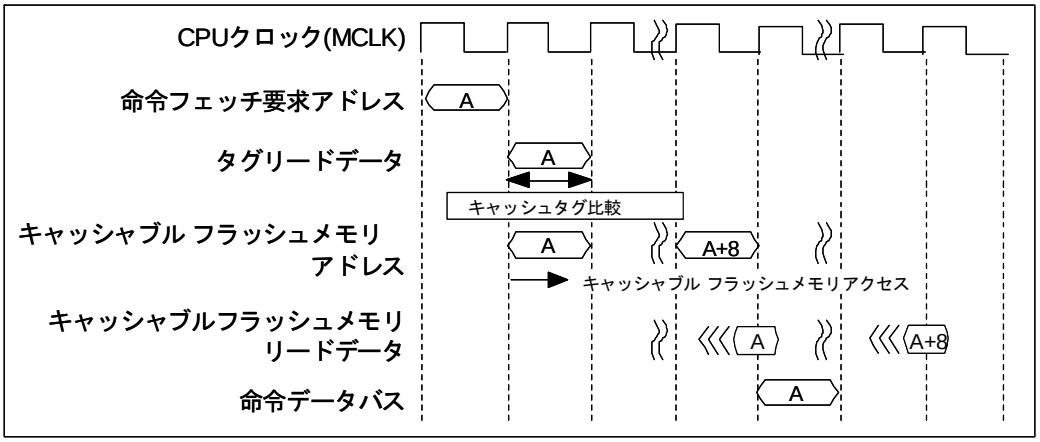


図2.7.3　命令キャッシュミス時の動作

■ 命令キャッシュエントリのアドレス割付け

命令キャッシュのデータ部は、制御レジスタ空間にマッピングされており、直接読出し/書込みできます。アクセスサイズはワード(32ビット)です。命令キャッシュとして使用している状態でデータ部の内容を書換えると、キャッシャブル フラッシュメモリとキャッシュの内容の一致がとれなくなるので、注意が必要です。

・命令キャッシュデータ部

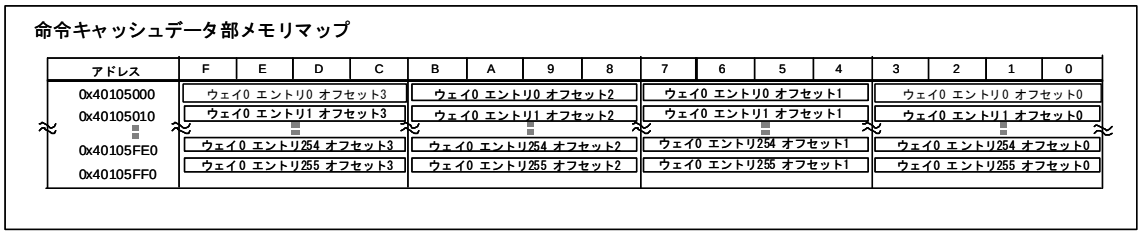


図2.7.4　命令キャッシュデータ部のアドレス割付け

2.8 ROMコレクション機能

本LSIは、4チャネルのROMコレクション機能を搭載しています。ROMコレクション機能は、命令フェッチ可能領域に配置された命令に誤りがあった場合に、それを修正して正しい命令を実行する機能です。あらかじめ設定したアドレスとプログラムカウンタが一致すると、代替プログラムへ制御が移ります。

2.8.1 ROMコレクション関連レジスタ

ROMコレクション関連レジスタの一覧を表2.8.1に示します。

表 2.8.1 ROM コレクション関連レジスター覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
RCRCTR	0x00008100	R/W	8,16	ROMコレクション制御レジスタ	II-46
RCRTAR	0x00008108	R/W	32	ROMコレクションテーブルアドレスレジスタ	II-47
RCR0AR	0x00008110	R/W	32	ROMコレクション0アドレスレジスタ	II-48
RCR1AR	0x00008114	R/W	32	ROMコレクション1アドレスレジスタ	II-48
RCR2AR	0x00008118	R/W	32	ROMコレクション2アドレスレジスタ	II-48
RCR3AR	0x0000811C	R/W	32	ROMコレクション3アドレスレジスタ	II-48

■ ROMコレクション制御レジスタ (RCRCTR : 0x00008100) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-	-	-	-	-	RC3EN	RC2EN	RC1EN	RC0EN
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-4	-	必ず"0"を読出します。
3	RC3EN	ROMコレクションチャネル3イネーブル 0 : 禁止 1 : 許可
2	RC2EN	ROMコレクションチャネル2イネーブル 0 : 禁止 1 : 許可
1	RC1EN	ROMコレクションチャネル1イネーブル 0 : 禁止 1 : 許可
0	RC0EN	ROMコレクションチャネル0イネーブル 0 : 禁止 1 : 許可

■ ROMコレクションテーブルアドレスレジスタ(RCRTAR : 0x00008108) [32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	RCRTAD31-16															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	RCRTAD15-2														-	-
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

bp	ビット名	説明
31-2	RCRTAD31-2	ROMコレクションヒット時の分岐先アドレスを格納したテーブルの先頭アドレスを設定してください。
1-0	-	必ず"0"を読出します。

ROMコレクションのチャネルnに設定したアドレスと処理対象の命令のアドレスが一致すると、CPUはRCRTARレジスタに設定されたアドレス+ (n×4)番地に格納されたアドレスに分岐します。

■ ROMコレクションnアドレスレジスタ (RCRnAR) [32ビットアクセスレジスタ]
RCR0AR: 0x00008110, RCR1AR: 0x00008114, RCR2AR: 0x00008118, RCR3AR: 0x0000811C

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	RCRnAD31-16															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	RCRnAD15-0															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
31-0	RCRnAD31-0	ROMコレクションチャネルnでROMコレクションを行う命令のアドレスを設定してください。

ROMコレクションを行う命令の命令長が2バイト以上である場合、RCRnARレジスタへは、命令の1バイト目のアドレスを設定してください。

RCRnARレジスタに、ROMコレクションヒット時の分岐先アドレスを設定しないでください。

2.8.2　ROMコレクションの動作

ROMコレクションは、あらかじめ設定した値とプログラムカウンタが一致すると、処理対象命令を実行せず代替プログラムに制御を移すことで、ユーザプログラムの訂正を実現します。

RCRnARレジスタの設定値を比較し、処理対象命令が修正すべき命令であるかを命令実行前に検出します。修正すべき命令が検出された場合には、RCRTARレジスタ + (チャネル番号×4)番地のメモリに格納された値に分岐することで、ユーザプログラムから代替プログラムに制御を移します。

ROMコレクション機能は 4 チャネル備えており、チャネルごとに一つのユーザプログラムを修正できます。各チャネルは、RCRnARレジスタを持ち、修正すべき命令のアドレスを格納します。

複数のチャネルが同時にヒットした場合は、チャネル番号の最も小さいものが優先されます。

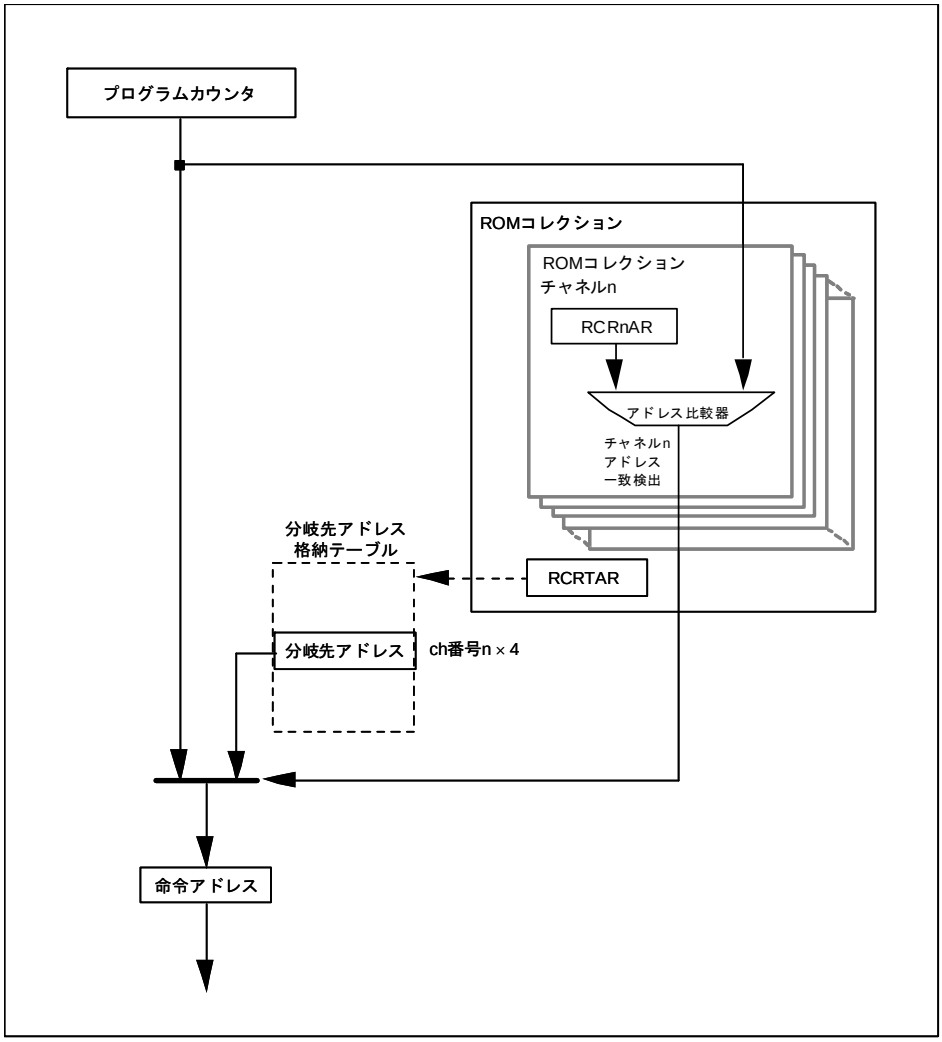


図2.8.1　ROMコレクション動作

2.8.3　ROMコレクションの設定例

ROMコレクションの設定は、以下の手順に従って行ってください。

1. ROMコレクションアドレス設定

   ROMコレクションアドレスレジスタに、ROMコレクションの対象アドレスを設定します。

2. ROMコレクションテーブルアドレス設定

   ROMコレクションテーブルアドレスレジスタに、ROMコレクションヒット時の分岐先を格納したテーブルアドレスの先頭アドレスを設定します。

3. ROMコレクションの有効化

   有効にしたいROMコレクションのチャネルに対応するROMコレクション制御レジスタのビットを1に設定します。

■ ROMコレクション設定 / 解除方法

0x40000300番地のプログラムを0x40000501番地の代替プログラムに、また、0x40010010番地のプログラムを0x40010700番地の代替プログラムに置き換えるための設定例を、以下に示します。プログラムを番地の代替プログラムに、番地のプログラムを番地の代替プログラムに置換えるための設定例を、以下に示します。

(1) ROMコレクション設定プログラム

```
        :
        mov     RCR0AR,a0
        mov     0x40000300,(a0)         ; チャネル0のROMコレクションアドレス設定
        mov     0x40010010,(0x4,a0)     ; チャネル1のROMコレクションアドレス設定
        mov     table,d0
        mov     d0,(RCRTAR)             ; ROMコレクションテーブルアドレス設定
        movb    0x3,d0
        movbu   d0,(RCRCTR)             ; チャネル0と1を有効
        :
```

(2) ROMコレクションテーブル

```
        align   4
table:  dd
        dd      0x40000501              ; チャネル０ヒット時の代替プログラムの先頭番地
        :       0x40010700              ; チャネル１ヒット時の代替プログラムの先頭番地
```

ROMコレクション解除は、無効にしたチャネルに対応するROMコレクション制御レジスタ(RCRCTR)のビットへ、0x0を設定してください。

RCRTARレジスタ、RCRnARレジスタの設定を変更する場合は、一旦ROMコレクションの解除を行ってから設定を変更してください。

第3章　　拡張演算命令

3

3.1　拡張演算器の概要

本LSIでは、高速乗算、高速除算、平方根、三角関数、絶対値、飽和演算、積和演算、さらにはインバータ制御向けに3相/2相変換、2相/3相変換、ローパスフィルタ、PI制御演算の拡張演算命令を用意しています。これらの拡張演算命令を使用することにより、目的の処理を高速に行うことが可能となります。

CPUと拡張演算器のブロック図を図3.1.1に示します。

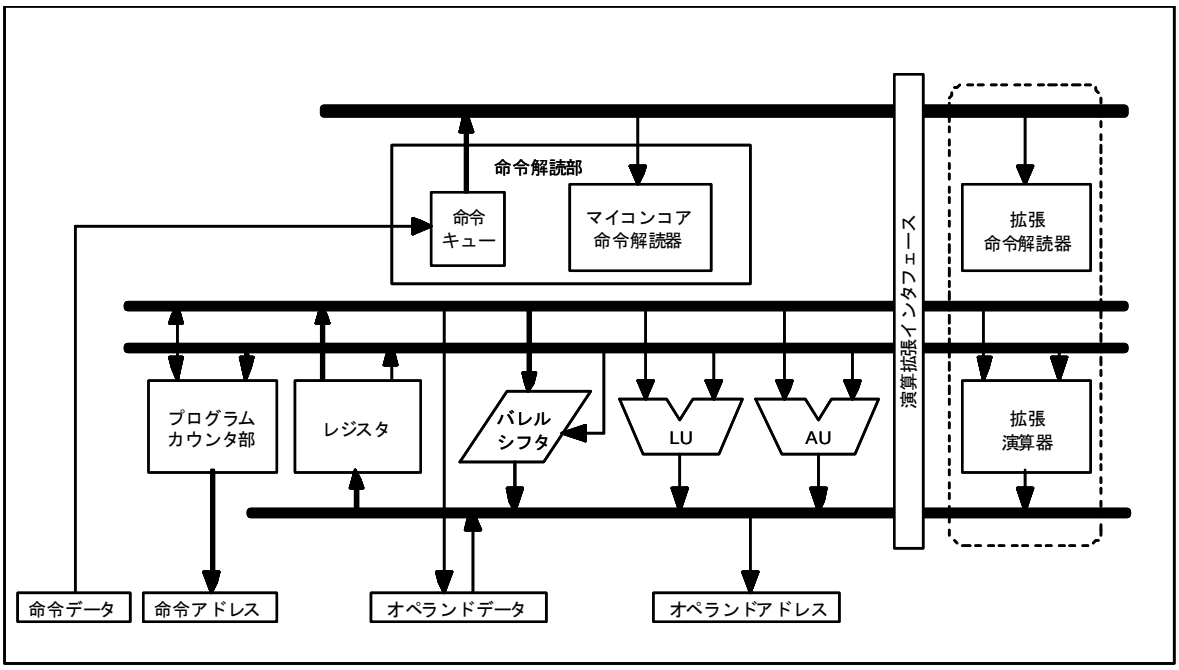


図3.1.1　CPUと拡張演算器のブロック図

3.2 拡張演算命令専用のレジスタセット

拡張演算器には、CPUのレジスタセット(【2.2 レジスタセット】)とは別に、拡張演算命令専用のレジスタセット(拡張レジスタ)があります。拡張レジスタには固有のアドレスが割当てられており、拡張演算命令によってアドレスを指定し、拡張レジスタの参照や設定を行えます。

拡張演算命令専用の拡張レジスター覧を表3.2.1に示します。

表 3.2.1 拡張演算命令専用の拡張レジスター覧

レジスタ略称	レジスタ名称	アドレス	有効データ幅	初期値	レジスタ値が変更される命令
MDRQ	高速乗算 演算結果(上位32ビット)格納レジスタ	0x00	32	0x00000000	MULQ、MULQU、PUTX、PUTACX
DATOVF	オーバフローフラグレジスタ	0x01	6	0x00	LPF、CH32V、CH23V、PIC、MACN、CLRMAC、PUTACX
LPFKD	ローパスフィルタ Kf値レジスタ	0x02	32	0x00000000	PUTLPFKX、PUTACX
PIKID	PI制御 Ki値レジスタ	0x03	32	0x00000000	PUTPIKX、PUTACX
PIKPD	PI制御 Kp値レジスタ	0x04	32	0x00000000	PUTPIKX、PUTACX
PILMD	PI制御 limit値レジスタ	0x05	32	0x00000000	PUTPILMX、PUTACX
CHKAD	行列変換 Ka値レジスタ	0x06	32	0x00000000	PUTCHKX、PUTACX
CHKBD	行列変換 Kb値レジスタ	0x07	32	0x00000000	PUTCHKX、PUTACX
CHKCD	行列変換 Kc値レジスタ	0x08	32	0x00000000	PUTCHKX、PUTACX
SIND	sin演算結果格納レジスタ	0x09	16	0x0000	TRIG、PUTACX
COSD	cos演算結果格納レジスタ	0x0A	16	0x0000	TRIG、PUTACX
CH32IAD	3-2変換 演算結果(Ia値)格納レジスタ	0x0B	32	0x00000000	CH32V、PUTACX
CH32IBD	3-2変換 演算結果(Ib値)格納レジスタ	0x0C	32	0x00000000	CH32V、PUTACX
CH23VAD	2-3変換 演算結果(Va値)格納レジスタ	0x0D	32	0x00000000	CH23V、PUTACX
CH23VBD	2-3変換 演算結果(Vb値)格納レジスタ	0x0E	32	0x00000000	CH23V、PUTACX
CH23VCD	2-3変換 演算結果(Vc値)格納レジスタ	0x0F	32	0x00000000	CH23V、PUTACX
PIUD	PI制御 演算結果(U値)格納レジスタ	0x10	32	0x00000000	PIC、PUTACX
PISTND	PI制御 演算結果(STN値)格納レジスタ	0x11	32	0x00000000	PIC、PUTACX
SLMDL	飽和演算 下限値レジスタ	0x12	32	0x00000000	PUTACX
SLMDH	飽和演算 上限値レジスタ	0x13	32	0x00000000	PUTACX
MCRL	積和演算 演算結果(下位32ビット)格納レジスタ	0x14	32	0x00000000	MACN、CLRMAC、PUTACX
MCRH	積和演算 演算結果(上位32ビット))格納レジスタ	0x15	32	0x00000000	MACN、CLRMAC、PUTACX

3.2.1　拡張レジスタの仕様

拡張レジスタについて、表3.2.1の順に説明します。

■ 高速乗算 演算結果(上位32ビット)格納レジスタ(MDRQ:0x00)

MDRQレジスタは、MULQ命令またはMULQU命令の64ビット乗算結果の上位32ビットを格納します。

■ オーバフローフラグレジスタ(DATOVF:0x01)

DATOVFレジスタは、LPF命令、CH32V命令、CH23V命令、PIC命令、MACN命令で検出されたオーバフロー情報とリミット制御実行情報を格納します。

bp	7	6	5	4	3	2	1	0
ビット名	-	-	MACOVF	PICLIMIT	PICOVF	CH23VOVF	CH32VOVF	LPFOVF

bp	ビット名	説明
7-6	-	-
5	MACOVF	MACN命令のオーバフロー検出 0:未検出 1:検出
4	PICLIMIT	PIC命令のリミット制御検出 0:未検出 1:検出
3	PICOVF	PIC命令のオーバフロー検出 0:未検出 1:検出
2	CH23VOVF	CH23V命令のオーバフロー検出 0:未検出 1:検出
1	CH32VOVF	CH32V命令のオーバフロー検出 0:未検出 1:検出
0	LPFOVF	LPF命令のオーバフロー検出 0:未検出 1:検出

■ ローパスフィルタ Kf値レジスタ(LPFKD:0x02)

LPFKDレジスタは、LPF命令で使用するKf値をPUTLPFKX命令で設定します。

■ PI制御 Ki、Kp値レジスタ(PIKID:0x03、PIKPD:0x04)

PIKIDレジスタ、PIKPDレジスタは、PIC命令で使用するKi値、Kp値をPUTPIKX命令で設定します。

■ PI制御 limit値レジスタ(PILMD:0x05)

PILMDレジスタは、PIC命令で使用するlimit値をPUTPILMX命令で設定します。

■ 行列変換 Ka、Kb、Kc値レジスタ(CHKAD:0x06、CHKBD:0x07、CHKCD:0x08)

CHKADレジスタ、CHKBDレジスタおよびCHKCDレジスタは、CH32V命令またはCH23V命令で使用するKa値、Kb値およびKc値を、PUTCHKX命令で設定します。

■ sin演算結果格納レジスタ(SIND:0x09)

SINDレジスタは、SINH命令の演算結果(16ビット)を格納します。GETACX命令でSINDレジスタを読出す場合、16ビットデータを符号拡張した32ビットデータをDnに格納します。

■ cos演算結果格納レジスタ(COSD:0x0A)

COSDレジスタは、COSH命令の演算結果(16ビット)を格納します。GETACX命令でCOSDレジスタを読出す場合、16ビットデータを符号拡張した32ビットデータをDnに格納します。

■ 3-2変換 演算結果(Ia値、Ib値)格納レジスタ(CH32IAD:0x0B、CH32IBD:0x0C)

CH32IAD レジスタ、CH32IBDレジスタは、CH32V命令の演算結果のIa値、Ib値を格納します。

■ 2-3変換 演算結果(Va値、Vb値、Vc値)格納レジスタ(CH23VAD:0x0D、CH23VBD:0x0E、CH23VCD:0x0F)

CH23VAD レジスタ、CH23VBD レジスタおよびCH23VCDレジスタは、CH23V命令の演算結果のVa値、Vb値、Vc値を格納します。

■ PI制御 演算結果(U値、STN値)格納レジスタ(PIUD:0x10、PISTND:0x11)

PIUDレジスタとPISTNDレジスタは、PIC命令の演算結果のU値、STN値を格納します。

■ 飽和演算 下限値、上限値レジスタ(SLMDL:0x12、SLMDH:0x13)

SLMDLレジスタ、SLMDHレジスタは、SAT命令で使用する下限値、上限値をそれぞれPUTACX命令で設定します。

■ 積和演算 演算結果格納レジスタ(MCRL:0x14、MCRH:0x15)

MCRLレジスタ、MCRHレジスタは、MACN命令の64ビット積和演算結果を格納します。

3.3　拡張演算命令セット

拡張演算器の拡張演算命令は、以下の2種類あります。

・udf00～udf15命令

データレジスタ、拡張レジスタの値あるいは即値を拡張演算器に転送し、演算結果をデータレジスタに格納します。

・udf20～udf35命令

データレジスタ、拡張レジスタの値あるいは即値を拡張演算器へ転送のみ行います。UDF20～UDF35命令の演算結果は拡張レジスタに格納されます。

3.3.1　記号説明

本節の説明で使用する記号を以下に示します。

OP ：　命令オペレーション
Am, An ：　アドレスレジスタ(m, n=3～0)
Dm, Dn ：　データレジスタ(m, n=3～0)
SP ：　スタックポインタ
imm ：　即値(一般的な意味として使用)
imm8 ：　8 ビット即値
imm16 ：　16 ビット即値
imm32 ：　32 ビット即値
d8 ：　8 ビットディスプレースメント
d16 ：　16 ビットディスプレースメント
d32 ：　32 ビットディスプレースメント
abs16 ：　16 ビット絶対
abs32 ：　32 ビット絶対
MDR ：　乗除算レジスタ
LAR ：　ループアドレスレジスタ
PSW ：　プロセッサステータスワード
PC ：　プログラムカウンタ
( ) ：　間接アドレッシング
regs ：　複数レジスタ指定

フラグ変化の表中で用いる記号を以下に示します。"フラグ"は、PSW における下位4ビット(V、C、N、Z)の総称です。

-:　フラグ変化なし
+:　フラグ変化あり
*:　不定
0:　リセット
1:　セット

3.3.2　拡張演算命令の仕様

拡張演算命令の仕様について、表3.4.5の順に説明します。

■ MULQ(符号付き高速乗算命令)

[命令イメージ]

MULQ Dm,Dn
MULQI imm,Dn

[アセンブラ・ニーモニック]

udf00 Dm,Dn
udf00 imm8,Dn　　:imm8は符号拡張8ビット整数
udf00 imm16,Dn　　:imm16は符号拡張16ビット整数
udf00 imm32,Dn

[オペレーション]

Dm×Dn→{MDRQ,Dn}　　:即値命令の場合はDm=imm

拡張演算器の乗算器を用いて高速に乗算を行います。Dm(符号付き32ビット整数 : 被乗数)または imm(符号拡張32ビット整数 : 被乗数)とDn(符号付き32ビット整数 : 乗数)の内容を乗算し、結果(64ビット)の上位32ビットを高速乗算用レジスタMDRQに、下位32ビットをDnに格納します。

[フラグ変化]

フラグ	変化	条件
V	0	常に0となります
C	0	常に0となります
N	+	結果の下位32ビットのMSBが1の場合1、それ以外は0になります
Z	+	結果の下位32ビットが"0"の場合1、それ以外は0になります

■ MULQU（符号なし高速乗算命令）

[命令イメージ]

MULQU Dm,Dn
MULQIU imm,Dn

[アセンブラ･ニーモニック]

udf01 Dm,Dn
udfu01 imm8,Dn　:imm8はゼロ拡張8ビット整数
udfu01 imm16,Dn　:imm16はゼロ拡張16ビット整数
udfu01 imm32,Dn

[オペレーション]

Dm×Dn→{MDRQ,Dn}:即値命令の場合はDm=imm

拡張演算器の乗算器を用いて高速に乗算を行います。Dm(符号なし32ビット整数 : 被乗数)またはimm(ゼロ拡張32ビット整数 : 被乗数)とDn(符号なし32ビット整数 : 乗数)の内容を乗算し、結果(64ビット)の上位32ビットを高速乗算用レジスタMDRQに、下位32ビットをDnに格納します。

[フラグ変化]

フラグ	変化	条件
V	0	常に0となります
C	0	常に0となります
N	+	結果の下位32ビットのMSBが1の場合1、それ以外は0になります
Z	+	結果の下位32ビットが"0"の場合1、それ以外は0になります

■ PUTX（高速乗算用レジスタ転送命令）

[命令イメージ]

PUTX Dm
PUTXI imm

[アセンブラ･ニーモニック]

udf20 Dm,Dn
udf20 imm8,Dn　　:imm8は符号拡張8ビットデータ
udf20 imm16,Dn　:imm16は符号拡張16ビットデータ
udf20 imm32,Dn

[オペレーション]

Dm→MDRQ　　:即値命令の場合はDm=imm

Dmの内容もしくはimmを高速乗算用レジスタMDRQに転送します。immがimm8もしくはimm16の場合符号拡張した32ビットデータを高速乗算用レジスタMDRQに転送します。

[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

[プログラミング上の注意]

udf20 Dm,DnまたはudF20 imm,Dnで実行した場合、Dnを無視します。

■ GETX（高速乗算用レジスタ転送命令）

[命令イメージ]

GETX Dn

[アセンブラ･ニーモニック]

udf15 Dn,Dn

[オペレーション]

MDRQ→Dn

高速乗算用レジスタMDRQの内容をDnに転送します。

[フラグ変化]

フラグ	変化	条件
V	0	常に0となります
C	0	常に0となります
N	+	転送結果のMSBが1の場合1、それ以外は0になります
Z	+	転送結果が0の場合1、それ以外は0になります

[プログラミング上の注意]

udf15 Dm,Dnで実行した場合、Dmを無視します。udf15 imm8,Dn、udf15 imm16,Dn、udf15 imm32,Dnは動作を保証しません。また、この場合、システムエラー割込みは発生しません。

■ DIVS（符号付き剰余なし除算命令）

[命令イメージ]

DIVS Dm,Dn
DIVSI imm,Dn

[アセンブラ･ニーモニック]

udf02 Dm,Dn
udf02 imm8,Dn　　:imm8は符号拡張8ビット整数
udf02 imm16,Dn　:imm16は符号拡張16ビット整数
udf02 imm32,Dn

[オペレーション]

Dn÷Dm→Dn　　:即値命令の場合はDm=imm

拡張演算器内の除算器を用いて除算を実行します。Dn(符号付き32ビット整数 ： 被除数)をDm(符号付き32ビット整数 ： 除数)またはimm(符号拡張32ビット整数 ： 除数)の内容で除算した結果(符号付き32ビット整数 ： 商)をDnに格納します。

演算前のDnに格納されている被除数に対して、符号付きとして値が有意である範囲を判定し(起点はLSBで判定単位は1バイト)、その有意な値が含まれている範囲のみが演算対象となります。

つまり、Dnの値の有意である範囲が小さいほど高速に演算結果を求められます。

本命令のオーバフロー条件は以下の2通りとなります。

・除数がゼロの場合(Dm=0)

・商が符号付き32ビット整数で表現できない場合(組み合わせは一つ)

0x80000000 ÷ FFFFFFFF = 0x80000000

[フラグ変化]

フラグ	変化	条件
V	+	商が符号付き32ビットで表現できないまたは除数が0の場合1、それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

[サイクル数]

アセンブラ･ニーモニック	備考	サイクル数
udf02 Dm,Dn udf02 imm8,Dn udf02 imm16,Dn	被除数Dnが0	3
	除数Dmまたはimm8/16が0	3
	被除数Dnが符号付きとして1バイトで表現できる値	4
	被除数Dnが符号付きとして2バイトで表現できる値	6
	被除数Dnが符号付きとして3バイトで表現できる値	8
	被除数Dnが符号付きとして4バイトで表現できる値	10

アセンブラ･ニーモニック	備考	サイクル数
udf02 imm32,Dn	被除数Dnが0	4
	除数imm32が0	4
	被除数Dnが符号付きとして1バイトで表現できる値	5
	被除数Dnが符号付きとして2バイトで表現できる値	7
	被除数Dnが符号付きとして3バイトで表現できる値	9
	被除数Dnが符号付きとして4バイトで表現できる値	11

■ DIVSU（符号なし剰余なし除算命令）

[命令イメージ]

DIVSU Dm,Dn
DIVSIU imm,Dn

[アセンブラ･ニーモニック]

udf03 Dm,Dn
udfu03 imm8,Dn   :imm8はゼロ拡張8ビット整数
udfu03 imm16,Dn :imm16はゼロ拡張16ビット整数
udfu03 imm32,Dn

[オペレーション]

Dn÷Dm→Dn   :即値命令の場合はDm=imm

拡張演算器内の除算器を用いて除算を実行します。Dn(符号なし32ビット整数 : 被除数)をDm(符号なし32ビット整数 : 除数)またはimm(ゼロ拡張32ビット整数 : 除数)の内容で除算した結果(符号付き32ビット整数 : 商)をDnに格納します。

演算前のDnに格納されている被除数に対して、符号なしとして値が有意である範囲を判定し(起点はLSBで判定単位は1バイト)、その有意な値が含まれている範囲のみが演算対象となります。

つまり、Dnの値の有意である範囲が小さいほど高速に演算結果を求められます。

本命令のオーバフロー条件は以下の1通りとなります。

・除数がゼロの場合(Dm=0)

[フラグ変化]

フラグ	変化	条件
V	+	除数が0の場合1、それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

[サイクル数]

アセンブラニーモニック	備考	サイクル数
udf03 Dm,Dn udfu03 imm8,Dn udfu03 imm16,Dn	被除数Dnが0	3
	除数Dmまたはimm8/16が0	3
	被除数Dnが符号なしとして1バイトで表現できる値	4
	被除数Dnが符号なしとして2バイトで表現できる値	6
	被除数Dnが符号なしとして3バイトで表現できる値	8
	被除数Dnが符号なしとして4バイトで表現できる値	10

アセンブラニーモニック	備考	サイクル数
udfu03 imm32,Dn	被除数Dnが0	4
	除数imm32が0	4
	被除数Dnが符号なしとして1バイトで表現できる値	5
	被除数Dnが符号なしとして2バイトで表現できる値	7
	被除数Dnが符号なしとして3バイトで表現できる値	9
	被除数Dnが符号なしとして4バイトで表現できる値	11

■ SQRTU（符号なし平方根命令）

[命令イメージ]

SQRTU　Dm,Dn
SQRTIU imm,Dn

[アセンブラ･ニーモニック]

udf04　Dm,Dn
udfu04 imm8,Dn　　:imm8はゼロ拡張8ビット整数
udfu04 imm16,Dn　:imm16はゼロ拡張16ビット整数
udfu04 imm32,Dn

[オペレーション]

√Dm→Dm　　:即値命令の場合はDm=imm

拡張演算器内で平方根演算を実行します。

Dm(符号なし32ビット整数)またはimm(ゼロ拡張32ビット整数)の内容で平方根演算をした結果(符号なし32ビット整数)をDnに格納します。

Dmまたはimmに格納されている値に対して、符号なしとして値が有意である範囲を判定し(起点はLSBで判定単位は1バイト)、その有意な値が含まれている範囲のみが演算対象となります。

つまり、Dmまたはimmの値の有意である範囲が小さいほど高速に演算結果を求められます。

[フラグ変化]

フラグ	変化	条件
V	0	常に0となります
C	0	常に0となります
N	0	常に0となります
Z	+	演算結果が0の場合1、それ以外は0になります

[サイクル数]

アセンブラニーモニック	備考	サイクル数
udf04 Dm,Dn udfu04 imm8,Dn udfu04 imm16,Dn	Dmまたはimm8/16が0	3
	Dmまたはimm8/16が符号なしとして1バイトで表現できる値	4
	Dmまたはimm8/16が符号なしとして2バイトで表現できる値	6
	Dmまたはimm8/16が符号なしとして3バイトで表現できる値	8
	Dmまたはimm8/16が符号なしとして4バイトで表現できる値	10

アセンブラニーモニック	備考	サイクル数
udfu04 imm32,Dn	imm32が0	4
	imm32が符号なしとして1バイトで表現できる値	5
	imm32が符号なしとして2バイトで表現できる値	7
	imm32が符号なしとして3バイトで表現できる値	9
	imm32が符号なしとして4バイトで表現できる値	11

■ ABS(絶対値命令)

[命令イメージ]

ABS Dm,Dn
ABSI imm,Dn

[アセンブラ･ニーモニック]

udf05 Dm,Dn
udf05 imm8,Dn　　:imm8は符号拡張8ビット整数
udf05 imm16,Dn　:imm16は符号拡張16ビット整数
udf05 imm32,Dn

[オペレーション]

|Dm|→Dn　　:即値命令の場合はDm=imm

Dm(符号付き32ビット整数)またはimm(符号拡張32ビット整数)の内容を絶対値演算し、結果(符号なし32ビット整数)をDnに格納します。

DmまたはimmのMin入力範囲は0x80000001 ≤ Dm ≤ 0x7FFFFFFFとなり、DmまたはimmにMin0x80000000を入力した場合、Dnには0x00000000が格納されます。

[フラグ変化]

フラグ	変化	条件
V	0	常に0となります
C	0	常に0となります
N	0	常に0となります
Z	+	演算結果が0の場合1、それ以外は0になります

■ GETACX（拡張演算レジスタ転送命令）

[命令イメージ]

GETACX Dm,Dn
GETACXI imm,Dn

[アセンブラ･ニーモニック]

udf14 Dm,Dn
udfu14 imm8,Dn　:imm8はゼロ拡張8ビットデータ
udfu14 imm16,Dn　:imm16はゼロ拡張16ビットデータ
udfu14 imm32,Dn

[オペレーション]

CxtReg[Dm]→Dn　:即値命令の場合はDm=imm

Dmまたはimmの値で指定した拡張レジスタの内容をDnに転送し、該当するフラグレジスタの値をVフラグ、Cフラグにセットします。

Dmまたはimmの値は0x0から0x15の値が有効であり、それ以外の場合は、Dnは0x00000000となります。
拡張レジスタDATOVFを指定した場合、6ビットデータをゼロ拡張した32ビットデータをDnに格納します。
拡張レジスタSIND、COSDを指定した場合、16ビットデータを符号拡張した32ビットデータをDnに格納します。
拡張レジスタのアドレスは表3.2.1を参照してください。

[フラグ変化]

フラグ	変化	条件
V	+	指定したレジスタに該当するオーバフローフラグの値を示します
C	+	指定したレジスタに該当するキャリーフラグの値を示します
N	+	転送結果のMSBが1の場合1、それ以外は0になります
Z	+	転送結果が0の場合1、それ以外は0になります

■ PUTACX（拡張演算レジスタ転送命令）

[命令イメージ]

PUTACX Dm,Dn
PUTACXI imm,Dn

[アセンブラ･ニーモニック]

udf34 Dm,Dn
udfu34 imm8,Dn　:imm8はゼロ拡張8ビットデータ
udfu34 imm16,Dn　:imm16はゼロ拡張16ビットデータ
udfu34 imm32,Dn

[オペレーション]

Dn→CxtReg[Dm]　:即値命令の場合はDm=imm

Dnの内容をDmまたはimmの値で指定した拡張レジスタに転送します。

Dmまたはimmの値は0x0から0x15の値が有効であり、それ以外の場合は無効となり、命令動作を行いません。

命令の実行によって、Dnの32ビットデータのうち有効なデータをDmまたはimmの値で指定した拡張レジスタに転送します。

拡張レジスタDATOVFを指定した場合、Dnの32ビットデータの内、下位6ビットをDATOVFに転送します。

拡張レジスタSINDまたはCOSDを指定した場合、Dnの32ビットデータの内、下位16ビットをSINDまたはCOSDに転送します。

拡張レジスタのアドレスは表3.2.1を参照してください。

[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

■ PUTLPFKX（ローパスフィルタ用K値転送命令）

[命令イメージ]

PUTLPFKX Dm
PUTLPFKXI imm

[アセンブラ･ニーモニック]

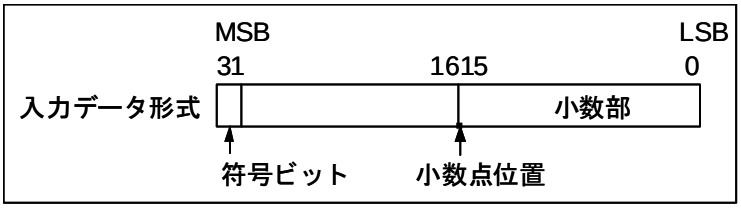
udf22 Dm,Dm
udf22 imm8,Dn　　:imm8は符号拡張実数
udf22 imm16,Dn　:imm16は符号拡張実数
udf22 imm32,Dn

[オペレーション]

Dm→LPFKD　　:即値命令の場合はDm=imm

Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容をローパスフィルタ用Kf値レジスタLPFKDに転送します。

固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。



[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

[プログラミング上の注意]

udf22 Dm,DnまたはudF22 imm,Dnで実行した場合、Dnを無視します。

■ LPF（符号付きローパスフィルタ演算命令）

[命令イメージ]

LPF Dm,Dn
LPFI imm,Dn

[アセンブラ･ニーモニック]

udf07 Dm,Dn
udf07 imm8,Dn　　:imm8は符号拡張8ビットデータ
udf07 imm16,Dn　:imm16は符号拡張16ビットデータ
udf07 imm32,Dn

[オペレーション]

拡張演算器の専用演算器を用いてローパスフィルタの演算を行います。

$$x_f[n] = K_f \cdot x[n] + (1 - K_f) \cdot x[n-1] \quad \text{(1)}$$

$$Z = K_f \cdot X - K_f \cdot Y + Y \quad \text{(2)}$$

演算式(1)はローパスフィルタの演算式です。
演算式(1)を展開し、演算式(2)の演算を高速に行います。

LPFKD×Dm−LPFKD×Dn+Dn⟶Dn

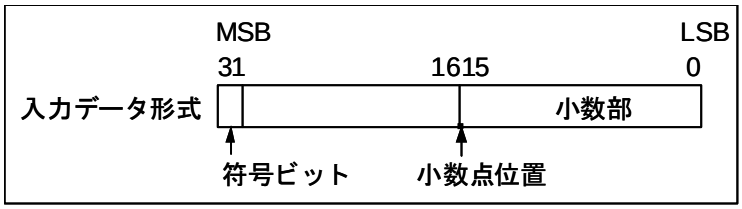
オーバフロー時　1⟶LPFOVF　それ以外　0⟶LPFOVF　　: 即値命令の場合はDm=imm

Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容をX、Dn(符号付き32ビットデータ)の内容をY、ローパスフィルタ用Kf値レジスタLPFKDをKfとして演算式(2)の演算を行い、演算結果Y(符号付き32ビットデータ)をDnに格納します。

入力データまたは、出力データの固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。

演算途中経過や演算結果がオーバフローした場合は、Vフラグをセットし、オーバフロー検出用レジスタDATOVFのLPFOVFに1を格納します。オーバフロー検出時の演算結果は保証しません。

演算の実行前にLPFKDはローパスフィルタ用K値転送命令(PUTLPFKX)で設定してください。拡張レジスタ転送命令(PUTACX)で直接設定することも可能です。



[フラグ変化]

フラグ	変化	条件
V	+	オーバフローの場合1、それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

■ CH32V(符号付き3相/2相変換+ベクトル回転演算命令)

[命令イメージ]

CH32V Dm,Dn
CH32VI imm,Dn

[アセンブラ・ニーモニック]

udf29 Dm,Dn
udf29 imm8,Dn　　:imm8は符号拡張8ビットデータ
udf29 imm16,Dn　　:imm16は符号拡張8ビットデータ
udf29 imm32,Dn

[オペレーション]

拡張演算器の専用演算器を用いて、3相/2相変換+ベクトル回転の演算を行います。

$$\begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} = K \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} I_u \\ I_v \\ I_w \end{bmatrix} \text{——(1)} \qquad \begin{bmatrix} I_r \\ I_\delta \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} \text{——(2)}$$

$$I_u + I_v + I_w = 0$$

$$I_r = \frac{3}{2} \cdot K \cdot I_u \cdot \cos\theta + \frac{\sqrt{3}}{2} \cdot K \cdot (I_u + 2 \cdot I_v) \cdot \sin\theta \quad \text{————(3)}$$

$$I_\delta = -\frac{3}{2} \cdot K \cdot I_u \cdot \sin\theta + \frac{\sqrt{3}}{2} \cdot K \cdot (I_u + 2 \cdot I_v) \cdot \cos\theta \quad \text{————(4)}$$

$$I_a = Kb \cdot X \cdot COS + Kc \cdot (X + 2 \cdot Y) \cdot SIN \quad \text{————(5)}$$

$$I_b = -Kb \cdot X \cdot SIN + Kc \cdot (X + 2 \cdot Y) \cdot COS \quad \text{————(6)}$$

演算式(1)は3相/2相変換、演算式(2)はベクトル回転の演算式です。

演算式(1)、(2)を展開し、演算式(5)、(6)の演算を高速に行います。

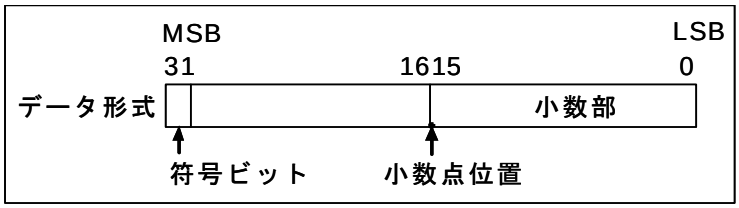
CHKBD×Dm×COSD+CHKCD×(Dm+2×Dn)×SIND→CH32IAD
-CHKBD×Dm×SIND+CHKCD×(Dm+2×Dn)×COSD→CH32IBD
オーバフロー時　1→CH32VOVF　それ以外　0→CH32VOVF　　:即値命令の場合はDm=imm

Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容をX、Dn(符号付き32ビットデータ)の内容をY、行列変換用Kb値レジスタCHKBDをKb、行列変換用Kc値レジスタCHKCDをKcとして演算式(5)、(6)の演算を行います。演算結果Ia(符号付き32ビットデータ)はCH32IADに、演算結果Ib(符号付き32ビットデータ)はCH32IBDに格納します。

入力データまたは、演算結果の固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。

演算途中経過や演算結果がオーバフローした場合は、オーバフロー検出用レジスタDATOVFのCH32VOVFに1を格納します。オーバフロー検出時の演算結果は保証しません。また、拡張レジスタ転送命令GETACXで演算結果(CH32IAD、CH32IBD)を読出す場合は、VフラグにCH32VOVFの値を反映します。

演算の実行前にCHKBD、CHKCDは行列演算用K値転送命令(PUTCHKX)で、SIND、COSDは三角関数演算命令(TRIG)で設定してください。拡張レジスタ転送命令(PUTACX)で直接設定することも可能です。



［フラグ変化］

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

■ CH23V（符号付き2相/3相変換+ベクトル回転演算命令）

［命令イメージ］

CH23V Dm,Dn
CH23VI imm,Dn

［アセンブラ･ニーモニック］

udf30 Dm,Dn
udf30 imm8,Dn　　:imm8は符号拡張8ビット実数
udf30 imm16,Dn　　:imm16は符号拡張16ビット実数
udf30 imm32,Dn

［オペレーション］

拡張演算器の専用演算器を用いて、2相/3相変換+ベクトル回転の演算を行います。

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = K \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} \text{——(1)} \quad \begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} V_d \\ V_q \end{bmatrix} \text{——(2)}$$

$$V_{AN} = K \cdot V_d \cdot \cos\theta - K \cdot V_q \cdot \sin\theta \quad \text{——————————(3)}$$

$$V_{BN} = -\frac{1}{2} \cdot (K \cdot V_d \cdot \cos\theta - K \cdot V_q \cdot \sin\theta) + \frac{\sqrt{3}}{2} \cdot K \cdot (V_q \cdot \cos\theta + V_d \cdot \sin\theta) \quad \text{————(4)}$$

$$V_{CN} = -\frac{1}{2} \cdot (K \cdot V_d \cdot \cos\theta - K \cdot V_q \cdot \sin\theta) - \frac{\sqrt{3}}{2} \cdot K \cdot (V_q \cdot \cos\theta + V_d \cdot \sin\theta) \quad \text{————(5)}$$

$$V_a = Ka \cdot X \cdot COS - Ka \cdot Y \cdot SIN \quad \text{——————————(6)}$$

$$V_b = -\frac{1}{2} \cdot (Ka \cdot X \cdot COS - Ka \cdot Y \cdot SIN) + Kc \cdot (Y \cdot COS + X \cdot SIN) \quad \text{————(7)}$$

$$V_c = -\frac{1}{2} \cdot (Ka \cdot X \cdot COS - Ka \cdot Y \cdot SIN) - Kc \cdot (Y \cdot COS + X \cdot SIN) \quad \text{————(8)}$$

演算式(1)は2相/3相変換、演算式(2)はベクトル回転の演算式です。
演算式(1)、(2)を展開し、演算式(5)、(6)、(7)の演算を高速に行います。

CHKAD×Dm×COSD-CHKAD×Dn×SIND→CH23VAD
-1/2×CH23VAD+CHKCD×(Dn×COSD+Dm×SIND)→CH23VBD
-1/2×CH23VAD-CHKCD×(Dn×COSD+Dm×SIND)→CH23VCD

オーバフロー時　1→CH23VOVF　それ以外　0→CH23VOVF　　:即値命令の場合はDm=imm

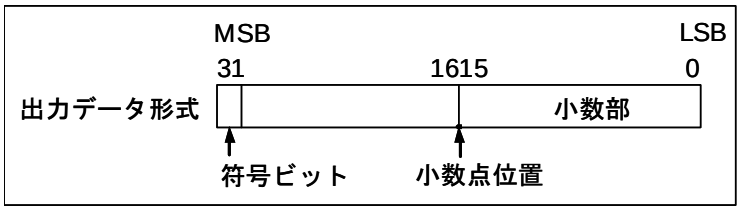
Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容をX、Dn(符号付き32ビットデータ)の内容をY、行列変換用Ka値レジスタCHKADをKa、行列変換用Kc値レジスタCHKCDをKcとして演算式(6)、(7)、(8)の演算を行います。

演算結果Va(符号付き32ビットデータ)はCH23VADに、演算結果Vb(符号付き32ビットデータ)はCH23VBDに、演算結果Vc(符号付き32ビットデータ)はCH23VCDに格納します。

入力データまたは、演算結果の固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。

演算途中経過や演算結果がオーバフローした場合は、オーバフロー検出用レジスタDATOVFのCH23VOVFに1を格納します。オーバフロー検出時の演算結果は保証しません。また、拡張レジスタ転送命令GETACXで演算結果(CH23VAD、CH23VBD、CH23VCD)を読出す場合は、VフラグにCH23VOVFの値を反映します。

演算の実行前にCHKAD、CHKCDは行列演算用K値転送命令(PUTCHKX)で、SIND、COSDは三角関数演算命令(TRIG)で設定してください。拡張レジスタ転送命令(PUTACX)で直接設定することも可能です。



[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

■ PUTCHKX（行列演算用K値転送命令）

[命令イメージ]

PUTCHKX Dm
PUTCHKXI imm

[アセンブラ･ニーモニック]

udf23 Dm,Dn
udf23 imm8,Dn　　:imm8は符号拡張8ビット実数
udf23 imm16,Dn　　:imm16は符号拡張16ビット実数
udf23 imm32,Dn

[オペレーション]

Dm→CHKAD、3/2×Dm→CHKBD、$\sqrt{3}/2$×Dm→CHKCD :即値命令の場合はDm=imm

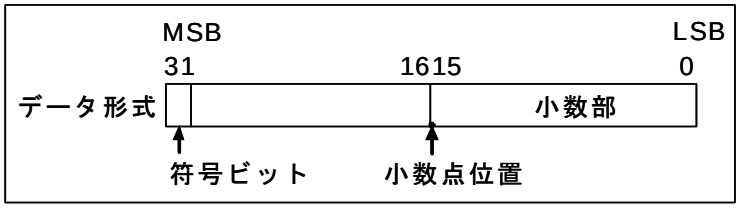
Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容を入力値Kとして行列変換で使用するKa、Kb、Kc値を算出します。行列変換用Ka値レジスタCHKADには、入力値Kを格納します。行列変換用Kb値レジスタCHKBDには、入力値Kを3/2倍した結果を格納します。行列変換用Kc値レジスタCHKCDには、入力値Kを$\sqrt{3}/2$倍した結果を格納します。

固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。

$$Ka = K$$

$$Kb = \frac{3}{2} \times K$$

$$Kc = \frac{\sqrt{3}}{2} \times K$$



[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

[プログラミング上の注意]

udf23 Dm,DnまたはudF23 imm,Dnで実行した場合、Dnを無視します。

■ PIC（符号付きPI制御演算命令）

[命令イメージ]

PIC Dm,Dn
PICI imm,Dn

[アセンブラ･ニーモニック]

udf31 Dm,Dn
udf31 imm8,Dn　　:imm8は符号拡張8ビット実数
udf31 imm16,Dn　　:imm16は符号拡張16ビット実数
udf31 imm32,Dn

[オペレーション]

拡張演算器の専用演算器を用いて、PI制御演算を行います。

$$STN = K_i \cdot err + st \quad \text{(1)}$$
$$u = K_p \cdot err + STN \quad \text{(2)}$$

$$STN = K_i \cdot X + Y \quad \text{(3)}$$
$$U = K_p \cdot X + STN \quad \text{(4)}$$

演算式(1)、(2)はPI制御の演算式です。
演算式(1)、(2)を変換し、演算式(3)、(4)の演算を高速に行います。

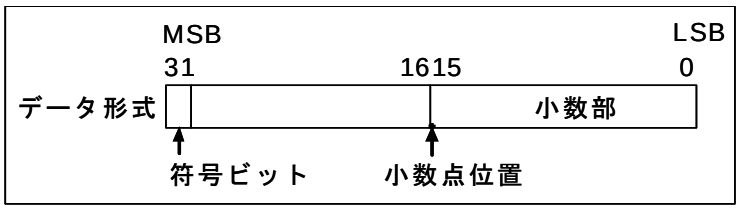
PIKID×Dm+Dn　→PISTND、0→PICLIMIT
正数リミット処理時:　PILMD　→PISTND、1→PICLIMIT
負数リミット処理時:　-PILMD　→PISTND、1→PICLIMIT
PIKPD×Dm+PISTND→PIUD
オーバフロー時　1→PICOVF それ以外 0→PICOVF　　: 即値命令の場合はDm=imm

Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容をX、Dn(符号付き32ビットデータ)の内容をY、PI制御用Ki値レジスタPIKIDをKi、PI制御用Kp値レジスタPIKPDをKpとして演算式(3)、(4)の演算を行います。演算結果U(符号付き32ビットデータ)はPIUDに、演算結果STN(符号付き32ビットデータ)はPISTNDに格納します。本命令では、PI制御用limit値レジスタPILMDによって、演算結果STNに上限値/下限値を設定することが可能です。演算結果STNとPILMDの値を絶対値比較し、STNがPILMDの値を超えた場合は、正数であればPILMDの値を、負数であれば-PILMDの値を演算結果STNとして演算を行います。演算結果STNに制限を設定しない場合は、PILMDに最大値(0x7FFFFFFF)を設定してください。

入力データまたは、演算結果の固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。

演算途中経過や演算結果がオーバフローした場合は、オーバフロー検出用レジスタDATOVFのPICOVFに1を格納します。オーバフロー検出時の演算結果は保証しません。演算途中でリミット処理が発生した場合は、オーバフロー検出用レジスタDATOVFのPICLIMITに1を格納します。また、拡張レジスタ転送命令GETACXで演算結果(PIUD、PISTND)を読出す場合は、VフラグにPICOVFの値を、CフラグにPICLIMITの値を反映します。

演算の実行前にPIKID、PIKPDはPI制御用K値転送命令(PUTPIKX)で設定してください。拡張レジスタ転送命令(PUTACX)で直接設定することも可能です。



［フラグ変化］

フラグ	変化	条件
V	－	
C	－	
N	－	
Z	－	

■ PUTPIKX (PI制御用K値転送命令)

[命令イメージ]

PUTPIKX Dm,Dn
PUTPIKXI imm,Dn

[アセンブラ・ニーモニック]

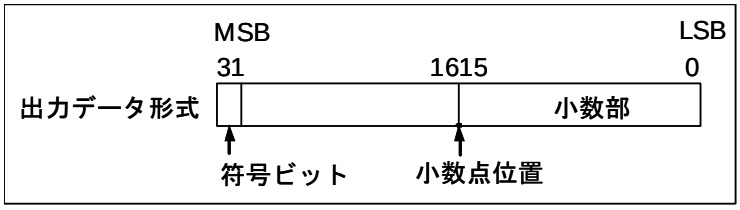
udf24 Dm,Dn
udf24 imm8,Dn　　:imm8は符号拡張8ビットデータ
udf24 imm16,Dn　　:imm16は符号拡張16ビットデータ
udf24 imm32,Dn

[オペレーション]

Dm⟶PIKPD、Dn⟶PIKID:即値命令の場合はDm=imm

Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容をPI制御用Kp値レジスタPIKPDに転送し、Dn(符号付き32ビットデータ)の内容をPI制御用Ki値レジスタPIKIDに転送します。

固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。



[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

■ PUTPILMX (PI制御用limit値転送命令)

[命令イメージ]

PUTPILMX Dm
PUTPILMXI imm

[アセンブラ･ニーモニック]

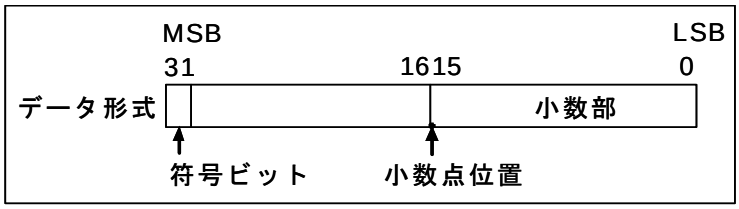
udf25 Dm,Dn
udf25 imm8,Dn　　:imm8は符号拡張8ビットデータ
udf25 imm16,Dn　:imm16は符号拡張16ビットデータ
udf25 imm32,Dn

[オペレーション]

Dm→PILMD　　: 即値命令の場合はDm=imm

Dm(符号付き32ビットデータ)またはimm(符号拡張32ビットデータ)の内容をPI制御用limit値レジスタPILMDに転送します。limit値は必ず正数(0x00000000 ≤ limit ≤ 0x7FFFFFFF)を設定してください。

固定小数点データ形式は、符号部1ビット、整数部15ビット、小数部16ビットとなります。



[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

[プログラミング上の注意]

udf25 Dm,DnまたはudF25 imm,Dnで実行した場合、Dnを無視します。

■ TRIG（三角関数演算命令: sin、cos、tan、arcsin、arccos、arctan ）

[命令イメージ]

TRIG Dm,Dn
TRIGI imm,Dn

[アセンブラ･ニーモニック]

udf08 Dm,Dn
udfu08 imm8,Dn　　:imm8はゼロ拡張8ビットデータ
udfu08 imm16,Dn　　:imm16はゼロ拡張16ビットデータ
udfu08 imm32,Dn

[オペレーション]

本命令は、Dm(符号なし32ビットデータ)またimm(ゼロ拡張32ビットデータ)の値によって、演算内容が変化します。演算内容は、sin演算、cos演算、tan演算、arcsin演算、arccos演算、arctan演算から選択します。

Dm またはimmの値	演算内容		演算サイクル数
0x00	sin演算	sin(Dn)の演算結果をDnに格納します。	5
0x01	cos演算	cos(Dn)の演算結果をDnに格納します。	5
0x02	tan演算	tan(Dn)の演算結果をDnに格納します。	5
0x10	arcsin演算	arcsin(Dn)の演算結果をDnに格納します。	5
0x11	arccos演算	arccos(Dn)の演算結果をDnに格納します。	5
0x12	arctan演算	arctan(Dn)の演算結果をDnに格納します。	6または15
上記以外の値	-	Vフラグをセットし、Dnに0xffffffffを格納します。	-

[フラグ変化]

フラグ	変化	条件
V	+	Dmまたはimmの値が範囲外の場合1となります また、sin/cos/tan/arcsin/arccos演算の場合、Dnの値が範囲外の場合1となります それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

各演算内容の詳細を下記に記します。

○sin演算 (Dm=0x00)

sin(Dn)→Dn、sin(Dn)→SIND

拡張演算器でsin関数演算を行います。(Y=sin(X))

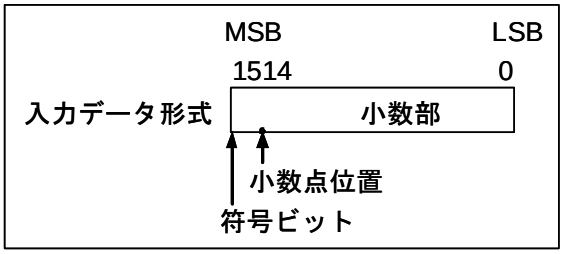
Dn(符号なし32ビットデータ)の下位16ビットが有効な入力データXとなります。入力データX(符号なし16ビットデータ)のsin関数演算結果Y(符号付き16ビットデータ)をSINDに格納し、32ビットに符号拡張して、Dnに格納します。入力データX の値が有効範囲外の場合は、上位16ビットを破棄して演算を行います。

入力データXは2πを16ビットで分割した値となります。

入力データ範囲 ： $0 \leq X < 2\pi \Rightarrow 0x0000 \leq X \leq 0xFFFF(\pi = 0x8000)$

sin関数演算結果Yは、符号部1ビット、小数部15ビットのデータ形式で出力します。

出力データ範囲 ： $-1 \leq Y \leq 1 \Rightarrow 0x8001 \leq Y \leq 0x7FFF$



○cos演算 (Dm=0x01)

cos(Dn)→Dn、cos(Dn)→COSD

拡張演算器でcos関数演算を行います。(Y=cos(X))

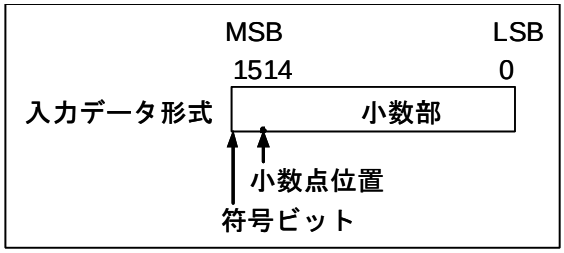
Dn(符号なし32ビットデータ)の下位16ビットが有効な入力データXとなります。入力データX(符号なし16ビットデータ)のcos関数演算結果Y(符号付き16ビットデータ)をCOSDに格納し、32ビットに符号拡張して、Dnに格納します。入力データX の値が有効範囲外の場合は、上位16ビットを破棄して演算を行います。

入力データXは2πを16ビットで分割した値となります。

入力データ範囲 : $0 \leq X < 2\pi \Rightarrow$ 0x0000 ≤ X ≤ 0xFFFF(π = 0x8000)

cos関数演算結果Yは、符号部1ビット、小数部15ビットのデータ形式で出力します。

出力データ範囲 : $-1 \leq Y \leq 1 \Rightarrow$ 0x8001 ≤ Yv0x7FFF



○tan演算 (Dm=0x02)

tan(Dn)→Dn

拡張演算器でtan関数演算を行います。(Y=tan(X))

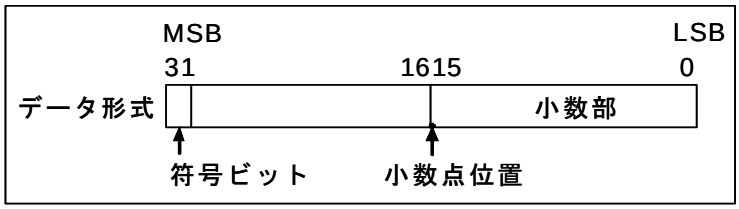
Dn(符号なし32ビットデータ)の下位16ビットが有効な入力データXとなります。入力データX(符号なし16ビットデータ)のtan関数演算結果Y(符号付き32ビットデータ)をDnに格納します。入力データXの値が有効範囲外の場合は、上位16ビットを破棄して演算を行います。

入力データXは2πを16ビットで分割した値となります。

入力データ範囲 : $0 \leq X < 2\pi \Rightarrow$ 0x0000 ≤ X ≤ 0xFFFF(π = 0x8000)

tan関数演算結果Yは、符号部1ビット、整数部15ビット、小数部16ビットのデータ形式で出力します。

出力データ範囲 : $-\infty \leq Y \leq \infty \Rightarrow$ 0x80000001 ≤ Y ≤ 0x7FFFFFFF



○arcsin演算 (Dm=0x10)

arcsin(Dn)→Dn

拡張演算器でarcsin関数演算を行います。(Y=arcsin(X))

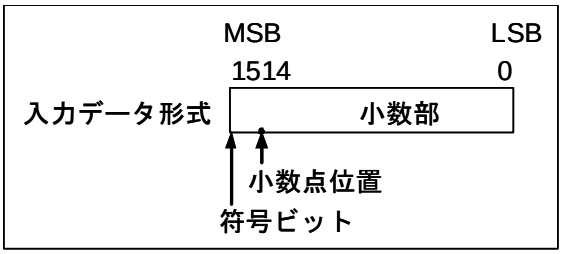
Dn(符号付き32ビットデータ)の下位16ビットが有効な入力データXとなります。入力データX(符号付き16ビットデータ)のarcsin関数演算結果Y(符号なし16ビットデータ)を32ビットにゼロ拡張して、Dnに格納します。入力データX の値が有効範囲外の場合は、上位16ビットを破棄して演算を行います。

入力データX符号部1ビット、小数部15ビットのデータ形式となります。

入力データ範囲 : $-1 \leq X \leq 1 \Rightarrow 0x8001 \leq X \leq 0x7FFF$

arcsin関数演算結果Yは、2πを16ビットで分割した値となります。

出力データ範囲 : $1/2\pi \leq Y \leq 3/2\pi \Rightarrow 0x4000 \leq Y \leq 0xC000(\pi = 0x8000)$



○arccos演算 (Dm=0x11)

arccos(Dn)→Dn

拡張演算器でarccos関数演算を行います。(Y=arccos(X))

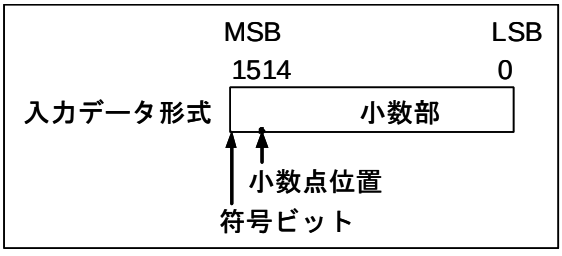
Dn(符号付き32ビットデータ)の下位16ビットが有効な入力データXとなります。入力データX(符号付き16ビットデータ)のarccos関数演算結果Y(符号なし16ビットデータ)を32ビットにゼロ拡張して、Dnに格納します。入力データX の値が有効範囲外の場合は、上位16ビットを破棄して演算を行います。

入力データX符号部1ビット、小数部15ビットのデータ形式となります。

入力データ範囲 : $-1 \leq X \leq 1 \Rightarrow 0x8001 \leq X \leq 0x7FFF$

arccos関数演算結果Yは、2πを16ビットで分割した値となります。

出力データ範囲 : $0 \leq Y \leq \pi \Rightarrow 0x0000 \leq Y \leq 0x8000(\pi = 0x8000)$



○arctan演算 (Dm=0x12)

arctan(Dn)→Dn

拡張演算器でarctan関数演算を行います。(Y=arctan(X))

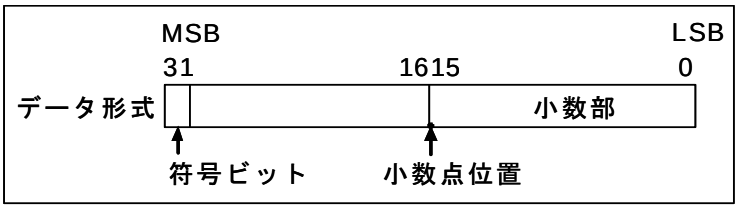
Dn(符号付き32ビットデータ)が入力データXとなります。入力データXのarctan関数演算結果Y(符号なし16ビットデータ)をDnに格納します。

入力データXは符号部1ビット、整数部15ビット、小数部16ビットのデータ形式となります。

入力データ範囲 : $-\infty \leq X \leq \infty \Rightarrow$ 0x80000001 ≤ X ≤ 0x7FFFFFFF

arctan関数演算結果Yは、2πを16ビットで分割した値となります。

出力データ範囲 : $1/2\pi \leq Y \leq 3/2\pi \Rightarrow$ 0x4000 ≤ Y ≤ 0xC000(π=0x8000)



また、入力データXの値により、サイクル数は以下のようになります。

入力データXの値	サイクル数
-1 ≤ X < 1 (0xFFFF0000 ≤ X < 0x00010000)	6
X ≤ X -1 または X ≥ 1 (X ≤ 0xFFFF0000 または X ≥ 0x00010000)	15

■ AFGETX(固定少数点乗算アシスト命令)

[命令イメージ]

AFGETX Dm,Dn
AFGETXI imm,Dn

[アセンブラ・ニーモニック]

udf09 Dm,Dn
udfu09 imm8,Dn　　:imm8はゼロ拡張8ビットデータ
udfu09 imm16,Dn　　:imm16はゼロ拡張16ビットデータ
udfu09 imm32,Dn

[オペレーション]

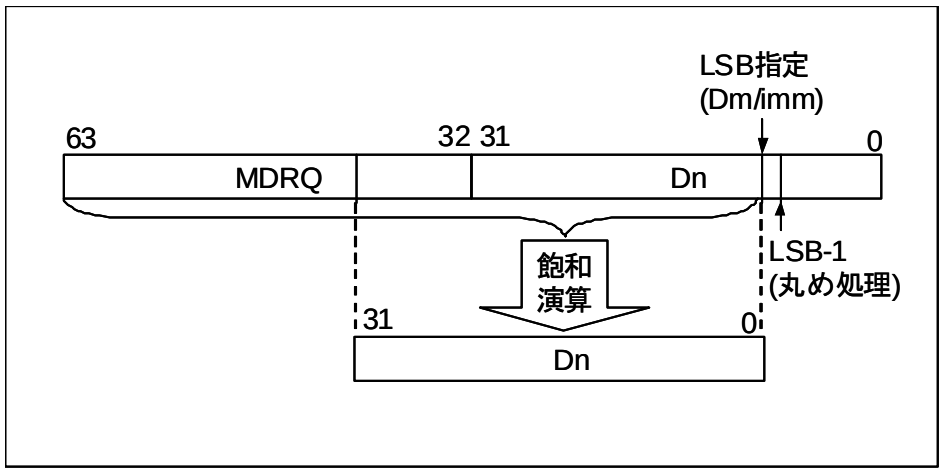
{MDRQ、Dn}<<Dm→Dn:即値命令の場合はDm=imm

上位32ビットをMDRQ、下位32ビットをDnとした符号付き64ビットデータから、Dm(符号なし32ビットデータ)またはimm(ゼロ拡張32ビットデータ)の値で指定されたビット位置をLSBとして32ビットのデータを抽出し、Dnに格納します。Dmまたはimmの値は0x00～0x20の範囲が有効となります。

本命令はLSB-1のビットの値によって丸め処理を行います。

LSB-1のビットの値が0の場合、抽出した32ビットデータをそのままDnに格納します。
LSB-1のビットの値が1の場合、抽出した32ビットデータに+1した結果をDnに格納します。

ただし、LSBからMSBの内容が32ビット符号付数値としてオーバフローが発生した場合、入力データが正数の場合は正の最大値(0x7FFFFFFF)を、負数の場合は負の最小値(0x80000000)をDnに格納し、Vフラグを1にセットします。



[フラグ変化]

フラグ	変化	条件
V	+	飽和演算のオーバフローが発生した場合1となります それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

■ AFGETCX(固定少数点積和演算アシスト命令)

[命令イメージ]

AFGETCX Dm,Dn
AFGETCXI imm,Dn

[アセンブラ・ニーモニック]

udf10 Dm,Dn
udfu10 imm8,Dn　　:imm8はゼロ拡張8ビットデータ
udfu10 imm16,Dn　　:imm16はゼロ拡張16ビットデータ
udfu10 imm32,Dn

[オペレーション]

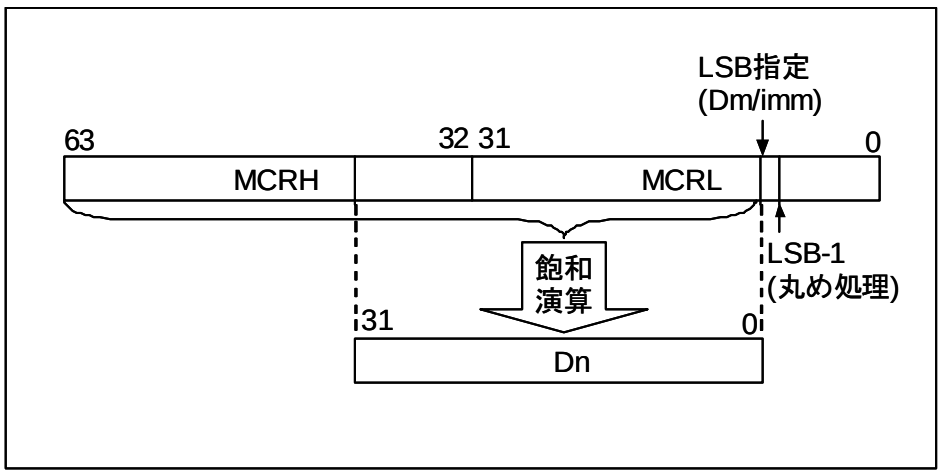
{MCRH、MCRL}<<Dm→Dn :即値命令の場合はDm=imm

上位32ビットをMCRH、下位32ビットをMCRLとした符号付き64ビットデータから、Dm(符号なし32ビットデータ)またはimm(ゼロ拡張32ビットデータ)の値で指定されたビット位置をLSBとして32ビットのデータを抽出し、Dnに格納します。Dmまたはimmの値は0x00～0x20の範囲が有効となります。

本命令はLSB-1のビットの値によって丸め処理を行います。

LSB-1のビットの値が0の場合、抽出した32ビットデータをそのままDnに格納します。
LSB-1のビットの値が1の場合、抽出した32ビットデータに+1した結果をDnに格納します。

ただし、LSBからMSBの内容が32ビット符号付数値としてオーバフローが発生した場合、入力データが正数の場合は正の最大値(0x7FFFFFFF)を、負数の場合は負の最小値(0x80000000)をDnに格納し、Vフラグを1にセットします。



[フラグ変化]

フラグ	変化	条件
V	+	飽和演算のオーバフローが発生した場合1となります それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

■ SAT(飽和演算命令)

[命令イメージ]

SAT Dm,Dn
SATI imm,Dn

[アセンブラ･ニーモニック]

udf11 Dm,Dn
udfu11 imm8,Dn　　:imm8はゼロ拡張8ビットデータ
udfu11 imm16,Dn　　:imm16はゼロ拡張16ビットデータ
udfu11 imm32,Dn

[オペレーション]

```
if      (Dn > SLMDH) SLMDH→Dn
else if  (Dn < SLMDL) SLMDL→Dn
```

本命令は、飽和演算 上限値/下限値レジスタ(SLMDL、SLMDH)をLIMIT値とする飽和演算を行います。
飽和演算 上限値/下限値レジスタ(SLMDL、SLMDH)はPUTACX命令で事前に設定してください。

また、本命令は、Dm(符号なし32ビットデータ)またimm(ゼロ拡張32ビットデータ)の値によって、演算内容が変化します。

Dm または immの値	演算内容		
	符号	比較条件式	演算内容
0x00	あり	SLMDL ≤ Dn≤ SLMDH	SLMDL ≤ Dn≤ SLMDH : Dnの値は変化しません。 SLMDL ≤ Dn: SLMDLの値をDnに格納し、Vフラグを1にセットします。 Dn > SLMDH: SLMDHの値をDnに格納し、Vフラグを1にセットします。
0x10	なし		
0x01	あり	SLMDL ≤ Dn	SLMDL ≤ Dn: Dnの値は変化しません。 Dn < SLMDL: SLMDLの値をDnに格納し、Vフラグを1にセットします。
0x11	なし		
0x02	あり	Dn≤ SLMDH	SLMDH ≤ Dn: Dnの値は変化しません。 Dn > SLMDH: SLMDHの値をDnに格納し、Vフラグを1にセットします。
0x12	なし		

[フラグ変化]

フラグ	変化	条件
V	+	飽和演算のオーバフローが発生した場合1となります それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

■ MACN(N次積和演算命令)

[命令イメージ]

MACN Dm,Dn
MACNI imm,Dn

[アセンブラ･ニーモニック]

udf26 Dm,Dn
udfu26 imm8,Dn　　:imm8はゼロ拡張8ビットデータ
udfu26 imm16,Dn　　:imm16はゼロ拡張16ビットデータ
udfu26 imm32,Dn

[オペレーション]

$$Y = A_0 \cdot B_0 + A_1 \cdot B_1 + A_2 \cdot B_2 + \cdots + A_{(n-1)} \cdot B_{(n-1)}$$ **(n次の積和演算)**

本命令は、データRAM空間に配置されている値に対して、指定した次数の積和演算を行います。

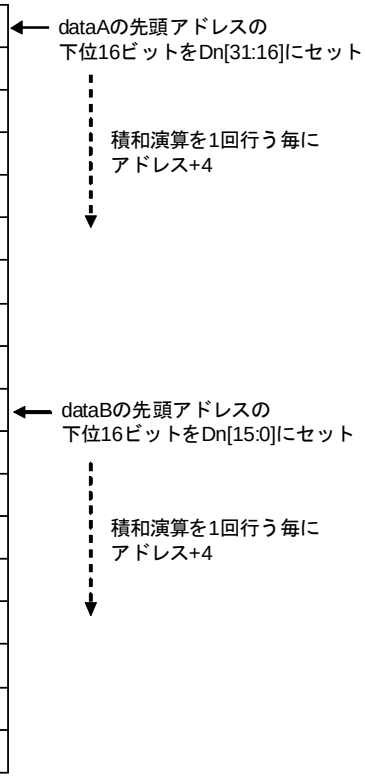
積和演算の次数はDm(符号なし32ビットデータ)またはimm(ゼロ拡張32ビットデータ)で指定します。2つの入力データ配列が配置されている先頭アドレスをDnで指定します。

演算中に指定アドレスのデータを自動的に取得し、アドレスをインクリメントしながら指定された次数の積和演算を繰返し実行します。積和演算結果(符号付64ビットデータ)の上位32ビットをMCRHレジスタに、下位32ビットをMCRLレジスタに格納します。

入力データ配列は、下表に示されるフォーマットに従って、あらかじめ配置しておく必要があります。ただし、指定可能なアドレスはデータRAM空間の 0x00000000～0x00002FFF のみとなります。

○入力データ配列(例)

0x0000_1000	dataA[0] (32ビット)
0x0000_1004	dataA[1] (32ビット)
0x0000_1008	dataA[2] (32ビット)
0x0000_100C	dataA[3] (32ビット)
0x0000_1010	dataA[4] (32ビット)
0x0000_1014	dataA[5] (32ビット)
0x0000_1018	dataA[6] (32ビット)
0x0000_101C	dataA[7] (32ビット)
～	xxxxx
0x0000_1100	dataB[0] (32ビット)
0x0000_1104	dataB[1] (32ビット)
0x0000_1108	dataB[2] (32ビット)
0x0000_110C	dataB[3] (32ビット)
0x0000_1110	dataB[4] (32ビット)
0x0000_1114	dataB[5] (32ビット)
0x0000_1118	dataB[6] (32ビット)
0x0000_111C	dataB[7] (32ビット)
～	xxxxx



○積和演算命令使用例

dataAとdataBの5次積和演算を実行する際の例を以下に示します。

```
udf27       d0,d0             ; CLRMAC命令 (MCRH/MCRLレジスタのクリア)
mov         0x00001000,d0     ; 配列dataAの先頭アドレス指定
mov         0x00001100,d1     ; 配列dataBの先頭アドレス指定
asl         0x10,d0           ; MACN命令のアドレスフォーマットに変換
or          d1,d0             ;  〃
udfu26      0x5,d0            ; MACN命令 (N=5)
udfu10      0x10,d2           ; AFGETCX命令 (16ビットシフト)
```

このときの演算結果は、

= (dataA[0])×(dataB[0])+(dataA[1])×(dataB[1])+(dataA[2])×(dataB[2])+
(dataA[3])×(dataB[3])+(dataA[4])×(dataB[4])

となります。

[サイクル数]

命令実行サイクルは1サイクルです。

ただし、MCRHレジスタ、MCRLレジスタに演算結果が格納されるまでに (2×n+4)サイクル かかります。

[フラグ変化]

フラグ	変化	条件
V	+	積和演算のオーバフローが発生した場合1となります それ以外は0になります
C	0	常に0となります
N	+	演算結果のMSBが1の場合1、それ以外は0になります
Z	+	演算結果が0の場合1、それ以外は0になります

[プログラミング上の注意]

・入力データ配列は32ビットデータのみ可能です。

・MACN命令によって拡張演算器からデータRAM空間へアクセス中に、CPUからのデータRAM空間へのアクセスが発生した場合、メモリアクセスが競合します。このとき、CPUからのアクセスが優先されますので、MACN命令の実行サイクル数が伸長される可能性があります。

■ CLRMAC(積和演算結果格納レジスタクリア命令)

[命令イメージ]

CLRMAC Dm
CLRMACI imm

[アセンブラ･ニーモニック]

udf27 Dm,Dn
udf27 imm8,Dn　　:imm8は符号拡張8ビットデータ
udf27 imm16,Dn　　:imm16は符号拡張16ビットデータ
udf27 imm32,Dn

[オペレーション]

積和演算 演算結果格納レジスタ(MCRH、MCRL)をクリアします。
また、DATOVFレジスタのMACOVFビットを"0"にクリアします。

[フラグ変化]

フラグ	変化	条件
V	-	
C	-	
N	-	
Z	-	

3.4　拡張演算器使用上の注意点

拡張演算器使用上の注意点について、以下の順に説明します。

・コンパイラ使用上の注意点

・オンボードデバッガ使用時の注意点

・拡張レジスタのデータ退避、復帰時の注意点

3.4.1　コンパイラ使用上の注意点

コンパイラ使用上の注意点は、以下の3点があります。

・対応コンパイラバージョン

・高速乗算命令(MULQ)の生成方法

・除算命令(DIVS)の生成方法

■ 対応コンパイラバージョン

本LSI向けのソフトウェア開発には、Panasonic製MN103SシリーズCコンパイラ(CC103S)のV5.0R1以降を使用してください。

■ 高速乗算命令(MULQ)の生成方法

高速乗算命令(MULQ)を使用する場合、コンパイラのオプションは以下を指定してください。

[オプション]

　　-mmulq:高速乗算命令生成オプション

[使用法]

```
cc103S -mmulq file.c
```

-mmulqオプションを指定した場合、拡張命令に対し不正なコードを生成する可能性がありますので、V4.5R2以前のバージョンは使用しないでください。

■ 除算命令(DIVS)の生成方法

除算命令(DIVS)を使用する場合、コンパイラのオプションは下記を指定してください。

[オプション]

　　-mdivs:除算命令生成オプション

[使用法]

```
cc103S -mdivs file.c
```

V4.5R2以前のバージョンでは-mdivsオプションは使用できません。

3.4.2　オンボードデバッガ使用時の注意点

オンボードデバッガ使用時の注意点は、以下の2点があります。

・DebugFactoryのバージョン

・レジスタ表示･変更機能

■ DebugFactoryのバージョン

本LSIで使用するオンボードデバッガは、DebugFactory Builderの最新バージョンを使用してください。

■ レジスタ表示･変更機能

本LSIは、オンボードデバッガで拡張演算器の拡張レジスタの値を表示できます。さらに、任意の拡張レジスタの値を変更できます。詳細については、[MN103SシリーズDebugFactory Builderオンラインヘルプ]を参照してください。

表 3.4.1 デバッガで表示および変更可能な拡張レジスタ

名称	内容	名称	内容
MDRQ	高速乗算用レジスタ	SIND	sin演算結果レジスタ
DATOVF	オーバフローフラグレジスタ	COSD	cos演算結果レジスタ
LPFKD	ローパスフィルタ用Kf値レジスタ	CH32IAD	3-2変換Ia値レジスタ
PIKID	PI制御用Ki値レジスタ	CH32IBD	3-2変換Ib値レジスタ
PIKPD	PI制御用Kp値レジスタ	CH23VAD	2-3変換Va値レジスタ
PILMD	PI制御用limit値レジスタ	CH23VBD	2-3変換Vb値レジスタ
CHKAD	行列変換用Ka値レジスタ	CH23VCD	2-3変換Vc値レジスタ
CHKBD	行列変換用Kb値レジスタ	PIUD	PI制御U値レジスタ
CHKCD	行列変換用Kc値レジスタ	PISTND	PI制御STN値レジスタ

表 3.4.2 デバッガで表示および変更可能なオーバフローフラグ

名称	内容
MACOVF	MACN命令のオーバフロー検出ビット
PICLIMIT	PIC命令のリミット制御検出ビット
PICOVF	PIC命令のオーバフロー検出ビット
CH23VOVF	CH23V命令のオーバフロー検出ビット
CH32VOVF	CH32V命令のオーバフロー検出ビット
LPFOVF	LPF命令のオーバフロー検出ビット

一部の拡張レジスタの値を変更すると、その演算に関係するDATOVFレジスタの値が不定になります。該当する拡張レジスタの値を変更する際は、必ず最後にDATOVFレジスタの値を設定してください。不定値になるオーバフローフラグを表3.4.3に示します。

表 3.4.3 不定値になる DATOVF のフラグ名

名称	不定値になるDATOVFのフラグ名
CH32IAD	CH32VOVF
CH32IBD	
CH23VAD	CH23VOVF
CH23VBD	
CH23VCD	
PIUD	PICOVF、PICLIMIT
PISTND	
MCRL	MACOVF
MCRH	

3.4.3　拡張レジスタのデータ退避、復帰時の注意点

拡張レジスタのデータ退避、復帰時の注意点について説明します。

拡張演算器を使用している場合、割込み発生時やOSのタスクスイッチ等で、拡張演算器内の拡張レジスタのデータを退避、復帰します。拡張レジスタのデータ退避、復帰は、GETACX命令、PUTACX命令を使用します。

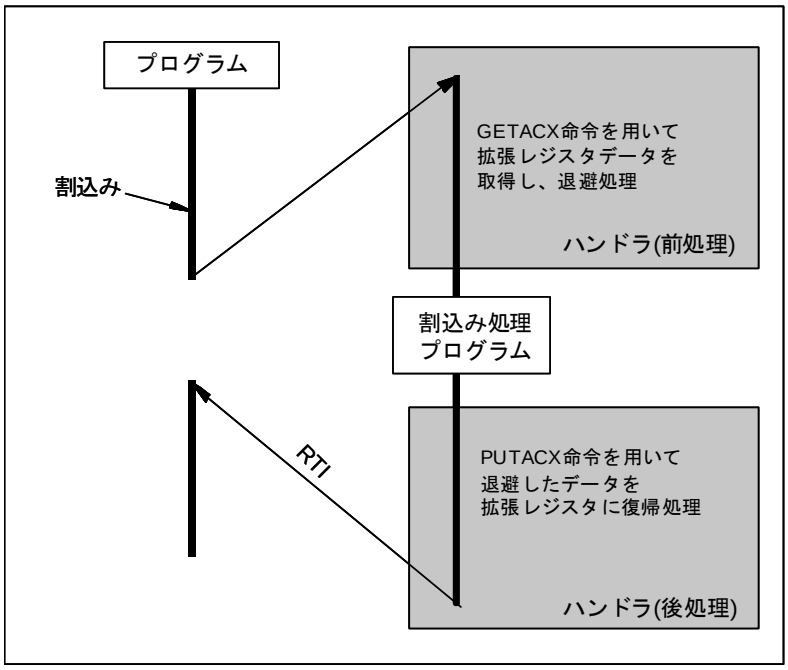


図3.4.1　割込み発生時の拡張レジスタのデータ退避、復帰処理の例

一部の拡張レジスタのデータを退避する際は、演算結果のオーバフローフラグとリミットフラグの情報を退避します。該当する拡張レジスタのデータを退避する場合は、オーバフローフラグとリミットフラグの情報を格納しているDATOVFレジスタも退避します。

また、割込み発生時やOSのタスクスイッチ等で、すべての拡張レジスタのデータを復帰した後は、必ず最後にDATOVFレジスタのデータを復帰します。

表 3.4.4 DATOVF レジスタのデータを退避させる必要のある拡張レジスタ

名称	内容
CH32IAD	3-2変換 演算結果(Ia値)格納レジスタ
CH32IBD	3-2変換 演算結果(Ib値)格納レジスタ
CH23VAD	2-3変換 演算結果(Va値)格納レジスタ
CH23VBD	2-3変換 演算結果(Vb値)格納レジスタ
CH23VCD	2-3変換 演算結果(Vc値)格納レジスタ
PIUD	PI制御 演算結果(U値)格納レジスタ
PISTND	PI制御 演算結果(STN値)格納レジスタ
MCRL	積和演算 演算結果(下位32ビット)格納レジスタ
MCRH	積和演算 演算結果(上位32ビット))格納レジスタ

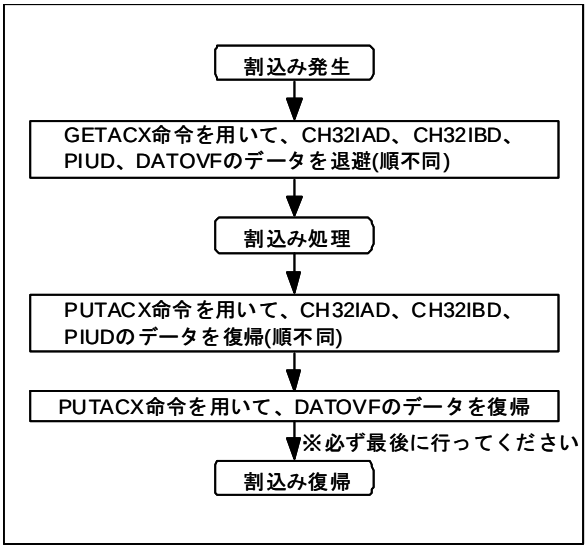


図3.4.2　割込み処理の例

3.4.4　拡張演算命令セット一覧

拡張演算器の拡張演算命令セット一覧を表3.4.5に示します。

表 3.4.5 拡張演算器の拡張演算命令セット一覧

アセンブラニーモニック	マクロ名	ソース	デスティネーション	フォーマット	コード長	サイクル数	備考
udf00	MULQ	Dm	Dn	D0	2	1	
	MULQI	imm8	Dn	D1	3	1	
	MULQI	imm16	Dn	D2	4	1	
	MULQI	imm32	Dn	D4	6	2	
udf01	MULQU	Dm	Dn	D0	2	1	
udfu01	MULQIU	imm8	Dn	D1	3	1	
	MULQIU	imm16	Dn	D2	4	1	
	MULQIU	imm32	Dn	D4	6	2	
udf02	DIVS	Dm	Dn	D0	2	3-10	
	DIVSI	imm8	Dn	D1	3	3-10	
	DIVSI	imm16	Dn	D2	4	3-10	
	DIVSI	imm32	Dn	D4	6	4-11	
udf03	DIVSU	Dm	Dn	D0	2	3-10	
udfu03	DIVSIU	imm8	Dn	D1	3	3-10	
	DIVSIU	imm16	Dn	D2	4	3-10	
	DIVSIU	imm32	Dn	D4	6	4-11	
udf04	SQRTU	Dm	Dn	D0	2	3-10	
udfu04	SQRTIU	imm8	Dn	D1	3	3-10	
	SQRTIU	imm16	Dn	D2	4	3-10	
	SQRTIU	imm32	Dn	D4	6	4-11	
udf05	ABS	Dm	Dn	D0	2	1	
	ABSI	imm8	Dn	D1	3	1	
	ABSI	imm16	Dn	D2	4	1	
	ABSI	imm32	Dn	D4	6	2	
udf07	LPF	Dm	Dn	D0	2	3	
	LPFI	imm8	Dn	D1	3	3	
	LPFI	imm16	Dn	D2	4	3	
	LPFI	imm32	Dn	D4	6	4	
udf08	TRIG	Dm	Dn	D0	2	5-15	
udfu08	TRIGI	imm8	Dn	D1	3	5-15	
	TRIGI	imm16	Dn	D2	4	5-15	
	TRIGI	imm32	Dn	D4	6	5-15	

アセンブラニーモニック	マクロ名	ソース	デスティネーション	フォーマット	コード長	サイクル数	備考
udf09	AFGETX	Dm	Dn	D0	2	1	
udfu09	AFGETXI	imm8	Dn	D1	3	1	
	AFGETXI	imm16	Dn	D2	4	1	
	AFGETXI	imm32	Dn	D4	6	2	
udf10	AFGETCX	Dm	Dn	D0	2	1	
udfu10	AFGETCXI	imm8	Dn	D1	3	1	
	AFGETCXI	imm16	Dn	D2	4	1	
	AFGETCXI	imm32	Dn	D4	6	2	
udf11	SAT	Dm	Dn	D0	2	1	
udfu11	SATI	imm8	Dn	D1	3	1	
	SATI	imm16	Dn	D2	4	1	
	SATI	imm32	Dn	D4	6	2	
udf14	GETACX	Dm	Dn	D0	2	1	
udfu14	GETACXI	imm8	Dn	D0	3	1	
	GETACXI	imm16	Dn	D2	4	1	
	GETACXI	imm32	Dn	D4	6	2	
udf15	GETX		Dn	D0	2	1	
udf20	PUTX	Dm		D0	2	1	
	PUTXI	imm8		D1	3	1	
	PUTXI	imm16		D2	4	1	
	PUTXI	imm32		D4	6	2	
udf22	PUTLPFKX	Dm		D0	2	1	
	PUTLPFKXI	imm8		D1	3	1	
	PUTLPFKXI	imm16		D2	4	1	
	PUTLPFKXI	imm32		D4	6	2	
udf23	PUTCHKX	Dm		D0	2	1	
	PUTCHKXI	imm8		D1	3	1	
	PUTCHKXI	imm16		D2	4	1	
	PUTCHKXI	imm32		D4	6	2	
udf24	PUTPIKX	Dm	Dn	D0	2	1	
	PUTPIKXI	imm8	Dn	D1	3	1	
	PUTPIKXI	imm16	Dn	D2	4	1	
	PUTPIKXI	imm32	Dn	D4	6	2	
udf25	PUTPILMX	Dm		D0	2	1	
	PUTPILMXI	imm8		D1	3	1	
	PUTPILMXI	imm16		D2	4	1	
	PUTPILMXI	imm32		D4	6	2	

アセンブラニーモニック	マクロ名	ソース	デスティネーション	フォーマット	コード長	サイクル数	備考
udf26	MACN	Dm	Dn	D0	2	1	(*1)
udfu26	MACNI	imm8	Dn	D1	3	1	
	MACNI	imm16	Dn	D2	4	1	
	MACNI	imm32	Dn	D4	6	2	
udf27	CLRMAC	Dm	Dn	D0	2	1	
	CLRMACI	imm8	Dn	D1	3	1	
	CLRMACI	imm16	Dn	D2	4	1	
	CLRMACI	imm32	Dn	D4	6	2	
udf29	CH32V	Dm	Dn	D0	2	1	レイテンシ= 5
	CH32VI	imm8	Dn	D1	3	1	
	CH32VI	imm16	Dn	D2	4	1	
	CH32VI	imm32	Dn	D4	6	2	
udf30	CH23V	Dm	Dn	D0	2	1	レイテンシ= 6
	CH23VI	imm8	Dn	D1	3	1	
	CH23VI	imm16	Dn	D2	4	1	
	CH23VI	imm32	Dn	D4	6	2	
udf31	PIC	Dm	Dn	D0	2	1	レイテンシ= 3
	PICI	imm8	Dn	D1	3	1	
	PICI	imm16	Dn	D2	4	1	
	PICI	imm32	Dn	D4	6	2	
udf34	PUTACX	Dm	Dn	D0	2	1	
udfu34	PUTACXI	imm8	Dn	D1	3	1	
	PUTACXI	imm16	Dn	D2	4	1	
	PUTACXI	imm32	Dn	D4	6	2	

備考でレイテンシ記述のある拡張演算命令(udf29～udf31)は、拡張演算命令を連続実行するときに、レイテンシ分のサイクル数のウェイトが発生します。

*1 MACN命令のソースの値によってレイテンシが異なります。詳細は【■ MACN(N次積和演算命令)】を参照ください。

第4章　クロックジェネレータ

4

4.1 クロックジェネレータの概要

本LSIは、クロックジェネレータを搭載しています。クロックジェネレータは、外部発振回路、PLL回路、内蔵発振回路で構成されています。各回路の概要は、以下のとおりです。

・外部発振回路
OSCI、OSCO端子に発振子を接続することでクロックを生成します。
リセット解除時は、外部発振回路で生成したクロックで動作します。

・PLL回路
外部発振回路で生成したクロックを逓倍し、本LSI内部に供給できます。

・内蔵発振回路
本LSI内部で、240 kHzのクロックを生成します。本LSIでは、クロック監視機能、ウォッチドッグタイマ2の動作クロックとして使用します。
また、クロック監視機能により周波数異常を検知した場合にのみ、内蔵発振回路で生成したクロックを2分周し、CPUクロックとして本LSI内部に供給します。なお、クロック周波数の異常を検知した場合、本LSIは内蔵発振回路で生成したクロックで動作します。

4.1.1 クロックジェネレータの機能一覧

クロックジェネレータの機能一覧を表4.1.1に示します。

表 4.1.1 クロックジェネレータの機能一覧

機能	説明
発振回路	外部発振(自励発振、他励発振)
	内蔵発振
発振周波数	外部発振: 4 MHz ～ 16 MHz
	内蔵発振: 240 kHz
CPUクロック(MCLK)の周波数	最大120 MHz
周辺クロック(IOCLK)の周波数	最大30 MHz

外部発振の他励発振を使用する場合、OSCI端子はクロックを入力し、OSCO端子は開放してください。

4.1.2　クロックジェネレータのブロック図

クロックジェネレータのブロック図を図4.1.1に示します。

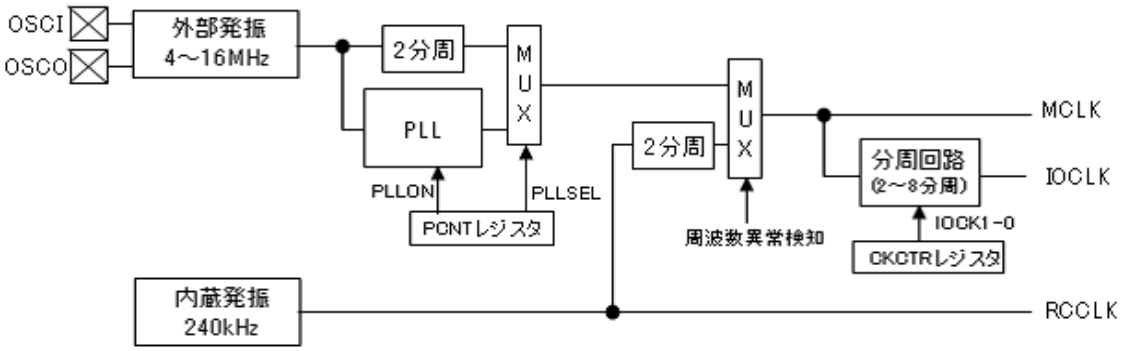


図4.1.1　クロックジェネレータのブロック図

MCLKの周波数は、最大120 MHzの範囲で設定してください。
IOCLKの周波数は、最大30 MHzの範囲で設定してください。

PLLを使用する場合、PLLの出力周波数が40 MHz～120 MHzの範囲となるように設定してください。

4.2 クロックジェネレータ制御レジスタ

クロックジェネレータの制御レジスタ一覧を表4.2.1に示します。

表 4.2.1 クロックジェネレータの制御レジスタ一覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
PCNT	0x0000A808	R/W	8,16	PLL制御レジスタ	IV-4
PRTCKCNT	0x0000A820	R/W	8	CKCNTレジスタプロテクト制御レジスタ	XIII-5
CKCTR	0x00008280	R/W	8,16	クロック制御レジスタ	IV-6
PRTCKGEN	0x00008290	R/W	8	CKGENレジスタプロテクト制御レジスタ	XIII-4

4.2.1 PLL制御レジスタ

PLL制御レジスタは、PLL出力の選択、PLLのON/OFFの設定、PLL出力の逓倍率の選択をします。

■ PLL制御レジスタ(PCNT:0x0000A808)[8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-										PLL SEL	PLL ON	CKSEL3-0			
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-6	-	必ず"0"を読出します。
5	PLLSEL	PLL出力の選択 0:外部発振周波数の2分周 1:PLL出力
4	PLLON	PLLのON/OFFの設定 0:OFF 1:ON
3-0	CKSEL3-0	PLL逓倍率の選択 表4.2.2を参照してください。

PLLONビット、CKSEL3-0ビットの設定を変更する場合、PLLSELビットを"0"に設定してください。

PLLONビットを"1"に設定した場合、もしくはCKSEL3-0ビットの設定を変更した場合は、PLLがロックするまで200μs以上のPLL安定待ち時間が必要です。

PLLSELビットを変更する場合は、PLLONビットとCKSEL3-0ビットを同時に変更しないでください。

PLLを使用する場合、PLLの出力周波数が40 MHz～120 MHzの範囲となるように、CKSEL3-0ビットを設定してください。

PCNTレジスタを変更する際は、必ずPRTCKCNTレジスタにアクセスして書込み許可を与えてください。詳細は、[第13章 レジスタプロテクト機能]を参照してください。

表 4.2.2 PLL 逓倍率の一覧

CKSEL3-0の設定値	PLL逓倍率	OSCI入力周波数	CKSEL3-0の設定値	PLL逓倍率	OSCI入力周波数
0000	3逓倍	13.5～16.0 MHz	1000	10逓倍	4.0～6.0 MHz
0001	3.75逓倍	13.5～16.0 MHz	1001	12逓倍	7.0 ～10.0 MHz
0010	5逓倍	8.0～12.0 MHz	1010	12逓倍	4.0～5.0 MHz
0011	6逓倍	13.5～16.0 MHz	1011	15逓倍	6.0～8.0 MHz
0100	6逓倍	7.0～10.0 MHz	1100	15逓倍	4.0 MHz
0101	7.5逓倍	13.5～16.0 MHz	1101	20逓倍	4.0～6.0 MHz
0110	7.5逓倍	6.0～ 8.0 MHz	1110	24逓倍	4.0～5.0 MHz
0111	10逓倍	8.0～12.0 MHz	1111	30逓倍	4.0 MHz

4.2.2　クロック制御レジスタ

クロック制御レジスタは、IOCLKの周波数を設定します。

■ クロック制御レジスタ(CKCTR:0x00008280)[8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-								Reserved	Reserved	IOCK1-0		-		Reserved	Reserved
初期値	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1
アクセス	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15-8	-	必ず"0"を読出します。
7	Reserved	必ず"1"に設定してください。
6	Reserved	必ず"0"に設定してください。
5-4	IOCK1-0	IOCLKの周波数設定 00:設定禁止 01:MCLKの周波数の1/8 10:MCLKの周波数の1/4 11:MCLKの周波数の1/2
3-2	-	必ず"0"を読出します。
1	Reserved	必ず"1"に設定してください。
0	Reserved	必ず"1"に設定してください。

CKCTRレジスタを変更する際は、必ずPRTCKGENレジスタにアクセスして書込み許可を与えてください。詳細は、[第13章 レジスタプロテクト機能]を参照してください。

4.3 クロックジェネレータの詳細

クロックジェネレータについて、以下の順で説明します。

・クロックジェネレータの仕様

・クロックジェネレータの設定例

4.3.1 クロックジェネレータの仕様

クロックジェネレータは、外部発振回路、PLL回路、内蔵発振回路で構成されています。

外部発振回路とPLL回路で、CPUおよび周辺機能ブロックの動作クロック(MCLK、IOCLK)を生成します。外部発振回路は、OSCI、OSCO端子に発振子を接続することでクロックを生成します。PLL回路は、外部発振回路で生成したクロックを逓倍します。PLL逓倍率は、PCNTレジスタのCKSEL3-0ビットで設定します。

MCLKは、外部発振回路出力の2分周またはPLL回路出力のどちらかを選択できます。出力選択は、PCNTレジスタのPLLSELビットで設定します。IOCLKは、MCLKを分周したクロックです。分周比は、CKCTRレジスタのIOCK1-0ビットで設定します。

CKCTRレジスタを変更する際は、必ずPRTCKCNTレジスタにアクセスして書込み許可を与えてください。詳細は、[第13章 レジスタプロテクト機能]を参照してください。

内蔵発振回路は、240kHzのクロックを生成します。内蔵発振回路で生成したクロックは、クロック監視機能、ウォッチドッグタイマ2の動作クロックとして使用します。また、クロック監視機能により周波数異常を検知した場合にのみ、内蔵発振回路出力の2分周をMCLKとして本LSI内部に供給します。

MCLKとIOCLKの供給先ブロックを表4.3.1に示します。

表 4.3.1 クロックの供給先ブロック

クロック	供給先
CPUクロック(MCLK)	CPU 内蔵ROM 内蔵RAM 16ビットタイマ モータ制御PWM A/Dコンバータ
周辺クロック(IOCLK)	上記以外の周辺機能ブロック

リセット解除時のMCLKとIOCLKの周波数を表4.3.2に示します。

表 4.3.2 リセット解除時のクロック周波数

クロック	クロック周波数	
	クロック異常検知リセット	クロック異常検知リセット以外
CPUクロック(MCLK)	内蔵発振周波数の1/2	外部発振周波数の1/2
周辺クロック(IOCLK)	内蔵発振周波数の1/8	外部発振周波数の1/8

4.3.2　クロックジェネレータの設定例

クロックジェネレータの設定例について、以下の順で説明します。

・リセット解除後のクロックの設定例

・LSI動作中のクロックの設定例

■ リセット解除後のクロックの設定例

リセット解除後、PLLを使用してMCLK、IOCLKを供給する手順を示します。
外部発振の周波数が10 MHzの場合の、リセット解除後とPLL設定後のクロックの周波数を以下に示します。

クロック	リセット解除後	PLL設定後
CPUクロック(MCLK)	外部発振周波数10 MHzの1/2倍(5.00 MHz)	外部発振周波数の6倍(60.0 MHz)
周辺クロック(IOCLK)	外部発振周波数10 MHzの1/8倍(1.25 MHz)	外部発振周波数の3倍(30.0 MHz)

以下に、設定手順を示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止 (*1)	PSW	bp11 : IE=0	全マスカブル割込みを禁止します。
2	レジスタ書込みの許可	PRTCKCNT	bp7-0: PRTCKCNT7-0=0x3C	PCNTレジスタへの書込みを許可します。
		PRTCKGEN	bp7-0: PRTCKGEN7-0=0xE2	CKCTRレジスタへの書込みを許可します。
3	PLL逓倍率の設定	PCNT	bp3-0: CLKSEL3-0=0100	PLL逓倍率を6逓倍に設定します。
4	PLLのON/OFFの設定	PCNT	bp4:PLLON=1	PLLを動作させます。 ループプログラム等の実行により200 μs間、PLLの発振安定待ちをします。
5	IOCLKの周波数を設定	CKCTR	bp5:IOCK1=1 bp4:IOCK0=1	IOCLKの周波数をMCLKの1/2に設定します。
6	PLL出力を選択	PCNT	bp5:PLLSEL=1	PLL出力をクロックに設定します。
7	レジスタ書込みの禁止	PRTCKCNT	bp7-0: PRTCKCNT7-0=0xFF	PCNTレジスタへの書込みを禁止します。
		PRTCKGEN	bp7-0: PRTCKGEN7-0=0xFF	CKCTRレジスタへの書込みを禁止します。
8	全マスカブル割込みのレベル設定	PSW	bp10-8 : IM2-0	全マスカブル割込みのレベルを設定します。
9	全マスカブル割込みの許可	PSW	bp11 : IE=1	全マスカブル割込みを許可します。

クロックの設定変更中でも、MCLK ≤ 120 MHz、IOCLK ≤ 30 MHzの範囲で設定してください。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

設定手順の網掛け箇所は、割込みの設定手順です。

■ LSI動作中のクロック変更の設定例

本LSI動作中に、MCLK、IOCLKの設定を変更する手順を示します。
外部発振の周波数が10 MHzの場合の、クロック変更前後のクロックの周波数を以下に示します。

クロック	変更前	変更後
CPUクロック(MCLK)	外部発振周波数の6倍 (60 MHz)	外部発振周波数の12倍(120 MHz)
周辺クロック(IOCLK)	外部発振周波数の3倍 (30 MHz)	外部発振周波数の3倍(30 MHz)

以下に、設定手順を示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止 (*1)	PSW	bp11 : IE=0	全マスカブル割込みを禁止します。
2	レジスタ書込みの許可	PRTCKCNT	bp7-0: PRTCKCNT7-0=0x3C	PCNTレジスタへの書込みを許可します。
		PRTCKGEN	bp7-0: PRTCKGEN7-0=0xE2	CKCTRレジスタへの書込みを許可します。
3	クロックの変更	PCNT	bp5:PLLSEL=0	クロックをPLL出力から外部発振に変更します。
4	PLLのON/OFFの設定	PCNT	bp4:PLLON=0	PLLを停止します。
5	PLL逓倍率の変更	PCNT	bp3-0: CLKSEL3-0=1001	PLL逓倍率を6逓倍から12逓倍に変更します。
6	PLLのON/OFFの設定	PCNT	bp4:PLLON=1	PLLを動作させます。 ループプログラムなどの実行により200 μs間、PLLの発振待ちをします。
7	IOCLKの周波数を設定	CKCTR	bp5:IOCK1=1 bp4:IOCK0=0	IOCLKの周波数をMCLKの1/4に設定します。
8	PLL出力を選択	PCNT	bp5:PLLSEL=1	PLL出力をクロックに設定します。
9	レジスタ書込みの禁止	PRTCKCNT	bp7-0: PRTCKCNT7-0=0xFF	PCNTレジスタへの書込みを禁止します。
		PRTCKGEN	bp7-0: PRTCKGEN7-0=0xFF	CKCTRレジスタへの書込みを禁止します。
10	全マスカブル割込みのレベル設定	PSW	bp10-8 : IM2-0	全マスカブル割込みのレベルを設定します。
11	全マスカブル割込みの許可	PSW	bp11 : IE=1	全マスカブル割込みを許可します。

クロックの設定変更中でも、MCLK ≤ 120 MHz、IOCLK ≤ 30 MHzの範囲で設定してください。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

設定手順の網掛け箇所は、割込みの設定手順です。

第5章　動作モード

5

5.1 動作モードの概要

本LSIは、電源起動後にリセット状態となり、発振回路の発振安定待ち時間を経て動作状態になります。動作状態には、CPUの動作/停止により、CPU動作モードとスタンバイモードの2つの動作モードが存在します。スタンバイモードは、クロックや機能ブロックの動作/停止により、さらに3つの動作モードに分類されます。

・CPU動作モード　: NORMALモード

・スタンバイモード: STOPモード、HALTモード、SLEEPモード

本LSIが動作状態に移行してから、4種類の動作モードを適切に切換えることにより、消費電力を低減できます。

5.1.1　動作モードの遷移図

リセット状態と動作状態、および動作モードの遷移図を図5.1.1に示します。

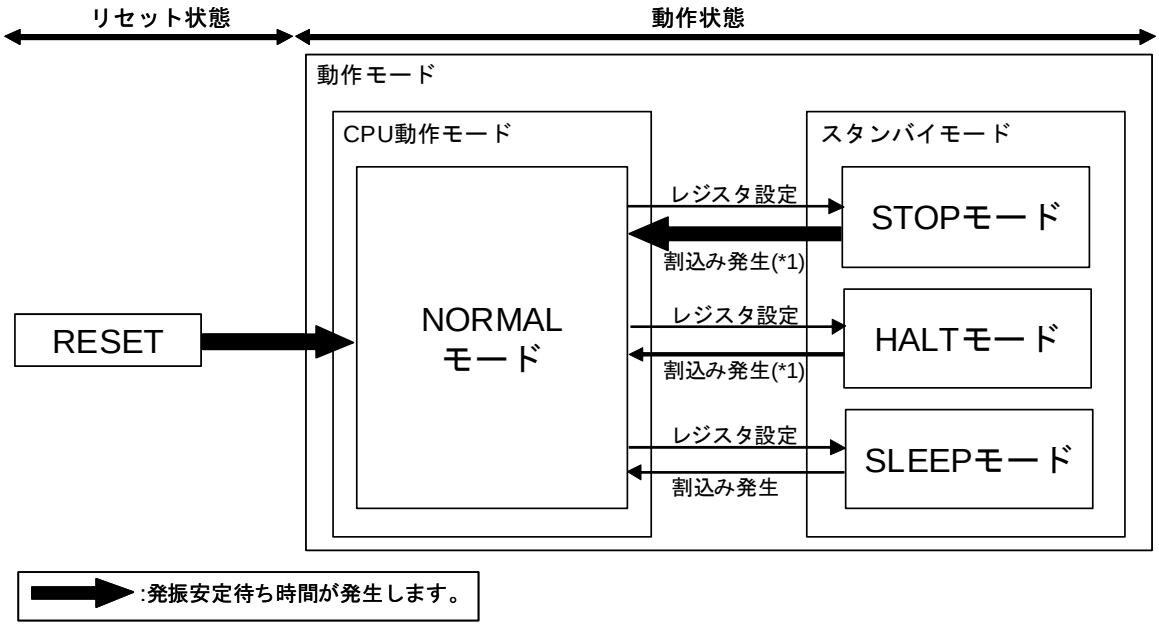


図5.1.1　動作モードの遷移図

リセットが発生した際の動作は、【第8章　リセット機能】を参照してください。

リセット状態から動作状態に移行する際、およびSTOPモードからNORMALモードに復帰する際は、外部発振の発振安定待ちが行われます。

*1 STOP/HALTモードからNORMALモードに復帰する際の割込み要因(復帰割込み要因)は限定されます。詳細は【5.3.1　動作モードの仕様】を参照してください。

5.2　動作モードの制御レジスタ

動作モードの制御レジスター一覧を表5.2.1に示します

表5.2.1 動作モードの制御レジスター一覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
CPUM	0x00008040	R/W	16	CPUモードレジスタ	V-5
PRTCPUM	0x00008048	R/W	8	CPUMレジスタプロテクト制御レジスタ	XIII-4

PRTCPUMレジスタについては、【13.2　レジスタプロテクト機能の制御レジスタ】を参照してください。

5.2.1　CPUモードレジスタ

CPUモードレジスタは、NORMALモードから各スタンバイモードへの移行を制御するレジスタです。

■ CPUモードレジスタ (CPUM:0x00008040) [16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	-	-	-	-	STOP	HALT	SLEEP	Reserved	Reserved
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-5	-	必ず"0"を読出します。
4	STOP	STOPモード移行設定(*1) 0：要求なし 1：要求あり
3	HALT	HALTモード移行設定(*1) 0：要求なし 1：要求あり
2	SLEEP	SLEEPモード移行設定(*1) 0：要求なし 1：要求あり
1	Reserved	必ず"0"を設定してください。
0	Reserved	必ず"0"を設定してください。

上記レジスタを変更する際は、必ずPRTCPUMレジスタにアクセスして書込み許可を与えてください。(【第13章　レジスタプロテクト機能】参照)

スタンバイモードに移行する際は、STOP、HALT、SLEEPビットのいずれか1つのみを"1"に設定してください。

*1 割込みによってスタンバイモードからNORMALモードに復帰すると、STOP、HALT、SLEEPビットは自動的に"0"にクリアされます。

5.3 動作モードの詳細

本LSIの動作モードについて、以下の順に説明します。

・動作モードの仕様

・スタンバイモードの移行設定例

・スタンバイモード移行時の注意

5.3.1 動作モードの仕様

以下の4つの動作モードの定義について説明します。

・CPU動作モード　: NORMALモード

・スタンバイモード: STOPモード、HALTモード、SLEEPモード

■ NORMALモード

NORMALモードは、CPUがMCLKで動作するモードです。リセット解除後、本LSIはNORMALモードで起動します。

■ STOPモード

STOPモードは、外部発振回路およびPLL回路が停止し、CPUも停止するモードです。

NORMALモードからSTOPモードへの移行は、CPUMレジスタのSTOPビットに"1"を設定することで行います。また、STOPモードからNORMALモードへの復帰は割込み(表5.3.1参照)で行います。このとき、外部発振回路およびPLL回路の動作を開始させるため、発振安定待ちが発生します。

■ HALTモード

HALTモードは、外部発振回路およびPLL回路は動作していますが、CPU/周辺回路へのクロック供給を停止し、CPU/周辺回路は停止するモードです。

NORMALモードからHALTモードへの移行は、CPUMレジスタのHALTビットに"1"を設定することで行います。また、HALTモードからNORMALモードへの復帰は割込み(表5.3.1参照)で行います。このとき、発振安定待ちは経由しないため、CPUはすぐに動作します。

■ SLEEPモード

SLEEPモードは、外部発振回路およびPLL回路は動作していますが、CPUへのクロック供給を停止し、CPUは停止、周辺回路は動作するモードです。

NORMALモードからSLEEPモードへの移行は、CPUMレジスタのSLEEPビットに"1"を設定することで行います。また、SLEEPモードからNORMALモードへの復帰は割込み(表5.3.1参照)で行います。このとき、発振安定待ちは経由しないため、CPUはすぐに動作できます。

各スタンバイモードからNORMALモードに復帰する際の割込み要因(復帰割込み要因)を表5.3.1に示します。

表 5.3.1 各スタンバイモードの復帰割込み要因

スタンバイモード	割込み要因名
STOPモード/ HALTモード	フェイルセーフ機能割込み、電源電圧検知割込み、コンパレータn検出割込み、外部割込み シリアルn通信完了割込み(クロック同期式シリアルのスレーブ通信時)、CAN割込みを受付け
SLEEPモード	すべての割込み要因でNORMALモードに復帰

各動作モードのクロックの状態を表5.3.2に、機能ブロックの状態を表5.3.3に示します。

表 5.3.2 各動作モードのクロックの状態

	NORMALモード	STOPモード	HALTモード	SLEEPモード
内蔵発振	動作	動作	動作	動作
外部発振	動作	停止	動作	動作
CPUクロック(MCLK)	動作	停止	停止	動作
周辺クロック(IOCLK)	動作	停止	停止	動作

表 5.3.3 各動作モードの機能ブロックの状態

	NORMALモード	STOPモード	HALTモード	SLEEPモード
CPU	動作	停止	停止	停止
外部発振回路	動作	停止	動作	動作
内蔵発振回路	動作	動作	動作	動作
割込みコントローラ	動作	停止(*1)	停止(*1)	動作
電源電圧検知機能	動作	動作	動作	動作
クロック監視機能	動作	停止	動作	動作
ウォッチドッグタイマ	動作	停止	停止	停止
ウォッチドッグタイマ2	動作	動作	動作	動作
レジスタプロテクト機能	動作	停止	停止	停止
ノイズフィルタ	動作	停止	停止	動作
両エッジ検出機能	動作	停止	停止	動作
I/Oポート	動作	状態保持	状態保持	状態保持
8ビットタイマ	動作	停止	停止	動作
16ビットタイマ	動作	停止	停止	動作
モータ制御用PWM	動作	停止	停止	動作
シリアルインタフェース	動作	停止(*1)	停止(*1)	動作
CANコントローラ	動作	停止(*1)	停止(*1)	動作
A/Dコンバータ	動作	停止(*2)	停止(*2)	動作
VGA	動作	動作	動作	動作
コンパレータ	動作	動作	動作	動作
D/Aコンバータ	動作	状態保持	状態保持	状態保持
フラッシュメモリ	動作	停止	停止	停止

*1 フェイルセーフ機能割込み、電源電圧検知割込み、コンパレータn検出割込み、外部割込み、シリアルインタフェースn通信完了割込み(クロック同期式シリアルのスレーブ通信時)、CAN割込みを受付けます。
*2 ANxCTROレジスタのANxONビットを"1"(A/D変換待機状態)に設定している場合は、A/D変換機能は停止しますが、A/Dコンバータはパワーダウンモードになりません。

HALT、STOPモード時は、ノイズフィルタの両エッジ検出機能が停止します。復帰割込み要因が外部割込みの場合は、ノイズフィルタの両エッジ検出機能を使用しないでください。

5.3.2　スタンバイモードの移行設定例

NORMALモードからSTOPモードへ移行する際の設定例を以下に示します。

NORMALモードからHALT/SLEEPモードへ移行する場合も同じ手順です。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止（*1）	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	割込みの禁止	GnICR	GnIEm=0	すべての割込みを禁止します。
3	割込み要求ビットと検出ビットのクリア	GnICR	GnIRm=0 GnIDm=1	割込み要求ビットと検出ビットをクリアします。
4	割込みレベルの設定（*2）	GnICR	GnILV2-0	割込みレベルを設定します。
5	割込みの許可（*2）	GnICR	GnIEm=1	スタンバイモードから復帰する際の割込み要因は、割込みを許可します。(*3)
6	全マスカブル割込みのレベル設定	PSW	bp10-8:IM2-0	全マスカブル割込みのレベルを設定します。
7	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。
8	レジスタ書込みの許可	PRTCPUM	bp7-0: PRTCPUM7-0=0xCA	CPUMレジスタへの書込みを許可します。
9	動作モードの移行	CPUM	bp4: STOP=1	STOPモードへの移行要求を設定します。
10	レジスタ書込みの禁止	PRTCPUM	bp7-0: PRTCPUM7-0=0xFF	CPUMレジスタへの書込みを禁止します。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。
*2 "割込みレベルの設定"と"割込みの許可"は同時に実行しないでください。

設定手順の網掛け箇所は、割込みの設定手順です。

*3 STOP/HALTモードの復帰割込み要因は限定されます。詳細は表5.3.1を参照してください。

NORMALモードからSTOPモードへ移行し、STOPモードからNORMALモードへ復帰する際のフローチャートを図5.3.1に示します。

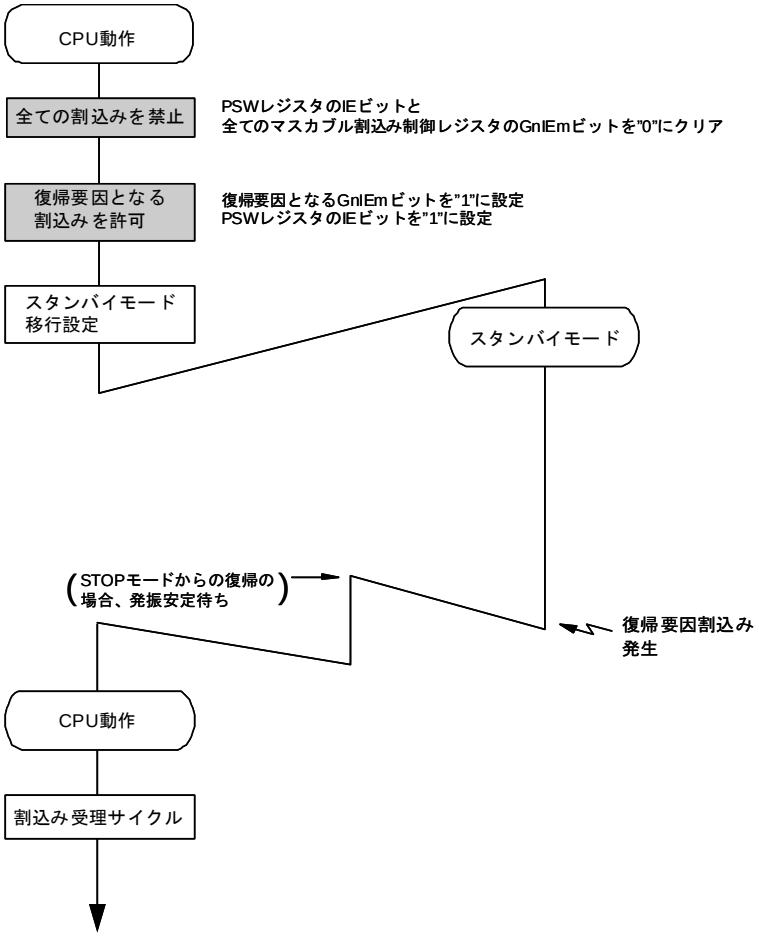


図5.3.1　動作モード移行のフローチャート

STOP/HALT/SLEEPモードに移行する前に、割込み許可状態、かつ復帰割込み要因の優先レベルがPSWレジスタに設定されたマスクレベル以上でない場合、マスカブル割込みでは復帰できません。

CPUMレジスタでスタンバイモード移行要求を設定したあとに、ダミーサイクルが必要です。CPUMレジスタを設定するmov命令に続けて、nop命令を2個以上挿入してください。この場合のアセンブリプログラム例を以下に示します。

```
1. mov    0xCA,D0          ;
2. movbu  D0,(PRTCPUM)     ;CPUMレジスタ書込み許可
3. mov    0x0010,D0        ;
4. movhu  D0,(CPUM)        ;STOPモード移行要求
5. nop                     ;最大2命令後にCPUが停止します。
   nop
```

5.3.3　スタンバイモード移行時の注意

スタンバイモード移行時の注意を記載します。

CPUMレジスタの設定によってスタンバイモードへ移行する前に復帰割込み要因が発生し、スタンバイモード移行後に復帰割込み要因の発生を保証できない場合、スタンバイモードから復帰できない可能性があります。このため、復帰割込みをスタンバイモードへの移行後に発生させる、またはスタンバイモードへの移行前に復帰割込みが発生した場合には、スタンバイモードへ移行させない処理が必要です。

STOPモード移行時の設定手順を、アセンブリプログラムで以下に示します。

■ マスカブル割込みによりスタンバイモードから復帰する場合

CPUMレジスタのSTOPビットを"1"に設定している場合は、マスカブル割込み禁止状態(PSWレジスタのIEビットが"0")であっても、復帰割込み要因が発生した場合は、CPUは動作状態に戻ります。

復帰割込み要因の設定前にマスカブル割込み禁止状態にし、STOPモード移行要求前に復帰割込み要因が発生しないことを保障したうえで、STOPモード移行要求を設定してください。ただし、CPUが動作状態に戻った時点ではマスカブル割込みは禁止状態であるため、割込みハンドラには分岐せず、通常のプログラム実行が再開されます。割込みハンドラに分岐させるためには、クロックの発振安定待ち後にマスカブル割込みを許可(PSWレジスタのIEビットが"1")にする必要があります。

この場合のアセンブリプログラム例を以下に示します。

```
   :
1. and 0xF7FF, PSW      ;マスカブル割込み禁止の設定
   :
   :                    ;復帰割込み要因の設定
   :
2. mov 0xCA,D0
3. movbu D0,(PRTCPUM)   ;CPUMレジスタ書込み許可
4. mov 0x0010,D0
5. movhu D0,(CPUM)      ;STOPモード移行要求
6. nop                  ;最大2命令後にCPUが停止します
   nop
7. or 0x0800,PSW        ;マスカブル割込み許可の設定
```

STOPモード移行要求後、CPUが停止するまでにCPUMレジスタをクリアした場合は、STOPモードからNORMALモードへ復帰できなくなりますので、STOPモード移行要求後の2命令以内にはCPUMクリア命令を配置しないでください。

STOPモードから復帰した際、PRTCPUMレジスタの値を任意の値に変更し、CPUMレジスタへの書込みを禁止しておくことを推奨します。

■ ノンマスカブル割込みにより復帰する場合

STOPモード移行要求前に、復帰割込み要因であるノンマスカブル割込みが発生した場合、STOPモードに移行させない処理が必要です。この場合のアセンブリプログラム例を以下に示します。

(1) メインプログラム

```
                :
                mov    0xCA,D0
                movbu  D0,(PRTCPUM)  ;CPUMレジスタ書込み許可
                mov    0x0010,D0
                movhu  D0,(CPUM)     ;STOP移行要求
cpum_write:     nop                  ;最大2命令後にCPUが停止します
                nop
                :
```

(2) NMIハンドラの先頭

```
                movm [D2],(SP)       ;使用レジスタの退避
                mov (0x8,SP),D2
                cmp cpum_write,D2    ;STOP移行要求実行済確認
                bhi skip_write
                mov cpum_write,D2    ;移行要求実行前ならば、
                mov D2,(0x8,SP)      ;移行要求の次の命令に復帰番地を変更
skip_write:     movm (SP),[D2]       ;NMIハンドラ本体
```

第6章　DMAコントローラ

6

6.1 DMAコントローラの概要

本LSIは、3チャネルのDMA(Direct Memory Access)コントローラを搭載しています。DMAコントローラを使用することで、CPUを使用せずに、メモリ空間(CPU制御レジスタ空間を除く)に対してデータ転送できます。

6.1.1 DMAコントローラの機能一覧

DMAコントローラの機能一覧を、表6.1.1に示します。各機能は、DMAコントローラの制御レジスタで設定します。詳細は【6.2 DMAコントローラの制御レジスタ】を参照してください。

表 6.1.1 DMA コントローラの機能一覧

機能名	説明
チャネル数	3チャネル
DMA起動要因	表6.1.2を参照してください
DMA転送の動作	転送開始、転送終了、転送中断、転送強制終了
転送アドレッシングモード	インクリメント、デクリメント、固定 (DMAソースアドレス、DMAデスティネーションアドレスともに選択可)
転送形態	2バスサイクル転送
DMA転送単位	8ビット、16ビット、32ビット
最大転送語数	$(2^{16}-1)$語
最大間欠サイクル数	255回
DMA転送モード	1語転送モード、バースト転送モード、間欠転送モード
割込み要因	DMA転送終了割込み DMA転送終了後要求割込み DMA転送要求オーバフロー割込み
チャネルの優先順位	DMA ch0 > DMA ch1 > DMA ch2

表 6.1.2 各シリーズの DMA 起動要因一覧

備考 O：搭載 －：非搭載

機能名	MN103HFx3 シリーズ	MN103HFx4 シリーズ	MN103HFx5 シリーズ	MN103HFx6 シリーズ	MN103HFx7/x8 シリーズ
IRQn端子入力	O[8本]	O[10本]	O[12本]	O[16本]	O[16本]
シリアルnUART受信完了	O[3本]	O[3本]	O[4本]	O[4本]	O[4本]
シリアルn通信完了/UART送信完了	O[3本]	O[3本]	O[4本]	O[4本]	O[4本]
シリアルn送信バッファエンプティ	O[3本]	O[3本]	O[4本]	O[4本]	O[4本]
IIC通信完了	O	O	O	O	O
IIC送信バッファエンプティ	O	O	O	O	O
CAN割込み	O	O	O	O	O
PWM0オーバフロー A/アンダフロー A PWM0オーバフロー B/アンダフロー B PWM0オーバフロー C/アンダフロー C	O	O	O	O	O
PWM1オーバフロー /アンダフロー	－	O	O	O	O
PWM2オーバフロー /アンダフロー	－	－	－	－	O
A/D0変換終了/A/D0変換終了B	O	O	O	O	O
A/D1変換終了/A/D1変換終了B	O	O	O	O	O
A/D2変換終了	－	－	O	O	O
タイマnアンダフロー (n=0 ～ 5)	O	O	O	O	O
ソフトウェア起動	O	O	O	O	O

6.1.2　DMAコントローラのブロック図

DMAコントローラのブロック図を、図6.1.1に示します。

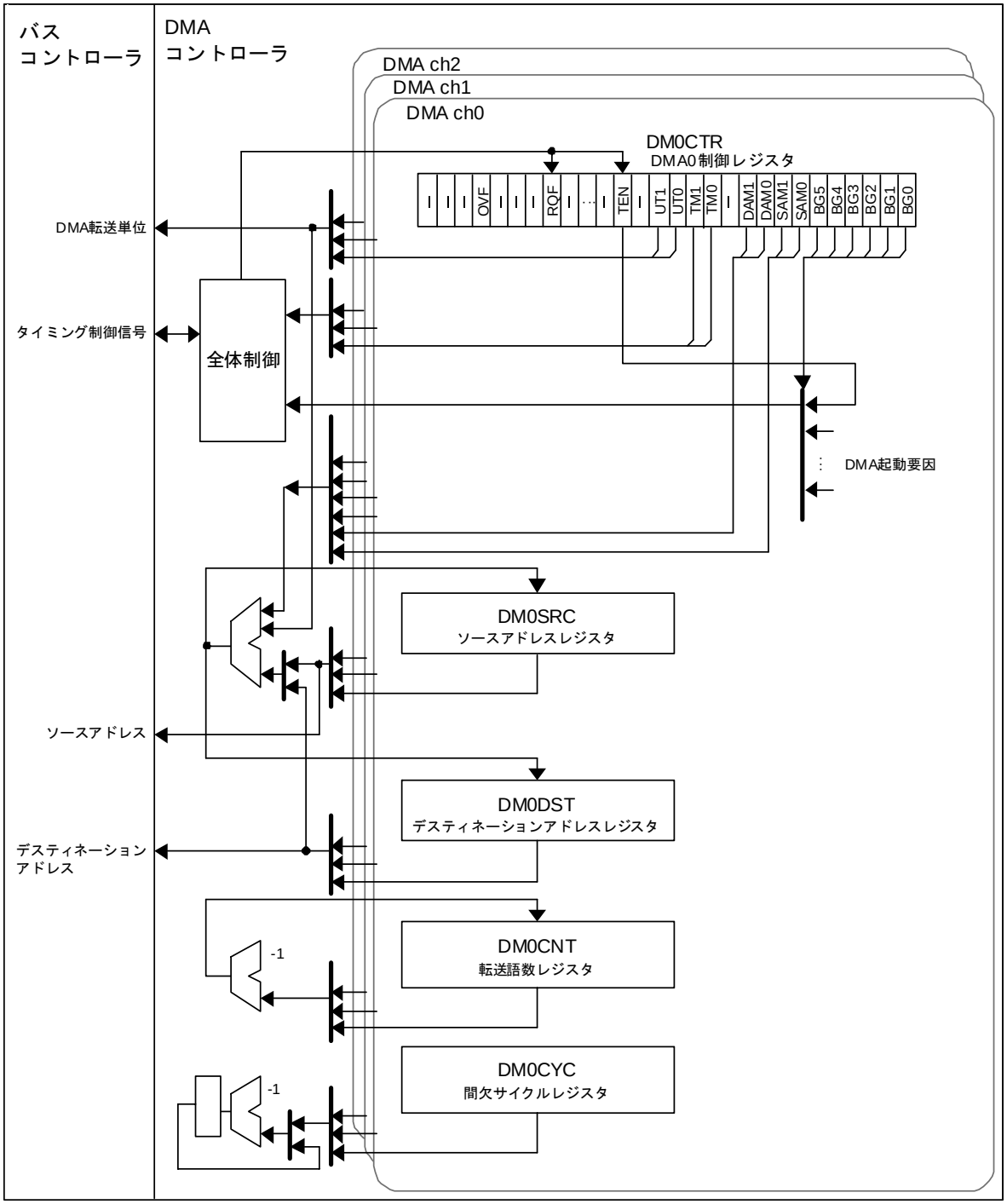


図6.1.1　DMAコントローラのブロック図

6.2 DMAコントローラの制御レジスタ

DMAコントローラの制御レジスター覧を表6.2.1に示します。

表 6.2.1 DMA コントローラ制御レジスター覧

	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
DMA ch0	DM0CTR	0x00008500	R/W	8,16,32	DMA0制御レジスタ	VI-6
	DM0SRC	0x00008504	R/W	32	DMA0ソースアドレスレジスタ	VI-11
	DM0DST	0x00008508	R/W	32	DMA0デスティネーションアドレスレジスタ	VI-12
	DM0CNT	0x0000850C	R/W	16	DMA0転送語数レジスタ	VI-13
	DM0CYC	0x0000850E	R/W	8	DMA0間欠サイクルレジスタ	VI-14
DMA ch1	DM1CTR	0x00008510	R/W	8,16,32	DMA1制御レジスタ	VI-6
	DM1SRC	0x00008514	R/W	32	DMA1ソースアドレスレジスタ	VI-11
	DM1DST	0x00008518	R/W	32	DMA1デスティネーションアドレスレジスタ	VI-12
	DM1CNT	0x0000851C	R/W	16	DMA1転送語数レジスタ	VI-13
	DM1CYC	0x0000851E	R/W	8	DMA1間欠サイクルレジスタ	VI-14
DMA ch2	DM2CTR	0x00008520	R/W	8,16,32	DMA2制御レジスタ	VI-6
	DM2SRC	0x00008524	R/W	32	DMA2ソースアドレスレジスタ	VI-11
	DM2DST	0x00008528	R/W	32	DMA2デスティネーションアドレスレジスタ	VI-12
	DM2CNT	0x0000852C	R/W	16	DMA2転送語数レジスタ	VI-13
	DM2CYC	0x0000852E	R/W	8	DMA2間欠サイクルレジスタ	VI-14

6.2.1　DMA制御レジスタ

DMA制御レジスタは、DMA ch0～2の転送パラメータを設定します。

■ DMA制御レジスタ(DMnCTR)[8,16,32ビットアクセスレジスタ]
DM0CTR: 0x00008500, DM1CTR: 0x00008510, DM2CTR: 0x00008520

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-	-	-	DMn OVF	-	-	-	DMn RQF	-	-	-	-	-	-	-	DMn TEN
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-	DMnUT1-0		DMnTM1-0		-	DMnDAM1-0		DMnSAM1-0		DMnBG5-0					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	DMnOVF	DMA転送オーバフロー検出 0:未検出 1:検出
27-25	-	必ず"0"を読出します。
24	DMnRQF	DMA転送要求 0:要求なし 1:要求あり
23-17	-	必ず"0"を読出します。
16	DMnTEN	DMA転送イネーブル 0:ディスエーブル 1:イネーブル
15	-	必ず"0"を読出します。
14-13	DMnUT1-0	DMA転送単位 00:8ビット 01:16ビット 10:32ビット 11:設定禁止
12-11	DMnTM1-0	DMA転送モード 00:バースト転送 01:1語転送 10:間欠転送 11:設定禁止
10	-	必ず"0"を読出します。

bp	ビット名	説明
9-8	DMnDAM1-0	DMAデスティネーション側の転送アドレッシングモード 00:インクリメント 01:デクリメント 10:固定 11:設定禁止
7-6	DMnSAM1-0	DMAソース側の転送アドレッシングモード 00:インクリメント 01:デクリメント 10:固定 11:設定禁止
5-0	DMnBG5-0	DMA起動要因の設定 設定値とDMA起動要因は、表6.2.2を参照してください。

表 6.2.2 DMA 起動要因一覧

備考 O：搭載 －：非搭載

DMnBG5-0の設定値	起動要因	MN103HFx3シリーズ	MN103HFx4シリーズ	MN103HFx5シリーズ	MN103HFx6シリーズ	MN103HFx7/x8シリーズ
000000	ソフトウェア起動	O	O	O	O	O
000001	IRQ0端子入力	O	O	O	O	O
000010	IRQ1端子入力	O	O	O	O	O
000011	IRQ2端子入力	O	O	O	O	O
000100	IRQ3端子入力	O	O	O	O	O
000101	IRQ4端子入力	－	O	O	O	O
000110	IRQ5端子入力	－	O	O	O	O
000111	IRQ6端子入力	－	－	O	O	O
001000	IRQ7端子入力	－	－	O	O	O
001001	IRQ8端子入力	O	O	O	O	O
001010	IRQ9端子入力	O	O	O	O	O
001011	IRQ10端子入力	O	O	O	O	O
001100	IRQ11端子入力	O	O	O	O	O
001101	IRQ12端子入力	－	－	－	O	O
001110	IRQ13端子入力	－	－	－	O	O
001111	IRQ14端子入力	－	－	－	O	O
010000	IRQ15端子入力	－	－	－	O	O
010001	CAN割込み	O	O	O	O	O
010010	設定禁止	設定禁止				
010011	PWM0オーバフローA	O	O	O	O	O
010100	PWM0アンダフローA	O	O	O	O	O
010101	PWM0オーバフローB	O	O	O	O	O
010110	PWM0アンダフローB	O	O	O	O	O
010111	PWM0オーバフローC	O	O	O	O	O
011000	PWM0アンダフローC	O	O	O	O	O

備考 O：搭載 －：非搭載

DMnBG5-0の設定値	起動要因	MN103HFx3シリーズ	MN103HFx4シリーズ	MN103HFx5シリーズ	MN103HFx6シリーズ	MN103HFx7/x8シリーズ
011001	PWM1オーバフロー	－	O	O	O	O
011010	PWM1アンダフロー	－	O	O	O	O
011011	PWM2オーバフロー	－	－	－	－	O
011100	PWM2アンダフロー	－	－	－	－	O
011101	A/D0変換終了	O	O	O	O	O
011110	A/D0変換終了B	O	O	O	O	O
011111	A/D1変換終了	O	O	O	O	O
100000	A/D1変換終了B	O	O	O	O	O
100001	A/D2変換終了	－	－	O	O	O
100010	シリアル0UART受信完了	O	O	O	O	O
100011	シリアル0通信完了/UART送信完了	O	O	O	O	O
100100	シリアル0送信バッファエンプティ	O	O	O	O	O
100101	IIC通信完了	O	O	O	O	O
100110	IIC送信バッファエンプティ	O	O	O	O	O
100111	設定禁止	設定禁止				
101000	シリアル1UART受信完了	O	O	O	O	O
101001	シリアル1通信完了/UART送信完了	O	O	O	O	O
101010	シリアル1送信バッファエンプティ	O	O	O	O	O
101011	シリアル2UART受信完了	－	－	O	O	O
101100	シリアル2通信完了/UART送信完了	－	－	O	O	O
101101	シリアル2送信バッファエンプティ	－	－	O	O	O
101110	シリアル3UART受信完了	O	O	O	O	O
101111	シリアル3通信完了/UART送信完了	O	O	O	O	O
110000	シリアル3送信バッファエンプティ	O	O	O	O	O
110001	シリアル4UART受信完了	－	－	－	－	O
110010	シリアル4通信完了/UART送信完了	－	－	－	－	O
110011	シリアル4送信バッファエンプティ	－	－	－	－	O
110100	タイマ0アンダフロー	O	O	O	O	O
110101	タイマ1アンダフロー	O	O	O	O	O
110110	タイマ2アンダフロー	O	O	O	O	O
110111	タイマ3アンダフロー	O	O	O	O	O
111000	タイマ4アンダフロー	O	O	O	O	O
111001	タイマ5アンダフロー	O	O	O	O	O
上記以外	設定禁止	設定禁止				

DMnCTRレジスタのDMnTENビットが"1"のとき(DMA起動要因待ちの間、またはDMA転送中)は、DMnCTRレジスタを変更しないでください。ただし、DMnTENビットは除きます。DMnTENビットの設定を変更するときは、DMnCTRレジスタの他のビットを書換えないでください。

周辺機能制御レジスタへDMA転送する際は、各レジスタのアクセスサイズにしたがってDMA転送単位をDMnUT1-0ビットで設定してください。

・DMnOVF

DMnOVFビットの変化条件を以下に示します。

ビット変化	条件
"1"セット	DMA転送要求のオーバフロー発生
"0"クリア	DMnTENビットに"0"または"1"を書込み

・DMnRQF

DMnRQFビットの変化条件を以下に示します。

ビット変化	条件
"1"セット	DMA起動要因の発生
"0"クリア	DMA転送モードによって、"0"にクリアする条件が異なります。 1語転送モード: 1回のDMA転送終了時に、次のDMA転送の転送要求を受付けていない場合 間欠転送モードとバースト転送モード: DMA転送語数分の転送終了 強制終了時のDMA転送終了

・DMnTEN

DMnTENビットの変化条件を以下に示します。

ビット変化	条件
"1"セット	"1"書込み
"0"クリア	"0"書込み また、DMA転送終了により"0"にクリアします。この場合、DMA転送モードによって、"0"にクリアする条件が異なります。 1語転送モード: DMA転送語数分の転送終了 ただし、DMA起動要因がソフトウェアの場合は1回のDMA転送終了時 間欠転送モードとバースト転送モード: DMA転送語数分の転送終了

6.2.2 DMAソースアドレスレジスタ

DMAソースアドレスレジスタは、各チャネルの転送元アドレスを設定します。

■ DMAソースアドレスレジスタ(DMnSRC)[32ビットアクセスレジスタ]
DM0SRC:0x00008504,DM1SRC:0x00008514,DM2SRC:0x00008524

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	DMnSA31-16															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DMnSA15-0															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
31-0	DMnSA31-0	DMA chnの転送元アドレスを設定してください。

DMnCTRレジスタのDMnTENビットが"1"のとき(DMA起動要因待ちの間、またはDMA転送中)は、DMnSRCレジスタを変更しないでください。

DMAソースアドレスはDMA転送単位に応じて、1バイト境界(8ビット)、2バイト境界(16ビット)、4バイト境界(32ビット)にしてください。

DMA転送中のDMnSRCレジスタは、次の転送元アドレスを示しています。DMA転送毎にDMnCTRレジスタの設定(DMnUT1-0ビットとDMnSAM1-0ビット)にしたがって、転送元アドレスを更新します。

6.2.3　DMAデスティネーションアドレスレジスタ

DMAデスティネーションアドレスレジスタは、各チャネルの転送先アドレスを設定します。

■ DMAデスティネーションアドレスレジスタ(DMnDST)[32ビットアクセスレジスタ]
DM0DST:0x00008508,DM1DST:0x00008518,DM2DST:0x00008528

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	DMnDA31-16															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DMnDA15-0															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
31-0	DMnDA31-0	DMA chnの転送先アドレスを設定してください。

DMnCTRレジスタのDMnTENビットが"1"のとき(DMA起動要因待ちの間、またはDMA転送中)は、DMnDSTレジスタを変更しないでください。

DMAデスティネーションアドレスはDMA転送単位に応じて、1バイト境界(8ビット)、2バイト境界(16ビット)、4バイト境界(32ビット)にしてください。

DMA転送中のDMnDSTレジスタは、次の転送先アドレスを示しています。転送毎にDMnCTRレジスタの設定(DMnUT1-0ビットとDMnDAM1-0ビット)にしたがって、転送先アドレスを更新します。

6.2.4　DMA転送語数レジスタ

DMA転送語数レジスタは、各チャネルの転送語数を設定します。

■ DMA転送語数レジスタ(DMnCNT)[16ビットアクセスレジスタ]
DM0CNT:0x0000850C, DM1CNT:0x0000851C, DM2CNT:0x0000852C

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	DMnCT15-0															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-0	DMnCT15-0	DMA転送語数 0x0000:設定禁止 0x0001:1回 ～　　:n回 0xFFFF:(2^{16}-1)回(最大DMA転送語数)

DMnCTRレジスタのDMnTENビットが"1"のとき(DMA起動要因待ちの間、またはDMA転送中)は、DMnCNTレジスタを変更しないでください。

DMnCNTレジスタは、DMA転送毎に"1"減算して値を更新します。

6.2.5　DMA間欠サイクルレジスタ

DMA間欠サイクルレジスタは、各チャネルの間欠サイクル数を設定します。

■ DMA間欠サイクルレジスタ(DMnCYC)[8ビットアクセスレジスタ]
DM0CYC:0x0000850E, DM1CYC:0x0000851E, DM2CYC:0x0000852E

bp	7	6	5	4	3	2	1	0
ビット名	DMnCYC7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
8-0	DMnCYC7-0	DMA間欠サイクル数 0x00:設定禁止(間欠転送モード時) 0x01:1回(*1) ～　:n回 0xFF:255回(*2)

DMnCTRレジスタのDMnTENビットが"1"のとき(DMA起動要因待ちの間、またはDMA転送中)は、DMnCYCレジスタを変更しないでください。

*1 1回間欠は、間欠サイクル数の最小値です。1回のDMA転送した後にバスを解放します。
*2 255回間欠は、間欠サイクル数の最大値です。255回のDMA転送した後にバスを解放します。

6.3 DMAコントローラの詳細

DMAコントローラについて、以下の順に説明します。

- DMA転送の対象空間
- DMA転送の動作
- DMA転送モード
- 割込み要因
- 優先順位
- DMA転送の設定例

6.3.1 DMA転送の対象空間

DMA転送は、図6.3.1に示す以下の空間(DMA転送対象空間)に対して行えます。

- キャッシャブル フラッシュメモリ空間
- アンキャッシャブル フラッシュメモリ空間
- データRAM空間
- 命令RAM空間
- キャッシュデータ空間
- 周辺機能制御レジスタ空間

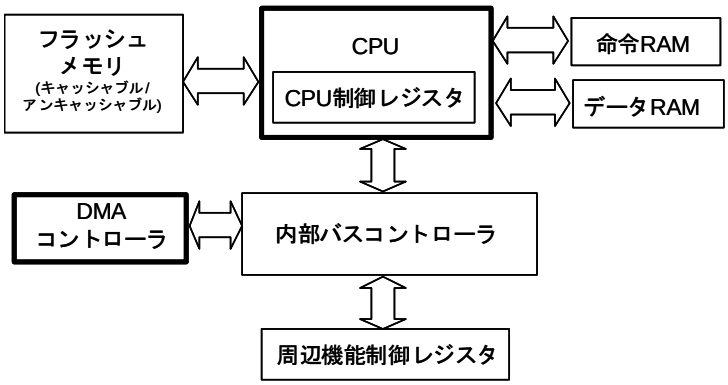


図6.3.1 DMA転送に関するブロック図

DMA転送対象空間以外の空間に対するDMA転送は禁止です。また、CPU制御レジスタ空間は、DMA転送対象空間ではありません。

6.3.2　DMA転送の動作

DMA転送の動作について、以下の順で説明します。

・DMA転送の開始

・DMA転送の終了

・DMA転送の中断

・DMA転送の強制終了

■ DMA転送の開始

DMnCTRレジスタのDMnTENビットを"1"に設定すると、DMAコントローラはDMA起動要因待ちになります。DMA起動要因待ちの状態で、DMA起動要因(DMnCTRレジスタのDMnBG5-0ビットで設定)が発生すると、DMAコントローラはDMA転送を開始します。DMA転送では、DMnSRCレジスタで設定したメモリ空間からDMnDSTレジスタで設定したメモリ空間へデータを転送します。DMA転送には、3つの転送モードがあります。転送モードの詳細は【6.3.3 DMA転送モード】を参照してください。

DMA起動要因がソフトウェアの場合、DMnTENビットに"1"を設定した時点でDMA転送を開始します。

DMA起動要因がIRQn端子入力の場合、入力信号のサンプリングは割込みコントローラの設定に従います。

■ DMA転送の終了

DMA転送語数分(DMnCNTレジスタのDMnCT15-0ビットで設定)のデータ転送が実行されると、DMAコントローラはDMA転送を終了し、DMA転送終了割込みを発生させます。

■ DMA転送の中断

DMA転送中に、DMA転送中のチャネルよりも優先順位の高いメモリバス要求やDMA転送要求、またはノンマスカブル割込みが発生した場合に、DMAコントローラはDMA転送を中断します。DMA転送の優先順位については【6.3.5 優先順位】を参照してください。

■ DMA転送の強制終了

DMnCTRレジスタのDMnTENビットに"0"を書込むことによって、DMAコントローラはDMA転送を強制終了します。

STOP/HALTモード時は、DMA転送は禁止です。STOP/HALTモードに移行する前にDMnCTR レジスタのDMnTENビットを"0"にクリアし、DMA転送を強制終了してください。

SLEEPモード時は、内蔵メモリ空間に対するDMA転送は禁止です。DMA転送の対象空間に内蔵メモリ空間が含まれている場合、SLEEPモードに移行する前に、DMnCTRレジスタのDMnTENビットを"0"にクリアし、DMA転送を強制終了してください。

強制終了したDMA chnのデータ転送が完了するまで(DMnCTRレジスタのDMnRQFビットが"0"にクリアされるまで)、DMnCTRレジスタ、DMnSRCレジスタ、DMnDSTレジスタ、DMnCNTレジスタ、DMnCYCレジスタの書換えは行わないでください。

6.3.3　DMA転送モード

DMAコントローラには、以下の3種類の転送モードがあります。転送モードはDMnCTRレジスタのDMnTM1-0ビットで設定します。

・1語転送モード

・バースト転送モード

・間欠転送モード

■ 1語転送モード

1語転送モードの基本動作を、図6.3.2を用いて説明します。

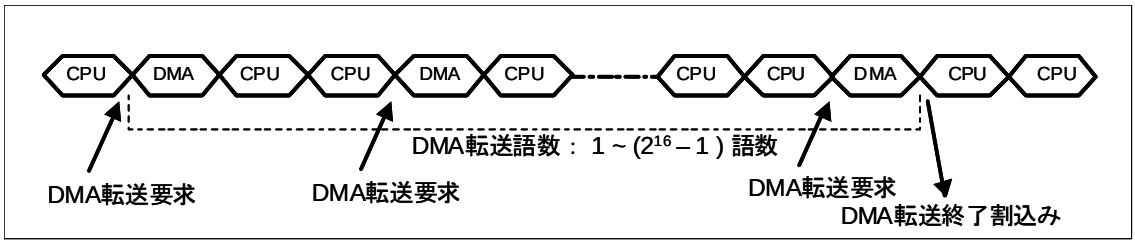


図6.3.2　1語転送モードの基本動作

1語転送モードでは、1回のDMA転送要求で、DMA転送単位(DMnCTRレジスタのDMnUT1-0ビットで設定)のデータを1回転送します。1語転送モードでは、転送終了後にバスを解放します。
DMAコントローラは、DMA転送語数分(DMnCNTレジスタのDMnCT15-0ビットで設定)の転送が終了した時点でDMA転送終了割込みを発生させます。

1語転送モードでは、DMA転送中に再度DMA転送要求があった場合、1回の転送完了後にバスを開放せず、続けてDMA転送を行います。

■ バースト転送モード

バースト転送モードの基本動作を、図6.3.3を用いて説明します。

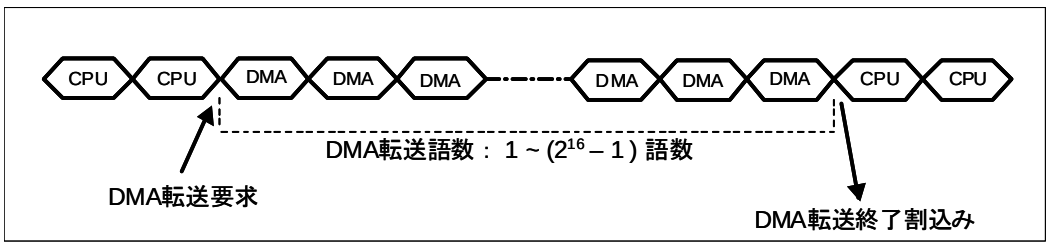


図6.3.3　バースト転送モードの基本動作

バースト転送モードでは、1回のDMA転送要求で、DMA転送単位(DMnCTRレジスタのDMnUT1-0ビットで設定)のデータを、DMA転送語数分(DMnCNTレジスタのDMnCT15-0ビットで設定)、連続して転送します。
バースト転送モードでは、転送が終了するまでバスを解放しません。DMAコントローラは、DMA転送語数分の転送が終了した時点でDMA転送終了割込みを発生させます。

■ 間欠転送モード

間欠転送モードの基本動作を、図6.3.4を用いて説明します。

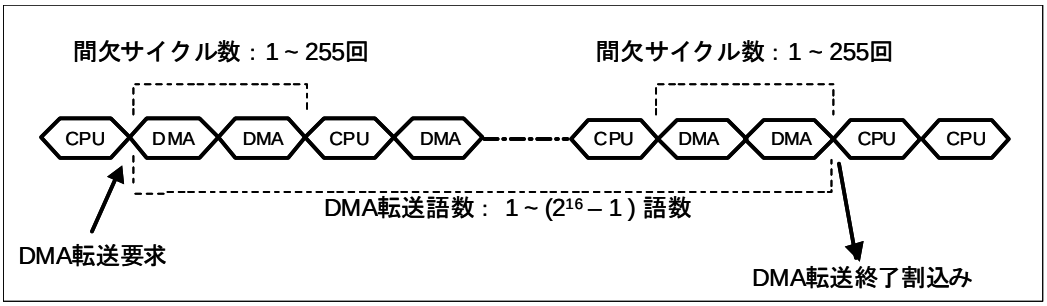


図6.3.4　間欠転送モードの基本動作

間欠転送モードでは、1回のDMA転送要求で、DMA転送単位(DMnCTRレジスタのDMnUT1-0ビットで設定)のデータを、DMA転送語数分(DMnCNTレジスタのDMnCT15-0ビットで設定)、転送します。ただし、間欠転送モードでは、DMA間欠サイクル数分(DMnCYCレジスタのDMnCYC7-0ビットで設定)のデータ転送を行った時点で、一度バスを解放します。DMAコントローラは、DMA転送語数分の転送が終了した時点でDMA転送終了割込みを発生させます。

6.3.4　割込み要因

DMAコントローラは、以下の3種類の割込みを発生させます。

- DMA転送終了割込み
- DMA転送終了後要求割込み
- DMA転送要求オーバフロー割込み

割込みを許可する設定は、割込みコントローラの割込み制御レジスタで行います。設定方法は【第7章 割込みコントローラ】を参照してください。

■ DMA転送終了割込み

DMA転送終了割込みは、DMA転送語数分(DMnCNTレジスタのDMnCT15-0ビットで設定)の転送が完了したときに、割込みコントローラへ出力されます。各DMA転送モードのDMA転送終了割込みの出力タイミングについては、図6.3.2～図6.3.4を参照してください。

■ DMA転送終了後要求割込み

DMA転送終了後要求割込みは、DMA転送語数(DMnCNTレジスタのDMnCT15-0ビットで設定)の最終転送時のリードアクセス開始以降に、DMnCTRレジスタのDMnTENビットの書換えを行わずに再度DMA転送要求が発生したときに、割込みコントローラへ出力されます。この場合、DMAコントローラはDMA転送要求を無視します。

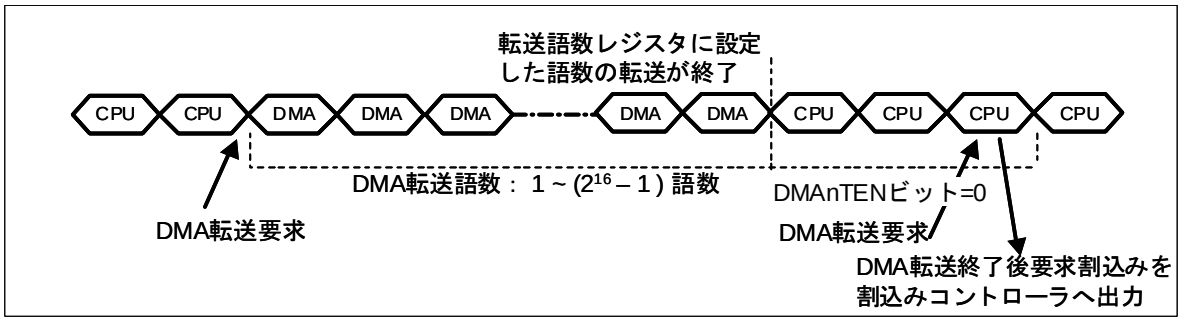


図6.3.5　DMA転送終了後要求割込みの出力タイミング

■ DMA転送要求オーバフロー割込み

DMA転送要求オーバフロー割込みは、DMA転送モードによって発生条件が異なります。

・1語転送モード

DMA転送要求オーバフロー割込みは、1回の転送中のリードアクセスが開始する前に次のDMA転送要求を受けたときに、割込みコントローラへ出力されます。この場合、DMAコントローラはDMA転送要求を無視します。

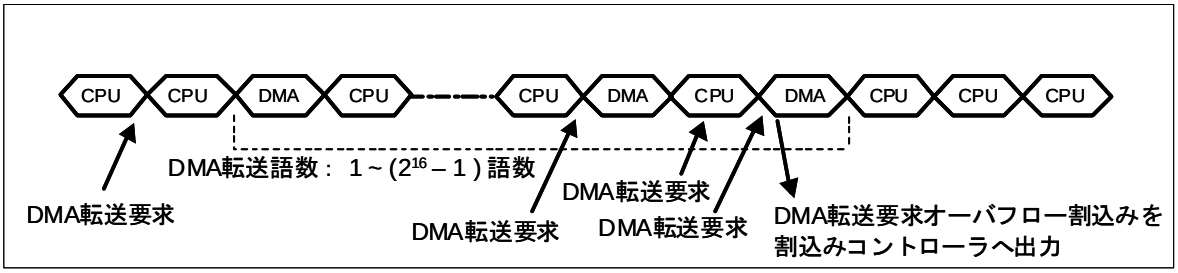


図6.3.6　DMA転送要求オーバフロー割込みの出力タイミング(1語転送モード)

・バースト転送モード、間欠転送モード

DMA転送要求オーバフロー割込みは、DMA転送語数分(DMnCNTレジスタのDMnCT15-0ビットで設定)の最終転送のリードアクセス開始前に再度DMA転送要求を受けたときに、割込みコントローラへ出力されます。この場合、DMAコントローラはDMA転送要求を無視します。

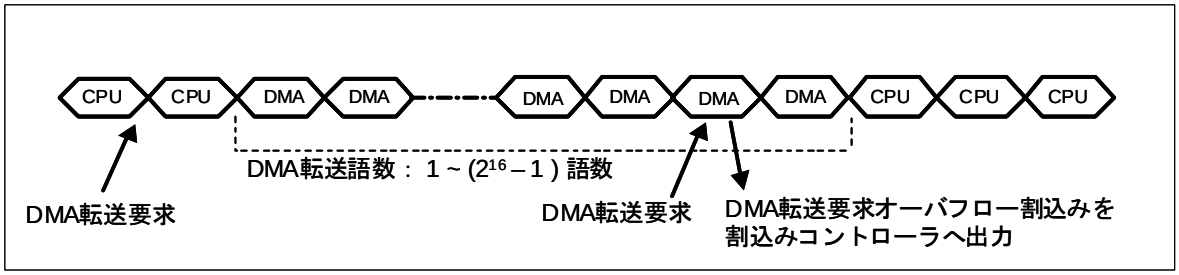


図6.3.7　DMA転送要求オーバフロー割込みの出力タイミング
(バースト転送モード/間欠転送モード

DMA転送要求オーバフロー割込みが発生すると、DMnCTRレジスタのDMnOVFビットは"1"にセットされます。

6.3.5　優先順位

DMA転送とアクセス競合が起こる可能性のあるバスリクエストについて説明します。バスリクエストが複数発生した場合、以下に示す優先順位にしたがって処理を行います。

ノンマスカブル割込み処理ルーチン ＞ DMA ch0 ＞ DMA ch1 ＞ DMA ch2 ＞ CPU

■ DMAチャネル間のアクセス競合

DMAチャネル間のアクセス競合が起こった場合の動作について、DMA ch1(優先順位の低いチャネル)によるDMA転送中に、DMA ch0(優先順位の高いチャネル)によるDMA転送要求があった場合を例に説明します。DMA ch1の動作は、DMA ch1のDMA転送モードによって異なります。

・1語転送モード

DMA ch1が1回の転送終了時に次の転送要求を受付けていない場合、DMA ch0がDMA転送を行います。ただし、DMA ch1が1回の転送終了時までに次の転送要求を受付けている場合、DMA転送の優先順位に関わらずDMA ch1がDMA転送を行います。この場合、DMA ch1のDMA転送終了後に、DMA ch0がDMA転送を行います。

・バースト転送モード

DMA ch1がDMA転送語数分の転送終了後に、DMA ch0がDMA転送を行います。

・間欠転送モード

DMA ch1が間欠サイクル数分の転送終了後に、DMA ch0がDMA転送を行います。
DMA ch0のDMA転送終了後に、DMA ch1がDMA転送を再開します。

■ DMA転送とノンマスカブル割込み処理ルーチンのアクセス競合

DMA転送中にノンマスカブル割込みが発生すると、DMA転送を中断します。ノンマスカブル割込み処理ルーチン終了後に、DMA転送を再開します。

■ DMA転送とCPUのアクセス競合

同一アドレス空間へのCPUデータ転送とDMA転送が同時に発生した場合、またはDMA転送とCPUの周辺機能制御レジスタ空間へのデータ転送が同時に発生した場合、アクセス競合が発生します。CPUのバスリクエストは、DMAチャネルのバスリクエストよりも優先順位が低いため、CPUとDMAがアクセス競合した場合、CPUはすぐにデータ転送を開始できません。CPUがデータ転送を待つ例は以下のとおりです。

・周辺機能制御レジスタ間でのDMA転送(図6.3.8のDMA-1)中に、CPUが周辺機能制御レジスタへのデータ転送(図6.3.8のCPU-1)する場合、アクセス競合が発生するため、CPUはすぐにデータ転送を開始できません。

CPUとDMAのアクセス競合が発生しない場合、DMA 転送中でもCPUはデータ転送できます。この場合の例は以下のとおりです。

・CPUが内蔵メモリ空間にデータ転送をする(図6.3.8のCPU-2)際に、DMA転送がCPUのデータ転送と競合しない場合(例えば、周辺機能制御レジスタ間でのDMA転送(図6.3.8のDMA-1))は、CPUはデータ転送できます。

・DMAが内蔵メモリ間でデータ転送する際(図6.3.8のDMA-2)に、CPUが周辺機能制御レジスタへデータ転送(図6.3.8のCPU-1)を行う場合、CPUはデータ転送できます。

・DMA転送中に、CPUがCPU制御レジスタにデータ転送する場合、CPUはデータ転送できます。

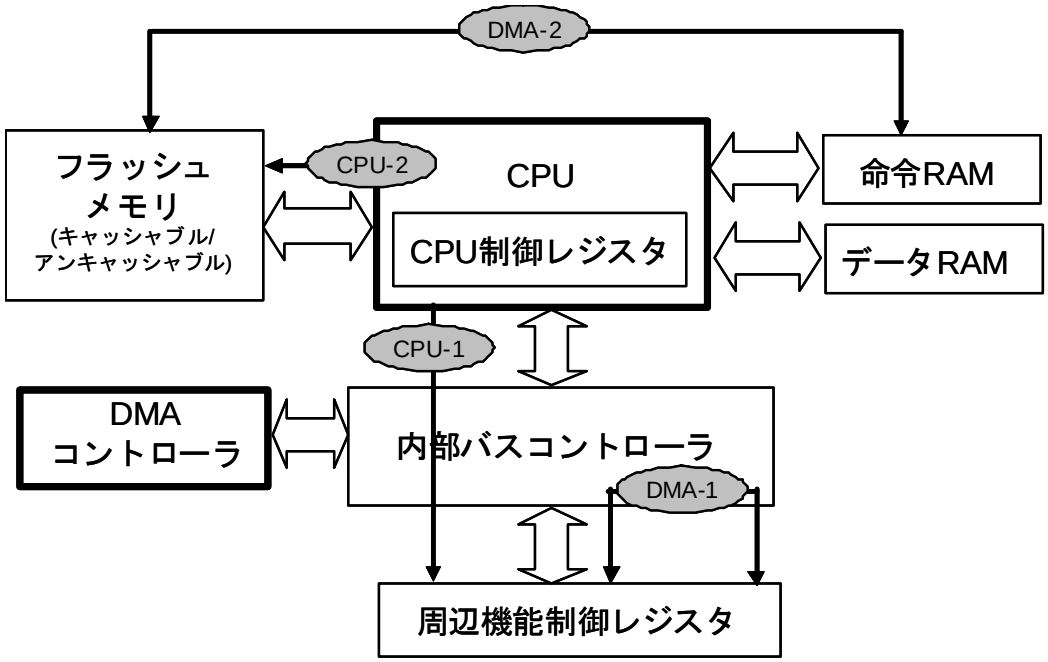


図6.3.8　DMA転送とCPUのアクセス競合

6.3.6　DMA転送の設定例

以下の条件でDMA転送を行う場合の設定手順を示します。

項目	内容
チャネル	DMA ch0
DMA転送モード	バースト転送モード
DMA転送単位	8ビット
DMAソースアドレス	0x40002000
DMAソース側転送アドレッシングモード	インクリメント
DMAデスティネーションアドレス	0x00001FFF
DMAデスティネーション側転送アドレッシングモード	デクリメント
DMA転送語数	0x0100
DMA起動要因	ソフトウェア

以下に設定手順を示します。

設定順	設定内容	レジスタ名	設定値	説明
1	DMA転送停止	DMOCTR	bp16: DMOTEN=0	DMA転送を停止します。
2	DMA転送終了待ち	DMOCTR	bp24: DMORQF	DMORQFビットが"0"であることを確認してください。
3	DMA起動要因の設定(*1)	DMOCTR	bp5-0: DMOBG5-0=000000	DMA起動要因をソフトウェアに設定します。
4	DMA転送単位とDMA転送モードの設定	DMOCTR	bp14-12: DMOUT1-0=00 bp12-11: DMOTM1-0=00	DMA転送単位を8ビットに、DMA転送モードをバースト転送に設定します。
5	DMAソース側転送 アドレッシングモードの設定	DMOCTR	bp7-6: DMOSAM1-0=00	DMAソース側転送アドレッシングモードをインクリメントに設定します。
6	DMAデスティネーション側 転送アドレッシングモードの設定	DMOCTR	bp9-8: DMODAM1-0=01	DMAデスティネーション側転送アドレッシングモードをデクリメントに設定します。
7	DMAソースアドレスの設定	DMOSRC	bp31-0: DMOSA31-0=0x40002000	DMAソースアドレスを0x40002000に設定します。
8	DMAデスティネーションアドレスの設定	DMODST	bp31-0: DMODA31-0=0x00001FFF	DMAデスティネーションアドレスを0x00001FFFに設定します。
9	DMA転送語数の設定	DMOCNT	bp15-0: DMOCT15-0=0x0100	DMA転送語数を0x0100に設定します
10	DMA転送開始(*2)	DMOCTR	bp16: DMOTEN=1	本設定により、DMA転送を開始します。

*1 DMnCTRレジスタのDMnBG5-0ビットを変更した後、IOCLK×3クロック以上後に、DMnCTR0レジスタのDMnTENビットに"1"を設定してください。

*2 本設定手順のDMA起動要因はソフトウェアです。DMA起動要因がソフトウェア以外の場合、設定順10ではDMA ch0はDMA起動要因待ちになり、起動要求を受付けた後にDMA転送を開始します。

第7章　　割込みコントローラ

7

7.1 割込みコントローラの概要

本LSIは、割込みコントローラを搭載しています。割込みコントローラは、割込み要因の判定と、割込みの優先レベルの判定を行い、以下の3種類の割込み要求をCPUに送信します。

・リセット割込み

・ノンマスカブル割込み

・マスカブル割込み

CPUは上記割込みを受理し、割込み処理を行います。

7.1.1 割込みコントローラの機能一覧

割込みコントローラの機能一覧を表7.1.1に示します。

表 7.1.1 割込みコントローラの機能一覧

項目	リセット割込み	ノンマスカブル割込み	マスカブル割込み
割込み要因	端子リセット オートリセット ソフトウェアリセット 異常検知リセット (ウォッチドッグタイマ、 ウォッチドッグタイマ2、 クロック異常検知、 電源電圧検知)	ウォッチドッグタイマオーバフロー割込み システムエラー割込み フェイルセーフ機能割込み (ウォッチドッグタイマ2割込み、 クロック異常検知割込み、 レジスタプロテクト割込み)	外部割込み 内部割込み
割込み要因数	7	5	外部割込み ： 16 [MN103HFx8シリーズ] 16 [MN103HFx7シリーズ] 16 [MN103HFx6シリーズ] 12 [MN103HFx5シリーズ] 10 [MN103HFx4シリーズ] 8 [MN103HFx3シリーズ] 内部割込み ： 123 [MN103HFx8シリーズ] 123 [MN103HFx7シリーズ] 98 [MN103HFx6シリーズ] 98 [MN103HFx5シリーズ] 86 [MN103HFx4シリーズ] 69 [MN103HFx3シリーズ]
割込みレベルの設定	－	－	割込みレベル0～6
割込みの受理	常時受理	常時受理	割込み受理条件に従う

外部割込みはシリーズごとに対象ポートが異なります。各シリーズの外部割込みと対応ポート一覧を表7.1.2に示します。

表 7.1.2 外部割込みと対象ポート一覧

	MN103HFx3 シリーズ	MN103HFx4 シリーズ	MN103HFx5 シリーズ	MN103HFx6 シリーズ	MN103HFx7 シリーズ	MN103HFx8 シリーズ
外部割込み0	P00	P00	P00	P00	P00	P00
外部割込み1	P01	P01	P01	P01	P01	P01
外部割込み2	P02	P02	P02	P02	P02	P02
外部割込み3	P03	P03	P03	P03	P03	P03
外部割込み4	–	P46	P04	P04	P04	P04
外部割込み5	–	P47	P05	P05	P05	P05
外部割込み6	–	–	P06	P06	P06	P06
外部割込み7	–	–	P07	P07	P07	P07
外部割込み8	P40	P40	P40	P10	P10	P10
外部割込み9	P41	P41	P41	P11	P11	P11
外部割込み10	P50	P42	P42	P42	P12	P12
外部割込み11	P51	P43	P43	P43	P13	P13
外部割込み12	–	–	–	P70	P14	P14
外部割込み13	–	–	–	P71	P15	P15
外部割込み14	–	–	–	P72	P16	P16
外部割込み15	–	–	–	P73	P17	P17

7.2 割込みコントローラの制御レジスタ

割込みコントローラの制御レジスタは、以下のレジスタ群で構成されています。

・割込みアドレスレジスタ

・ノンマスカブル割込み制御レジスタ

・システムエラー割込みステータスレジスタ

・グループn割込み制御レジスタ

・割込み受理グループレジスタ

・外部割込み条件指定レジスタ

割込みコントローラの制御レジスター覧を表7.2.1に示します。

表 7.2.1 割込みコントローラの制御レジスター覧

	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
割込みアドレスレジスタ	IVAR0	0x00008000	R/W	16	割込みベクトルレジスタ0	VII-6
	IVAR1	0x00008004	R/W	16	割込みベクトルレジスタ1	VII-6
	IVAR2	0x00008008	R/W	16	割込みベクトルレジスタ2	VII-6
	IVAR3	0x0000800C	R/W	16	割込みベクトルレジスタ3	VII-6
	IVAR4	0x00008010	R/W	16	割込みベクトルレジスタ4	VII-6
	IVAR5	0x00008014	R/W	16	割込みベクトルレジスタ5	VII-6
	IVAR6	0x00008018	R/W	16	割込みベクトルレジスタ6	VII-6
	IVBR	0x0000801C	R/W	32,16	割込みベクトルベースレジスタ	VII-6
ノンマスカブル割込み制御レジスタ	NMICR	0x00008900	R/W	8,16	ノンマスカブル割込み制御レジスタ	VII-8
システムエラー割込みステータスレジスタ	SISR	0x00008044	R/W	16	システムエラー割込みステータスレジスタ	VII-9
グループn割込み制御レジスタ	G2ICR	0x00008908	R/W	8,16	グループ2割込み制御レジスタ	VII-21
	G3ICR	0x0000890C	R/W	8,16	グループ3割込み制御レジスタ	VII-22
	G4ICR	0x00008910	R/W	8,16	グループ4割込み制御レジスタ	VII-23
	G5ICR	0x00008914	R/W	8,16	グループ5割込み制御レジスタ	VII-24
	G6ICR	0x00008918	R/W	8,16	グループ6割込み制御レジスタ	VII-25
	G7ICR	0x0000891C	R/W	8,16	グループ7割込み制御レジスタ	VII-26
	G8ICR	0x00008920	R/W	8,16	グループ8割込み制御レジスタ	VII-27
	G9ICR	0x00008924	R/W	8,16	グループ9割込み制御レジスタ	VII-28
	G10ICR	0x00008928	R/W	8,16	グループ10割込み制御レジスタ	VII-29
	G11ICR	0x0000892C	R/W	8,16	グループ11割込み制御レジスタ	VII-30
	G12ICR	0x00008930	R/W	8,16	グループ12割込み制御レジスタ	VII-31
	G13ICR	0x00008934	R/W	8,16	グループ13割込み制御レジスタ	VII-32
	G14ICR	0x00008938	R/W	8,16	グループ14割込み制御レジスタ	VII-33
	G15ICR	0x0000893C	R/W	8,16	グループ15割込み制御レジスタ	VII-34
	G16ICR	0x00008940	R/W	8,16	グループ16割込み制御レジスタ	VII-35
	G17ICR	0x00008944	R/W	8,16	グループ17割込み制御レジスタ	VII-36
	G18ICR	0x00008948	R/W	8,16	グループ18割込み制御レジスタ	VII-37
	G19ICR	0x0000894C	R/W	8,16	グループ19割込み制御レジスタ	VII-38
	G20ICR	0x00008950	R/W	8,16	グループ20割込み制御レジスタ	VII-39
	G21ICR	0x00008954	R/W	8,16	グループ21割込み制御レジスタ	VII-40

	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
グループn割込み制御レジスタ	G22ICR	0x00008958	R/W	8,16	グループ22割込み制御レジスタ	VII-41
	G23ICR	0x0000895C	R/W	8,16	グループ23割込み制御レジスタ	VII-42
	G24ICR	0x00008960	R/W	8,16	グループ24割込み制御レジスタ	VII-43
	G25ICR	0x00008964	R/W	8,16	グループ25割込み制御レジスタ	VII-44
	G26ICR	0x00008968	R/W	8,16	グループ26割込み制御レジスタ	VII-45
	G27ICR	0x0000896C	R/W	8,16	グループ27割込み制御レジスタ	VII-46
	G28ICR	0x00008970	R/W	8,16	グループ28割込み制御レジスタ	VII-47
	G29ICR	0x00008974	R/W	8,16	グループ29割込み制御レジスタ	VII-48
	G30ICR	0x00008978	R/W	8,16	グループ30割込み制御レジスタ	VII-49
	G31ICR	0x0000897C	R/W	8,16	グループ31割込み制御レジスタ	VII-50
	G32ICR	0x00008980	R/W	8,16	グループ32割込み制御レジスタ	VII-51
	G33ICR	0x00008984	R/W	8,16	グループ33割込み制御レジスタ	VII-52
	G34ICR	0x00008988	R/W	8,16	グループ34割込み制御レジスタ	VII-53
	G35ICR	0x0000898C	R/W	8,16	グループ35割込み制御レジスタ	VII-54
	G36ICR	0x00008990	R/W	8,16	グループ36割込み制御レジスタ	VII-55
	G37ICR	0x00008994	R/W	8,16	グループ37割込み制御レジスタ	VII-56
	G38ICR	0x00008998	R/W	8,16	グループ38割込み制御レジスタ	VII-57
	G39ICR	0x0000899C	R/W	8,16	グループ39割込み制御レジスタ	VII-58
	G40ICR	0x000089A0	R/W	8,16	グループ40割込み制御レジスタ	VII-59
	G41ICR	0x000089A4	R/W	8,16	グループ41割込み制御レジスタ	VII-60
	G42ICR	0x000089A8	R/W	8,16	グループ42割込み制御レジスタ	VII-61
	G43ICR	0x000089AC	R/W	8,16	グループ43割込み制御レジスタ	VII-62
	G44ICR	0x000089B0	R/W	8,16	グループ44割込み制御レジスタ	VII-63
	G45ICR	0x000089B4	R/W	8,16	グループ45割込み制御レジスタ	VII-64
	G46ICR	0x000089B8	R/W	8,16	グループ46割込み制御レジスタ	VII-65
	G47ICR	0x000089BC	R/W	8,16	グループ47割込み制御レジスタ	VII-66
	G48ICR	0x000089C0	R/W	8,16	グループ48割込み制御レジスタ	VII-67
	G49ICR	0x000089C4	R/W	8,16	グループ49割込み制御レジスタ	VII-68
	G50ICR	0x000089C8	R/W	8,16	グループ50割込み制御レジスタ	VII-69
	G51ICR	0x000089CC	R/W	8,16	グループ51割込み制御レジスタ	VII-70
	G52ICR	0x000089D0	R/W	8,16	グループ52割込み制御レジスタ	VII-71
	G53ICR	0x000089D4	R/W	8,16	グループ53割込み制御レジスタ	VII-72
	G54ICR	0x000089D8	R/W	8,16	グループ54割込み制御レジスタ	VII-73
	G55ICR	0x000089DC	R/W	8,16	グループ55割込み制御レジスタ	VII-74
	G56ICR	0x000089E0	R/W	8,16	グループ56割込み制御レジスタ	VII-75
割込み受理グループレジスタ	IAGR	0x00008A00	R	8,16	割込み受理グループレジスタ	VII-76
外部割込み条件指定レジスタ	EXTMD0	0x00008A80	R/W	8,16	外部割込み条件指定レジスタ0	VII-78
	EXTMD1	0x00008A84	R/W	8,16	外部割込み条件指定レジスタ1	VII-80
	IRQEDGESEL	0x0000A0FC	R/W	16	外部割込み条件両エッジ指定レジスタ	VII-82

7.2.1　割込みアドレスレジスタ

割込みアドレスレジスタは、割込み処理プログラムの開始アドレスを設定するレジスタです。割込みアドレスレジスタは、割込みベクトルレジスタ(IVARn)と割込みベクトルベースレジスタ(IVBR)で構成されています。

■ 割込みベクトルレジスタ(IVARn)［16ビットアクセスレジスタ］
IVAR0:0x00008000, IVAR1:0x00008004, IVAR2:0x00008008, IVAR3:0x0000800C,
IVAR4:0x00008010, IVAR5:0x00008014, IVAR6:0x00008018

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	IVARn15-0															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-0	IVARn15-0	マスカブル割込み(割込みレベルn)の割込み処理プログラムの開始アドレス(下位16ビット)を設定してください。割込み処理プログラムの開始アドレスの構成については、表7.2.2を参照してください。

■ 割込みベクトルベースレジスタ(IVBR:0x0000801C)［16,32ビットアクセスレジスタ］

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	IVBR31-16															
初期値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	IVBR15-0															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	ビット名	説明
31-16	IVBR31-16	ノンマスカブル割込み、マスカブル割込みの割込み処理プログラムの開始アドレス(上位16ビット)、またはTRAP命令の分岐先アドレス(上位16ビット)を設定してください。割込み処理プログラムの開始アドレスの構成については、表7.2.2を参照してください。
15-0	IVBR15-0	必ず"0"を読出します。

IVBRレジスタは、命令フェッチが可能な空間のアドレスを設定してください。System Reserved領域など、命令フェッチができない空間のアドレスを設定した場合、動作は保証されません。

TRAP命令の分岐先アドレスの下位16ビットは、"0x0010"です。TRAP命令の詳細は、命令説明書を参照してください。

割込み処理プログラムの開始アドレスは、割込みによって異なります。各割込みの割込み処理プログラムの開始アドレスは、表7.2.2を参照して設定してください。

表 7.2.2 各割込み処理プログラムの開始アドレス

割込み	割込み処理プログラムの開始アドレス(32ビット)	
	上位16ビット	下位16ビット
リセット割込み	0x40000000	
ノンマスカブル割込み	IVBR31-16ビット	0x0008
マスカブル割込み		IVARn15-0ビット

7.2.2　ノンマスカブル割込み制御レジスタ

ノンマスカブル割込み制御レジスタは、ノンマスカブル割込みの割込み要因を判定するためのレジスタです。

■ ノンマスカブル割込み制御レジスタ(NMICR:0x00008900)[8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-													SYSEF	WDIF	NMIF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

bp	ビット名	説明
15-3	-	必ず"0"を読出します。
2	SYSEF	システムエラー割込み要求 0: 要求なし 1: 要求あり
1	WDIF	ウォッチドッグタイマオーバフロー割込み要求 0: 要求なし 1: 要求あり
0	NMIF	フェイルセーフ機能割込み要求 (ウォッチドッグタイマ2割込み、クロック異常検知割込み、レジスタプロテクト割込み) 0: 要求なし 1: 要求あり

SYSEFビットを"0"にクリアする場合は、ソフトウェアリセットを実行してください。"0"または"1"書込みでは、ビットを"0"にクリアできません。また、端子リセットおよびオートリセット発生時は"0"にクリアされます。

WDIFビット、およびNMIFビットを"0"にクリアする場合は、"1"を書込んでください。

7.2.3　システムエラー割込みステータスレジスタ

システムエラー割込みステータスレジスタは、システムエラー割込みの割込み要因を特定するためのレジスタです。システムエラー割込み発生時に、その割込み要因に応じたビットが"1"にセットされます。

■ システムエラー割込みステータスレジスタ(SISR:0x00008044)[16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-						UNIMPEX	-			MEMERR	-	UNIMP	MISSA	-	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R	R

bp	ビット名	説明
15-10	-	必ず"0"を読出します。
9	UNIMPEX	未実装拡張命令エラー検出 0:未検出 1:検出
8-6	-	必ず"0"を読出します。
5	MEMERR	不正メモリアクセスエラー検出 0:未検出 1:検出
4	-	必ず"0"を読出します。
3	UNIMP	未実装命令エラー検出 0:未検出 1:検出
2	MISSA	ミスアライメントアクセスエラー検出 0:未検出 1:検出
1-0	-	必ず"0"を読出します。

SISRレジスタの各ビットを"0"にクリアする場合は、"1"を書込んでください。

7.2.4　グループn割込み制御レジスタ

グループn割込み制御レジスタは、割込みグループnのマスカブル割込みを制御するためのレジスタです。割込みグループnには、最大4つのマスカブル割込みの割込み要因(割込み要因m)が割付けられています。割り込み要因はシリーズごとに割込み要因内容が異なります。グループn割込み制御レジスタと、割込みグループnに割付けられている割込み要因mの一覧を表7.2.3～表7.2.7に示します。

表 7.2.3 MN103HFx7/x8 シリーズ時の割込みグループと割込み要因一覧

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
0 (NMI)	-	システムエラー	ウォッチドッグタイマオーバフロー	フェイルセーフ機能
1	System Reserved			
2	-	-	-	電源電圧検知
3	-	コンパレータ2検出	コンパレータ1検出	コンパレータ0検出
4	-	-	-	外部割込み0
5	-	-	-	CAN割込み
6	-	-	-	LIN割込み
7	-	-	-	外部割込み1
8	-	-	-	外部割込み2
9	-	-	-	外部割込み3
10	-	-	-	外部割込み8
11	-	-	-	外部割込み9
12	-	-	-	外部割込み10
13	-	-	-	外部割込み11
14	-	PWM0タスクオーバフロー C	PWM0タスクオーバフロー B	PWM0タスクオーバフロー A
15	-	-	PWM2タスクオーバフロー	PWM1タスクオーバフロー
16	-	-	PWM0アンダフロー A	PWM0オーバフロー A
17	-	-	PWM0アンダフロー B	PWM0オーバフロー B
18	-	-	PWM0アンダフロー C	PWM0オーバフロー C
19	-	-	PWM0同期A/D変換スタートB	PWM0同期A/D変換スタートA
20	-	-	PWM1アンダフロー	PWM1オーバフロー
21	-	-	PWM1同期A/D変換スタートB	PWM1同期A/D変換スタートA
22	-	-	PWM2アンダフロー	PWM2オーバフロー
23	-	-	PWM2同期A/D変換スタートB	PWM2同期A/D変換スタートA
24	-	-	A/D0変換異常検知B	A/D0変換異常検知
25	-	-	A/D0変換終了B	A/D0変換終了
26	-	-	A/D1変換異常検知B	A/D1変換異常検知
27	-	-	A/D1変換終了B	A/D1変換終了
28	-	-	-	A/D2変換終了
29	タイマ19 タスクオーバフロー	タイマ18 タスクオーバフロー	タイマ17 タスクオーバフロー	タイマ16 タスクオーバフロー
30	-	-	タイマ25 タスクオーバフロー	タイマ24 タスクオーバフロー
31	タイマ16 コンペアキャプチャ C	タイマ16 コンペアキャプチャ B	タイマ16 コンペアキャプチャ A	タイマ16 オーバフロー/アンダフロー
32	タイマ17 コンペアキャプチャ C	タイマ17 コンペアキャプチャ B	タイマ17 コンペアキャプチャ A	タイマ17 オーバフロー/アンダフロー
33	タイマ18 コンペアキャプチャ C	タイマ18 コンペアキャプチャ B	タイマ18 コンペアキャプチャ A	タイマ18 オーバフロー/アンダフロー
34	タイマ19 コンペアキャプチャ C	タイマ19 コンペアキャプチャ B	タイマ19 コンペアキャプチャ A	タイマ19 オーバフロー/アンダフロー
35	タイマ20 コンペアキャプチャ C	タイマ20 コンペアキャプチャ B	タイマ20 コンペアキャプチャ A	タイマ20 オーバフロー/アンダフロー
36	タイマ21 コンペアキャプチャ C	タイマ21 コンペアキャプチャ B	タイマ21 コンペアキャプチャ A	タイマ21 オーバフロー/アンダフロー

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
37	タイマ22 コンペアキャプチャC	タイマ22 コンペアキャプチャB	タイマ22 コンペアキャプチャA	タイマ22 オーバフロー/アンダフロー
38	タイマ23 コンペアキャプチャC	タイマ23 コンペアキャプチャB	タイマ23 コンペアキャプチャA	タイマ23 オーバフロー/アンダフロー
39	タイマ24 コンペアキャプチャC	タイマ24 コンペアキャプチャB	タイマ24 コンペアキャプチャA	タイマ24 オーバフロー/アンダフロー
40	タイマ25 コンペアキャプチャC	タイマ25 コンペアキャプチャB	タイマ25 コンペアキャプチャA	タイマ25 オーバフロー/アンダフロー
41	-	-	シリアル0 通信完了/UART送信完了	シリアル0UART受信完了
42	-	-	IIC通信完了	IICストップコンディション検出
43	-	-	シリアル1 通信完了/UART送信完了	シリアル1UART受信完了
44	-	-	シリアル2 通信完了/UART送信完了	シリアル2UART受信完了
45	-	-	シリアル3 通信完了/UART送信完了	シリアル3UART受信完了
46	-	-	シリアル4 通信完了/UART送信完了	シリアル4UART受信完了
47	タイマ3アンダフロー	タイマ2アンダフロー	タイマ1アンダフロー	タイマ0アンダフロー
48	タイマ7アンダフロー	タイマ6アンダフロー	タイマ5アンダフロー	タイマ4アンダフロー
49	タイマ11アンダフロー	タイマ10アンダフロー	タイマ9アンダフロー	タイマ8アンダフロー
50	タイマ15アンダフロー	タイマ14アンダフロー	タイマ13アンダフロー	タイマ12アンダフロー
51	タイマ29アンダフロー	タイマ28アンダフロー	タイマ27アンダフロー	タイマ26アンダフロー
52	外部割込み7	外部割込み6	外部割込み5	外部割込み4
53	外部割込み15	外部割込み14	外部割込み13	外部割込み12
54	-	DMA0転送要求オーバフロー	DMA0転送終了後要求	DMA0転送終了
55	-	DMA1転送要求オーバフロー	DMA1転送終了後要求	DMA1転送終了
56	-	DMA2転送要求オーバフロー	DMA2転送終了後要求	DMA2転送終了

GnFEWIEビット、GnLV2-0ビット、およびGnIEmビットの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。

GnIRmビットおよびGnIDmビットを"0"にクリアする場合は、割込み処理プログラムの中で、GnIRmビットに"0"、GnIDmビットに"1"を書込んでください。

GnIDmビットは、GnIEmビットとGnIRmビットの論理積値です。

フラッシュメモリの書換え中の割込みについては、[第32章 内蔵フラッシュメモリ]を参照してください。

表 7.2.4 MN103HFx6 シリーズ時の割込みグループと割込み要因一覧

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
0 (NMI)	−	システムエラー	ウォッチドッグタイマオーバフロー	フェイルセーフ機能
1	System Reserved			
2	−	−	−	電源電圧検知
3	−	コンパレータ2検出	コンパレータ1検出	コンパレータ0検出
4	−	−	−	外部割込み0
5	−	−	−	CAN割込み
6	−	−	−	LIN割込み
7	−	−	−	外部割込み1
8	−	−	−	外部割込み2
9	−	−	−	外部割込み3
10	−	−	−	外部割込み8
11	−	−	−	外部割込み9
12	−	−	−	外部割込み10
13	−	−	−	外部割込み11
14	−	PWM0タスクオーバフロー C	PWM0タスクオーバフロー B	PWM0タスクオーバフロー A
15	−	−	−	PWM1タスクオーバフロー
16	−	−	PWM0アンダフロー A	PWM0オーバフロー A
17	−	−	PWM0アンダフロー B	PWM0オーバフロー B
18	−	−	PWM0アンダフロー C	PWM0オーバフロー C
19	−	−	PWM0同期A/D変換スタートB	PWM0同期A/D変換スタートA
20	−	−	PWM1アンダフロー	PWM1オーバフロー
21	−	−	PWM1同期A/D変換スタートB	PWM1同期A/D変換スタートA
22	−	−	−	−
23	−	−	−	−
24	−	−	A/D0変換異常検知B	A/D0変換異常検知
25	−	−	A/D0変換終了B	A/D0変換終了
26	−	−	A/D1変換異常検知B	A/D1変換異常検知
27	−	−	A/D1変換終了B	A/D1変換終了
28	−	−	−	A/D2変換終了
29	タイマ19 タスクオーバフロー	タイマ18 タスクオーバフロー	タイマ17 タスクオーバフロー	タイマ16 タスクオーバフロー
30	−	−	−	−
31	タイマ16 コンペアキャプチャ C	タイマ16 コンペアキャプチャ B	タイマ16 コンペアキャプチャ A	タイマ16 オーバフロー/アンダフロー
32	タイマ17 コンペアキャプチャ C	タイマ17 コンペアキャプチャ B	タイマ17 コンペアキャプチャ A	タイマ17 オーバフロー/アンダフロー
33	タイマ18 コンペアキャプチャ C	タイマ18 コンペアキャプチャ B	タイマ18 コンペアキャプチャ A	タイマ18 オーバフロー/アンダフロー
34	タイマ19 コンペアキャプチャ C	タイマ19 コンペアキャプチャ B	タイマ19 コンペアキャプチャ A	タイマ19 オーバフロー/アンダフロー
35	タイマ20 コンペアキャプチャ C	タイマ20 コンペアキャプチャ B	タイマ20 コンペアキャプチャ A	タイマ20 オーバフロー/アンダフロー
36	タイマ21 コンペアキャプチャ C	タイマ21 コンペアキャプチャ B	タイマ21 コンペアキャプチャ A	タイマ21 オーバフロー/アンダフロー
37	タイマ22 コンペアキャプチャ C	タイマ22 コンペアキャプチャ B	タイマ22 コンペアキャプチャ A	タイマ22 オーバフロー/アンダフロー
38	タイマ23 コンペアキャプチャ C	タイマ23 コンペアキャプチャ B	タイマ23 コンペアキャプチャ A	タイマ23 オーバフロー/アンダフロー
39	−	−	−	−
40	−	−	−	−
41	−	−	シリアル0 通信完了/UART送信完了	シリアル0UART受信完了
42	−	−	IIC通信完了	IICストップコンディション検出

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
43	–	–	シリアル1 通信完了/UART送信完了	シリアル1UART受信完了
44	–	–	シリアル2 通信完了/UART送信完了	シリアル2UART受信完了
45	–	–	シリアル3 通信完了/UART送信完了	シリアル3UART受信完了
46	–	–	–	–
47	タイマ3アンダフロー	タイマ2アンダフロー	タイマ1アンダフロー	タイマ0アンダフロー
48	タイマ7アンダフロー	タイマ6アンダフロー	タイマ5アンダフロー	タイマ4アンダフロー
49	タイマ11アンダフロー	タイマ10アンダフロー	タイマ9アンダフロー	タイマ8アンダフロー
50	–	–	–	–
51	–	–	–	–
52	外部割込み7	外部割込み6	外部割込み5	外部割込み4
53	外部割込み15	外部割込み14	外部割込み13	外部割込み12
54	–	DMA0転送要求オーバフロー	DMA0転送終了後要求	DMA0転送終了
55	–	DMA1転送要求オーバフロー	DMA1転送終了後要求	DMA1転送終了
56	–	DMA2転送要求オーバフロー	DMA2転送終了後要求	DMA2転送終了

GnFEWIEビット、GnLV2-0ビット、およびGnIEmビットの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。

GnIRmビットおよびGnIDmビットを"0"にクリアする場合は、割込み処理プログラムの中で、GnIRmビットに"0"、GnIDmビットに"1"を書込んでください。

GnIDmビットは、GnIEmビットとGnIRmビットの論理積値です。

フラッシュメモリの書換え中の割込みについては、[第32章 内蔵フラッシュメモリ]を参照してください。

表 7.2.5 MN103HFx5 シリーズ時の割込みグループと割込み要因一覧

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
0 (NMI)	-	システムエラー	ウォッチドッグタイマ オーバフロー	フェイルセーフ機能
1	System Reserved			
2	-	-	-	電源電圧検知
3	-	コンパレータ2検出	コンパレータ1検出	コンパレータ0検出
4	-	-	-	外部割込み0
5	-	-	-	CAN割込み
6	-	-	-	LIN割込み
7	-	-	-	外部割込み1
8	-	-	-	外部割込み2
9	-	-	-	外部割込み3
10	-	-	-	外部割込み8
11	-	-	-	外部割込み9
12	-	-	-	外部割込み10
13	-	-	-	外部割込み11
14	-	PWM0タスクオーバフロー C	PWM0タスクオーバフロー B	PWM0タスクオーバフロー A
15	-	-	-	PWM1タスクオーバフロー
16	-	-	PWM0アンダフロー A	PWM0オーバフロー A
17	-	-	PWM0アンダフロー B	PWM0オーバフロー B
18	-	-	PWM0アンダフロー C	PWM0オーバフロー C
19	-	-	PWM0 同期A/D変換スタートB	PWM0 同期A/D変換スタートA
20	-	-	PWM1アンダフロー	PWM1オーバフロー
21	-	-	PWM1同期A/D変換スタートB	PWM1同期A/D変換スタートA
22	-	-	-	-
23	-	-	-	-
24	-	-	A/D0変換異常検知B	A/D0変換異常検知
25	-	-	A/D0変換終了B	A/D0変換終了
26	-	-	A/D1変換異常検知B	A/D1変換異常検知
27	-	-	A/D1変換終了B	A/D1変換終了
28	-	-	-	A/D2変換終了
29	タイマ19 タスクオーバフロー	タイマ18 タスクオーバフロー	タイマ17 タスクオーバフロー	タイマ16 タスクオーバフロー
30	-	-	-	-
31	タイマ16 コンペアキャプチャ C	タイマ16 コンペアキャプチャ B	タイマ16 コンペアキャプチャ A	タイマ16 オーバフロー/アンダフロー
32	タイマ17 コンペアキャプチャ C	タイマ17 コンペアキャプチャ B	タイマ17 コンペアキャプチャ A	タイマ17 オーバフロー/アンダフロー
33	タイマ18 コンペアキャプチャ C	タイマ18 コンペアキャプチャ B	タイマ18 コンペアキャプチャ A	タイマ18 オーバフロー/アンダフロー
34	タイマ19 コンペアキャプチャ C	タイマ19 コンペアキャプチャ B	タイマ19 コンペアキャプチャ A	タイマ19 オーバフロー/アンダフロー

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
35	タイマ20 コンペアキャプチャ C	タイマ20 コンペアキャプチャ B	タイマ20 コンペアキャプチャ A	タイマ20 オーバフロー/アンダフロー
36	タイマ21 コンペアキャプチャ C	タイマ21 コンペアキャプチャ B	タイマ21 コンペアキャプチャ A	タイマ21 オーバフロー/アンダフロー
37	タイマ22 コンペアキャプチャ C	タイマ22 コンペアキャプチャ B	タイマ22 コンペアキャプチャ A	タイマ22 オーバフロー/アンダフロー
38	タイマ23 コンペアキャプチャ C	タイマ23 コンペアキャプチャ B	タイマ23 コンペアキャプチャ A	タイマ23 オーバフロー/アンダフロー
39	−	−	−	−
40	−	−	−	−
41	−	−	シリアル0 通信完了/UART送信完了	シリアル0UART受信完了
42	−	−	IIC通信完了	IICストップコンディション検出
43	−	−	シリアル1 通信完了/UART送信完了	シリアル1UART受信完了
44	−	−	シリアル2 通信完了/UART送信完了	シリアル2UART受信完了
45	−	−	シリアル3 通信完了/UART送信完了	シリアル3UART受信完了
46	−	−	−	−
47	タイマ3アンダフロー	タイマ2アンダフロー	タイマ1アンダフロー	タイマ0アンダフロー
48	タイマ7アンダフロー	タイマ6アンダフロー	タイマ5アンダフロー	タイマ4アンダフロー
49	タイマ11アンダフロー	タイマ10アンダフロー	タイマ9アンダフロー	タイマ8アンダフロー
50	−	−	−	−
51	−	−	−	−
52	外部割込み7	外部割込み6	外部割込み5	外部割込み4
53	−	−	−	−
54	−	DMA0転送要求オーバフロー	DMA0転送終了後要求	DMA0転送終了
55	−	DMA1転送要求オーバフロー	DMA1転送終了後要求	DMA1転送終了
56	−	DMA2転送要求オーバフロー	DMA2転送終了後要求	DMA2転送終了

GnFEWIEビット、GnLV2-0ビット、およびGnIEmビットの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。

GnIRmビットおよびGnIDmビットを"0"にクリアする場合は、割込み処理プログラムの中で、GnIRmビットに"0"、GnIDmビットに"1"を書込んでください。

GnIDmビットは、GnIEmビットとGnIRmビットの論理積値です。

フラッシュメモリの書換え中の割込みについては、[第32章 内蔵フラッシュメモリ]を参照してください。

表 7.2.6 MN103HFx4 シリーズ時の割込みグループと割込み要因一覧

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
0 (NMI)	-	システムエラー	ウォッチドッグタイマオーバフロー	フェイルセーフ機能
1	System Reserved			
2	-	-	-	電源電圧検知
3	-	-	コンパレータ1検出	コンパレータ0検出
4	-	-	-	外部割込み0
5	-	-	-	CAN割込み
6	-	-	-	LIN割込み
7	-	-	-	外部割込み1
8	-	-	-	外部割込み2
9	-	-	-	外部割込み3
10	-	-	-	外部割込み8
11	-	-	-	外部割込み9
12	-	-	-	外部割込み10
13	-	-	-	外部割込み11
14	-	PWM0タスクオーバフローC	PWM0タスクオーバフローB	PWM0タスクオーバフローA
15	-	-	-	PWM1タスクオーバフロー
16	-	-	PWM0アンダフローA	PWM0オーバフローA
17	-	-	PWM0アンダフローB	PWM0オーバフローB
18	-	-	PWM0アンダフローC	PWM0オーバフローC
19	-	-	PWM0 同期A/D変換スタートB	PWM0 同期A/D変換スタートA
20	-	-	PWM1アンダフロー	PWM1オーバフロー
21	-	-	PWM1同期A/D変換スタートB	PWM1同期A/D変換スタートA
22	-	-	-	-
23	-	-	-	-
24	-	-	A/D0変換異常検知B	A/D0変換異常検知
25	-	-	A/D0変換終了B	A/D0変換終了
26	-	-	A/D1変換異常検知B	A/D1変換異常検知
27	-	-	A/D1変換終了B	A/D1変換終了

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
28	−	−	−	−
29	タイマ19 タスクオーバフロー	タイマ18 タスクオーバフロー	タイマ17 タスクオーバフロー	タイマ16 タスクオーバフロー
30	−	−	−	−
31	タイマ16 コンペアキャプチャ C	タイマ16 コンペアキャプチャ B	タイマ16 コンペアキャプチャ A	タイマ16 オーバフロー/アンダフロー
32	タイマ17 コンペアキャプチャ C	タイマ17 コンペアキャプチャ B	タイマ17 コンペアキャプチャ A	タイマ17 オーバフロー/アンダフロー
33	タイマ18 コンペアキャプチャ C	タイマ18 コンペアキャプチャ B	タイマ18 コンペアキャプチャ A	タイマ18 オーバフロー/アンダフロー
34	タイマ19 コンペアキャプチャ C	タイマ19 コンペアキャプチャ B	タイマ19 コンペアキャプチャ A	タイマ19 オーバフロー/アンダフロー
35	タイマ20 コンペアキャプチャ C	タイマ20 コンペアキャプチャ B	タイマ20 コンペアキャプチャ A	タイマ20 オーバフロー/アンダフロー
36	タイマ21 コンペアキャプチャ C	タイマ21 コンペアキャプチャ B	タイマ21 コンペアキャプチャ A	タイマ21 オーバフロー/アンダフロー
37	−	−	−	−
38	−	−	−	−
39	−	−	−	−
40	−	−	−	−
41	−	−	シリアル0 通信完了/UART送信完了	シリアル0UART受信完了
42	−	−	IIC通信完了	IICストップコンディション検出
43	−	−	シリアル1 通信完了/UART送信完了	シリアル1UART受信完了
44	−	−	−	−
45	−	−	シリアル3 通信完了/UART送信完了	シリアル3UART受信完了
46	−	−	−	−
47	タイマ3アンダフロー	タイマ2アンダフロー	タイマ1アンダフロー	タイマ0アンダフロー
48	タイマ7アンダフロー	タイマ6アンダフロー	タイマ5アンダフロー	タイマ4アンダフロー
49	タイマ11アンダフロー	タイマ10アンダフロー	タイマ9アンダフロー	タイマ8アンダフロー
50	−	−	−	−
51	−	−	−	−
52	−	−	外部割込み5	外部割込み4
53	−	−	−	−
54	−	DMA0転送要求オーバフロー	DMA0転送終了後要求	DMA0転送終了
55	−	DMA1転送要求オーバフロー	DMA1転送終了後要求	DMA1転送終了
56	−	DMA2転送要求オーバフロー	DMA2転送終了後要求	DMA2転送終了

GnFEWIEビット、GnLV2-0ビット、およびGnIEmビットの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。

GnIRmビットおよびGnIDmビットを"0"にクリアする場合は、割込み処理プログラムの中で、GnIRmビットに"0"、GnIDmビットに"1"を書込んでください。

GnIDmビットは、GnIEmビットとGnIRmビットの論理積値です。

フラッシュメモリの書換え中の割込みについては、[第32章 内蔵フラッシュメモリ]を参照してください。

表 7.2.7 MN103HFx3 シリーズ時の割込みグループと割込み要因一覧

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
0 (NMI)	-	システムエラー	ウォッチドッグタイマオーバフロー	フェイルセーフ機能
1	System Reserved			
2	-	-	-	電源電圧検知
3	-	-	コンパレータ1検出	コンパレータ0検出
4	-	-	-	外部割込み0
5	-	-	-	CAN割込み
6	-	-	-	LIN割込み
7	-	-	-	外部割込み1
8	-	-	-	外部割込み2
9	-	-	-	外部割込み3
10	-	-	-	外部割込み8
11	-	-	-	外部割込み9
12	-	-	-	外部割込み10
13	-	-	-	外部割込み11
14	-	PWM0タスクオーバフロー C	PWM0タスクオーバフロー B	PWM0タスクオーバフロー A
15	-	-	-	-
16	-	-	PWM0アンダフロー A	PWM0オーバフロー A
17	-	-	PWM0アンダフロー B	PWM0オーバフロー B
18	-	-	PWM0アンダフロー C	PWM0オーバフロー C
19	-	-	PWM0同期A/D変換スタートB	PWM同期A/D変換スタートA

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
20	−	−	−	−
21	−	−	−	−
22	−	−	−	−
23	−	−	−	−
24	−	−	A/D0変換異常検知B	A/D0変換異常検知
25	−	−	A/D0変換終了B	A/D0変換終了
26	−	−	A/D1変換異常検知B	A/D1変換異常検知
27	−	−	A/D1変換終了B	A/D1変換終了
28	−	−	−	−
29	タイマ19 タスクオーバフロー	タイマ18 タスクオーバフロー	タイマ17 タスクオーバフロー	タイマ16 タスクオーバフロー
30	−	−	−	−
31	タイマ16 コンペアキャプチャ C	タイマ16 コンペアキャプチャ B	タイマ16 コンペアキャプチャ A	タイマ16 オーバフロー/アンダフロー
32	タイマ17 コンペアキャプチャ C	タイマ17 コンペアキャプチャ B	タイマ17 コンペアキャプチャ A	タイマ17 オーバフロー/アンダフロー
33	タイマ18 コンペアキャプチャ C	タイマ18 コンペアキャプチャ B	タイマ18 コンペアキャプチャ A	タイマ18 オーバフロー/アンダフロー
34	タイマ19 コンペアキャプチャ C	タイマ19 コンペアキャプチャ B	タイマ19 コンペアキャプチャ A	タイマ19 オーバフロー/アンダフロー
35	−	−	−	−
36	−	−	−	−
37	−	−	−	−
38	−	−	−	−
39	−	−	−	−
40	−	−	−	−
41	−	−	シリアル0 通信完了/UART送信完了	シリアル0UART受信完了
42	−	−	IIC通信完了	IICストップコンディション検出
43	−	−	シリアル1 通信完了/UART送信完了	シリアル1UART受信完了
44	−	−	−	−
45	−	−	シリアル3 通信完了/UART送信完了	シリアル3UART受信完了
46	−	−	−	−
47	タイマ3アンダフロー	タイマ2アンダフロー	タイマ1アンダフロー	タイマ0アンダフロー
48	タイマ7アンダフロー	タイマ6アンダフロー	タイマ5アンダフロー	タイマ4アンダフロー
49	−	−	−	−
50	−	−	−	−
51	−	−	−	−
52	−	−	−	−
53	−	−	−	−
54	−	DMA0転送要求オーバフロー	DMA0転送終了後要求	DMA0転送終了

割込みグループ番号(n)	割込み要因3	割込み要因2	割込み要因1	割込み要因0
55	-	DMA1転送要求オーバフロー	DMA1転送終了後要求	DMA1転送終了
56	-	DMA2転送要求オーバフロー	DMA2転送終了後要求	DMA2転送終了

GnFEWIEビット、GnLV2-0ビット、およびGnIEmビットの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。

GnIRmビットおよびGnIDmビットを"0"にクリアする場合は、割込み処理プログラムの中で、GnIRmビットに"0"、GnIDmビットに"1"を書込んでください。

GnIDmビットは、GnIEmビットとGnIRmビットの論理積値です。

フラッシュメモリの書換え中の割込みについては、[第32章 内蔵フラッシュメモリ]を参照してください。

■ グループ2割込み制御レジスタ(G2ICR : 0x00008908) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G2FEWIE	G2LV2-0			-			G2IE0	-			G2IR0	-			G2ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G2FEWIE	フラッシュメモリ書換え中のグループ2割込みの許可 0: 禁止 1: 許可
14-12	G2LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G2IE0	電源電圧検知割込みの許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G2IR0	電源電圧検知割込みの要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G2ID0	電源電圧検知割込みの検出 0: 未検出 1: 検出

■ グループ3割込み制御レジスタ(G3ICR : 0x0000890C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G3 FEW IE	G3LV2-0			-	G3 IE2	G3 IE1	G3 IE0	-	G3 IR2	G3 IR1	G3 IR0	-	G3 ID2	G3 ID1	G3 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

bp	ビット名	説明
15	G3FEWIE	フラッシュメモリ書換え中のグループ3割込みの許可 0: 禁止 1: 許可
14-12	G3LV2-0	割込みレベル(0～6)を設定してください。
11	-	必ず"0"を読出します。
10	G3IE2	コンパレータ2検出割込みの許可 0: 禁止 1: 許可
9	G3IE1	コンパレータ1検出割込みの許可 0: 禁止 1: 許可
8	G3IE0	コンパレータ0検出割込みの許可 0: 禁止 1: 許可
7	-	必ず"0"を読出します。
6	G3IR2	コンパレータ2検出割込みの要求 0: 要求なし 1: 要求あり
5	G3IR1	コンパレータ1検出割込みの要求 0: 要求なし 1: 要求あり
4	G3IR0	コンパレータ0検出割込みの要求 0: 要求なし 1: 要求あり
3	-	必ず"0"を読出します。
2	G3ID2	コンパレータ2検出割込みの検出 0: 未検出 1: 検出
1	G3ID1	コンパレータ1検出割込みの検出 0: 未検出 1: 検出
0	G3ID0	コンパレータ0検出割込みの検出 0: 未検出 1: 検出

■ グループ4割込み制御レジスタ(G4ICR：0x00008910) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G4FEWIE	G4LV2-0			-			G4IE0	-			G4IR0	-			G4ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G4FEWIE	フラッシュメモリ書換え中のグループ4割込みの許可 0: 禁止 1: 許可
14-12	G4LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G4IE0	外部割込み0の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G4IR0	外部割込み0の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G4ID0	外部割込み0の検出 0: 未検出 1: 検出

■ グループ5割込み制御レジスタ(G5ICR : 0x00008914) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G5FEWIE	G5LV2-0			-			G5IE0	-			G5IR0	-			G5ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G5FEWIE	フラッシュメモリ書換え中のグループ5割込みの許可 0: 禁止 1: 許可
14-12	G5LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G5IE0	CAN割込みの許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G5IR0	CAN割込みの要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G5ID0	CAN割込みの検出 0: 未検出 1: 検出

■ グループ6割込み制御レジスタ(G6ICR : 0x00008918) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G6FEWIE	G6LV2-0			-			G6IEO	-			G6IRO	-			G6IDO
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G6FEWIE	フラッシュメモリ書換え中のグループ6割込みの許可 0: 禁止 1: 許可
14-12	G6LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G6IEO	LIN割込みの許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G6IRO	LIN割込みの要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G6IDO	LIN割込みの検出 0: 未検出 1: 検出

■ グループ7割込み制御レジスタ(G7ICR : 0x0000891C) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G7FEWIE	G7LV2-0			-			G7IE0	-			G7IR0	-			G7ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G7FEWIE	フラッシュメモリ書換え中のグループ7割込みの許可 0: 禁止 1: 許可
14-12	G7LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G7IE0	外部割込み1の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G7IR0	外部割込み1の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G7ID0	外部割込み1の検出 0: 未検出 1: 検出

■ グループ8割込み制御レジスタ(G8ICR : 0x00008920) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G8FEWIE	G8LV2-0			-			G8IE0	-			G8IR0	-			G8ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G8FEWIE	フラッシュメモリ書換え中のグループ8割込みの許可 0: 禁止 1: 許可
14-12	G8LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G8IE0	外部割込み2の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G8IR0	外部割込み2の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G8ID0	外部割込み2の検出 0: 未検出 1: 検出

■ グループ9割込み制御レジスタ(G9ICR : 0x00008924) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G9FEWIE	G9LV2-0			-			G9IEO	-			G9IRO	-			G9IDO
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G9FEWIE	フラッシュメモリ書換え中のグループ9割込みの許可 0: 禁止 1: 許可
14-12	G9LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G9IEO	外部割込み3の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G9IRO	外部割込み3の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G9IDO	外部割込み3の検出 0: 未検出 1: 検出

■ グループ10割込み制御レジスタ(G10ICR : 0x00008928) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G10FEWIE	G10LV2-0			-			G10IE0	-			G10IR0	-			G10ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G10FEWIE	フラッシュメモリ書換え中のグループ10割込みの許可 0: 禁止 1: 許可
14-12	G10LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G10IE0	外部割込み8の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G10IR0	外部割込み8の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G10ID0	外部割込み8の検出 0: 未検出 1: 検出

■ グループ11割込み制御レジスタ(G11ICR : 0x0000892C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G11FEWIE	G11LV2-0			-			G11IE0	-			G11IR0	-			G11ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G11FEWIE	フラッシュメモリ書換え中のグループ11割込みの許可 0: 禁止 1: 許可
14-12	G11LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G11IE0	外部割込み9の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G11IR0	外部割込み9の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G11ID0	外部割込み9の検出 0: 未検出 1: 検出

■ グループ12割込み制御レジスタ(G12ICR : 0x00008930) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G12FEWIE	G12LV2-0			-			G12IE0	-			G12IR0	-			G12ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G12FEWIE	フラッシュメモリ書換え中のグループ12割込みの許可 0: 禁止 1: 許可
14-12	G12LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G12IE0	外部割込み10の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G12IR0	外部割込み10の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G12ID0	外部割込み10の検出 0: 未検出 1: 検出

■ グループ13割込み制御レジスタ(G13ICR : 0x00008934) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G13FEWIE	G13LV2-0			-			G13IE0	-			G13IR0	-			G13ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G13FEWIE	フラッシュメモリ書換え中のグループ13割込みの許可 0: 禁止 1: 許可
14-12	G13LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G13IE0	外部割込み11の許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G13IR0	外部割込み11の要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G13ID0	外部割込み11の検出 0: 未検出 1: 検出

■ グループ14割込み制御レジスタ(G14ICR : 0x00008938) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G14FEWIE	G14LV2-0			-	G14IE2	G14IE1	G14IE0	-	G14IR2	G14IR1	G14IR0	-	G14ID2	G14ID1	G14ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

bp	ビット名	説明
15	G14FEWIE	フラッシュメモリ書換え中のグループ14割込みの許可 0: 禁止 1: 許可
14-12	G14LV2-0	割込みレベル(0～6)を設定してください。
11	-	必ず"0"を読出します。
10	G14IE2	PWM0タスクオーバフロー C割込みの許可 0: 禁止 1: 許可
9	G14IE1	PWM0タスクオーバフロー B割込みの許可 0: 禁止 1: 許可
8	G14IE0	PWM0タスクオーバフロー A割込みの許可 0: 禁止 1: 許可
7	-	必ず"0"を読出します。
6	G14IR2	PWM0タスクオーバフロー C割込みの要求 0: 要求なし 1: 要求あり
5	G14IR1	PWM0タスクオーバフロー B割込みの要求 0: 要求なし 1: 要求あり
4	G14IR0	PWM0タスクオーバフロー A割込みの要求 0: 要求なし 1: 要求あり
3	-	必ず"0"を読出します。
2	G14ID2	PWM0タスクオーバフロー C割込みの検出 0: 未検出 1: 検出
1	G14ID1	PWM0タスクオーバフロー B割込みの検出 0: 未検出 1: 検出
0	G14ID0	PWM0タスクオーバフロー A割込みの検出 0: 未検出 1: 検出

■ グループ15割込み制御レジスタ(G15ICR : 0x0000893C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G15 FEW IE	G15LV2-0			-		G15 IE1	G15 IE0	-		G15 IR1	G15 IR0	-		G15 ID1	G15 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G15FEWIE	フラッシュメモリ書換え中のグループ15割込みの許可 0: 禁止 1: 許可
14-12	G15LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G15IE1	PWM2タスクオーバフロー割込みの許可 0: 禁止 1: 許可
8	G15IE0	PWM1タスクオーバフロー割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G15IR1	PWM2タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
4	G15IR0	PWM1タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G15ID1	PWM2タスクオーバフロー割込みの検出 0: 未検出 1: 検出
0	G15ID0	PWM1タスクオーバフロー割込みの検出 0: 未検出 1: 検出

■ グループ16割込み制御レジスタ(G16ICR : 0x00008940) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G16FEWIE	G16LV2-0			-		G16IE1	G16IE0	-		G16IR1	G16IR0	-		G16ID1	G16ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G16FEWIE	フラッシュメモリ書換え中のグループ16割込みの許可 0: 禁止 1: 許可
14-12	G16LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G16IE1	PWM0アンダフロー A割込みの許可 0: 禁止 1: 許可
8	G16IE0	PWM0オーバフロー A割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G16IR1	PWM0アンダフロー A割込みの要求 0: 要求なし 1: 要求あり
4	G16IR0	PWM0オーバフロー A割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G16ID1	PWM0アンダフロー A割込みの検出 0: 未検出 1: 検出
0	G16ID0	PWM0オーバフロー A割込みの検出 0: 未検出 1: 検出

■ グループ17割込み制御レジスタ(G17ICR : 0x00008944) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G17 FEW IE	G17LV2-0			-		G17 IE1	G17 IE0	-		G17 IR1	G17 IR0	-		G17 ID1	G17 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G17FEWIE	フラッシュメモリ書換え中のグループ17割込みの許可 0: 禁止 1: 許可
14-12	G17LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G17IE1	PWM0アンダフロー B割込みの許可 0: 禁止 1: 許可
8	G17IE0	PWM0オーバフロー B割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G17IR1	PWM0アンダフロー B割込みの要求 0: 要求なし 1: 要求あり
4	G17IR0	PWM0オーバフロー B割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G17ID1	PWM0アンダフロー B割込みの検出 0: 未検出 1: 検出
0	G17ID0	PWM0オーバフロー B割込みの検出 0: 未検出 1: 検出

■ グループ18割込み制御レジスタ(G18ICR : 0x00008948) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G18FEWIE	G18LV2-0			-		G18IE1	G18IE0	-		G18IR1	G18IR0	-		G18ID1	G18ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G18FEWIE	フラッシュメモリ書換え中のグループ18割込みの許可 0: 禁止 1: 許可
14-12	G18LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G18IE1	PWM0アンダフロー C割込みの許可 0: 禁止 1: 許可
8	G18IE0	PWM0オーバフロー C割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G18IR1	PWM0アンダフロー C割込みの要求 0: 要求なし 1: 要求あり
4	G18IR0	PWM0オーバフロー C割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G18ID1	PWM0アンダフロー C割込みの検出 0: 未検出 1: 検出
0	G18ID0	PWM0オーバフロー C割込みの検出 0: 未検出 1: 検出

■ グループ19割込み制御レジスタ(G19ICR : 0x0000894C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G19FEWIE	G19LV2-0			-		G19IE1	G19IE0	-		G19IR1	G19IR0	-		G19ID1	G19ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G19FEWIE	フラッシュメモリ書換え中のグループ19割込みの許可 0: 禁止 1: 許可
14-12	G19LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G19IE1	PWM0同期A/D変換スタートB割込みの許可 0: 禁止 1: 許可
8	G19IE0	PWM0同期A/D変換スタートA割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G19IR1	PWM0同期A/D変換スタートB割込みの要求 0: 要求なし 1: 要求あり
4	G19IR0	PWM0同期A/D変換スタートA割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G19ID1	PWM0同期A/D変換スタートB割込みの検出 0: 未検出 1: 検出
0	G19ID0	PWM0同期A/D変換スタートA割込みの検出 0: 未検出 1: 検出

■ グループ20割込み制御レジスタ(G20ICR : 0x00008950) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G20FEWIE	G20LV2-0			-		G20IE1	G20IE0	-		G20IR1	G20IR0	-		G20ID1	G20ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G20FEWIE	フラッシュメモリ書換え中のグループ20割込みの許可 0: 禁止 1: 許可
14-12	G20LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G20IE1	PWM1アンダフロー割込みの許可 0: 禁止 1: 許可
8	G20IE0	PWM1オーバフロー割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G20IR1	PWM1アンダフロー割込みの要求 0: 要求なし 1: 要求あり
4	G20IR0	PWM1オーバフロー割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G20ID1	PWM1アンダフロー割込みの検出 0: 未検出 1: 検出
0	G20ID0	PWM1オーバフロー割込みの検出 0: 未検出 1: 検出

■ グループ21割込み制御レジスタ(G21ICR : 0x00008954) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G21 FEW IE	G21LV2-0			-		G21 IE1	G21 IE0	-		G21 IR1	G21 IR0	-		G21 ID1	G21 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G21FEWIE	フラッシュメモリ書換え中のグループ21割込みの許可 0: 禁止 1: 許可
14-12	G21LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G21IE1	PWM1同期A/D変換スタートB割込みの許可 0: 禁止 1: 許可
8	G21IE0	PWM1同期A/D変換スタートA割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G21IR1	PWM1同期A/D変換スタートB割込みの要求 0: 要求なし 1: 要求あり
4	G21IR0	PWM1同期A/D変換スタートA割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G21ID1	PWM1同期A/D変換スタートB割込みの検出 0: 未検出 1: 検出
0	G21ID0	PWM1同期A/D変換スタートA割込みの検出 0: 未検出 1: 検出

■ グループ22割込み制御レジスタ(G22ICR：0x00008958) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G22FEWIE	G22LV2-0			-		G22IE1	G22IE0	-		G22IR1	G22IR0	-		G22ID1	G22ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G22FEWIE	フラッシュメモリ書換え中のグループ22割込みの許可 0: 禁止 1: 許可
14-12	G22LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G22IE1	PWM2アンダフロー割込みの許可 0: 禁止 1: 許可
8	G22IE0	PWM2オーバフロー割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G22IR1	PWM2アンダフロー割込みの要求 0: 要求なし 1: 要求あり
4	G22IR0	PWM2オーバフロー割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G22ID1	PWM2アンダフロー割込みの検出 0: 未検出 1: 検出
0	G22ID0	PWM2オーバフロー割込みの検出 0: 未検出 1: 検出

■ グループ23割込み制御レジスタ(G23ICR : 0x0000895C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G23FEWIE	G23LV2-0			-		G23IE1	G23IE0	-		G23IR1	G23IR0	-		G23ID1	G23ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G23FEWIE	フラッシュメモリ書換え中のグループ23割込みの許可 0: 禁止 1: 許可
14-12	G23LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G23IE1	PWM2同期A/D変換スタートB割込みの許可 0: 禁止 1: 許可
8	G23IE0	PWM2同期A/D変換スタートA割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G23IR1	PWM2同期A/D変換スタートB割込みの要求 0: 要求なし 1: 要求あり
4	G23IR0	PWM2同期A/D変換スタートA割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G23ID1	PWM2同期A/D変換スタートB割込みの検出 0: 未検出 1: 検出
0	G23ID0	PWM2同期A/D変換スタートA割込みの検出 0: 未検出 1: 検出

■ グループ24割込み制御レジスタ(G24ICR : 0x00008960) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G24FEWIE	G24LV2-0			-		G24IE1	G24IE0	-		G24IR1	G24IR0	-		G24ID1	G24ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G24FEWIE	フラッシュメモリ書換え中のグループ24割込みの許可 0: 禁止 1: 許可
14-12	G24LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G24IE1	A/D0変換異常検知B割込みの許可 0: 禁止 1: 許可
8	G24IE0	A/D0変換異常検知割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G24IR1	A/D0変換異常検知B割込みの要求 0: 要求なし 1: 要求あり
4	G24IR0	A/D0変換異常検知割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G24ID1	A/D0変換異常検知B割込みの検出 0: 未検出 1: 検出
0	G24ID0	A/D0変換異常検知割込みの検出 0: 未検出 1: 検出

■ グループ25割込み制御レジスタ(G25ICR : 0x00008964) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G25 FEW IE	G25LV2-0			-		G25 IE1	G25 IE0	-		G25 IR1	G25 IR0	-		G25 ID1	G25 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G25FEWIE	フラッシュメモリ書換え中のグループ25割込みの許可 0: 禁止 1: 許可
14-12	G25LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G25IE1	A/D0変換終了B割込みの許可 0: 禁止 1: 許可
8	G25IE0	A/D0変換終了割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G25IR1	A/D0変換終了B割込みの要求 0: 要求なし 1: 要求あり
4	G25IR0	A/D0変換終了割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G25ID1	A/D0変換終了B割込みの検出 0: 未検出 1: 検出
0	G25ID0	A/D0変換終了割込みの検出 0: 未検出 1: 検出

■ グループ26割込み制御レジスタ(G26ICR : 0x00008968) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G26FEWIE	G26LV2-0			-		G26IE1	G26IE0	-		G26IR1	G26IR0	-		G26ID1	G26ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G26FEWIE	フラッシュメモリ書換え中のグループ26割込みの許可 0: 禁止 1: 許可
14-12	G26LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G26IE1	A/D1変換異常検知B割込みの許可 0: 禁止 1: 許可
8	G26IE0	A/D1変換異常検知割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G26IR1	A/D1変換異常検知B割込みの要求 0: 要求なし 1: 要求あり
4	G26IR0	A/D1変換異常検知割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G26ID1	A/D1変換異常検知B割込みの検出 0: 未検出 1: 検出
0	G26ID0	A/D1変換異常検知割込みの検出 0: 未検出 1: 検出

■ グループ27割込み制御レジスタ(G27ICR : 0x0000896C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G27 FEW IE	G27LV2-0			-		G27 IE1	G27 IE0	-		G27 IR1	G27 IR0	-		G27 ID1	G27 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G27FEWIE	フラッシュメモリ書換え中のグループ27割込みの許可 0: 禁止 1: 許可
14-12	G27LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G27IE1	A/D1変換終了B割込みの許可 0: 禁止 1: 許可
8	G27IE0	A/D1変換終了割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G27IR1	A/D1変換終了B割込みの要求 0: 要求なし 1: 要求あり
4	G27IR0	A/D1変換終了割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G27ID1	A/D1変換終了B割込みの検出 0: 未検出 1: 検出
0	G27ID0	A/D1変換終了割込みの検出 0: 未検出 1: 検出

■ グループ28割込み制御レジスタ(G28ICR : 0x00008970) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G28FEWIE	G28LV2-0			-			G28IE0	-			G28IR0	-			G28ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
15	G28FEWIE	フラッシュメモリ書換え中のグループ28割込みの許可 0: 禁止 1: 許可
14-12	G28LV2-0	割込みレベル(0～6)を設定してください。
11-9	-	必ず"0"を読出します。
8	G28IE0	A/D2変換終了割込みの許可 0: 禁止 1: 許可
7-5	-	必ず"0"を読出します。
4	G28IR0	A/D2変換終了割込みの要求 0: 要求なし 1: 要求あり
3-1	-	必ず"0"を読出します。
0	G28ID0	A/D2変換終了割込みの検出 0: 未検出 1: 検出

■ グループ29割込み制御レジスタ(G29ICR：0x00008974) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G29 FEW IE	G29LV2-0			G29 IE3	G29 IE2	G29 IE1	G29 IE0	G29 IR3	G29 IR2	G29 IR1	G29 IR0	G29 ID3	G29 ID2	G29 ID1	G29 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G29FEWIE	フラッシュメモリ書換え中のグループ29割込みの許可 0: 禁止 1: 許可
14-12	G29LV2-0	割込みレベル(0～6)を設定してください。
11	G29IE3	タイマ19タスクオーバフロー割込みの許可 0: 禁止 1: 許可
10	G29IE2	タイマ18タスクオーバフロー割込みの許可 0: 禁止 1: 許可
9	G29IE1	タイマ17タスクオーバフロー割込みの許可 0: 禁止 1: 許可
8	G29IE0	タイマ16タスクオーバフロー割込みの許可 0: 禁止 1: 許可
7	G29IR3	タイマ19タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
6	G29IR2	タイマ18タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
5	G29IR1	タイマ17タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
4	G29IR0	タイマ16タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
3	G29ID3	タイマ19タスクオーバフロー割込みの検出 0: 未検出 1: 検出
2	G29ID2	タイマ18タスクオーバフロー割込みの検出 0: 未検出 1: 検出
1	G29ID1	タイマ17タスクオーバフロー割込みの検出 0: 未検出 1: 検出
0	G29ID0	タイマ16タスクオーバフロー割込みの検出 0: 未検出 1: 検出

■ グループ30割込み制御レジスタ(G30ICR : 0x00008978) [8,16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G30FEWIE	G30LV2-0			-		G30IE1	G30IE0	-		G30IR1	G30IR0	-		G30ID1	G30ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G30FEWIE	フラッシュメモリ書換え中のグループ30割込みの許可 0: 禁止 1: 許可
14-12	G30LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G30IE1	タイマ25タスクオーバフロー割込みの許可 0: 禁止 1: 許可
8	G30IE0	タイマ24タスクオーバフロー割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G30IR1	タイマ25タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
4	G30IR0	タイマ24タスクオーバフロー割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G30ID1	タイマ25タスクオーバフロー割込みの検出 0: 未検出 1: 検出
0	G30ID0	タイマ24タスクオーバフロー割込みの検出 0: 未検出 1: 検出

■ グループ31割込み制御レジスタ(G31ICR : 0x0000897C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G31 FEW IE	G31LV2-0			G31 IE3	G31 IE2	G31 IE1	G31 IE0	G31 IR3	G31 IR2	G31 IR1	G31 IR0	G31 ID3	G31 ID2	G31 ID1	G31 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G31FEWIE	フラッシュメモリ書換え中のグループ31割込みの許可 0: 禁止 1: 許可
14-12	G31LV2-0	割込みレベル(0～6)を設定してください。
11	G31IE3	タイマ16コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G31IE2	タイマ16コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G31IE1	タイマ16コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G31IE0	タイマ16オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G31IR3	タイマ16コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G31IR2	タイマ16コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G31IR1	タイマ16コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G31IR0	タイマ16オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G31ID3	タイマ16コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G31ID2	タイマ16コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G31ID1	タイマ16コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G31ID0	タイマ16オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ32割込み制御レジスタ(G32ICR : 0x00008980) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G32FEWIE	G32LV2-0			G32IE3	G32IE2	G32IE1	G32IE0	G32IR3	G32IR2	G32IR1	G32IR0	G32ID3	G32ID2	G32ID1	G32ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G32FEWIE	フラッシュメモリ書換え中のグループ32割込みの許可 0: 禁止 1: 許可
14-12	G32LV2-0	割込みレベル(0～6)を設定してください。
11	G32IE3	タイマ17コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G32IE2	タイマ17コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G32IE1	タイマ17コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G32IE0	タイマ17オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G32IR3	タイマ17コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G32IR2	タイマ17コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G32IR1	タイマ17コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G32IR0	タイマ17オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G32ID3	タイマ17コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G32ID2	タイマ17コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G32ID1	タイマ17コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G32ID0	タイマ17オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ33割込み制御レジスタ(G33ICR : 0x00008984) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G33FEWIE	G33LV2-0			G33IE3	G33IE2	G33IE1	G33IE0	G33IR3	G33IR2	G33IR1	G33IR0	G33ID3	G33ID2	G33ID1	G33ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G33FEWIE	フラッシュメモリ書換え中のグループ33割込みの許可 0: 禁止 1: 許可
14-12	G33LV2-0	割込みレベル(0～6)を設定してください。
11	G33IE3	タイマ18コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G33IE2	タイマ18コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G33IE1	タイマ18コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G33IE0	タイマ18オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G33IR3	タイマ18コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G33IR2	タイマ18コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G33IR1	タイマ18コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G33IR0	タイマ18オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G33ID3	タイマ18コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G33ID2	タイマ18コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G33ID1	タイマ18コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G33ID0	タイマ18オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ34割込み制御レジスタ(G34ICR : 0x00008988) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G34FEWIE	G34LV2-0			G34IE3	G34IE2	G34IE1	G34IE0	G34IR3	G34IR2	G34IR1	G34IR0	G34ID3	G34ID2	G34ID1	G34ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G34FEWIE	フラッシュメモリ書換え中のグループ34割込みの許可 0: 禁止 1: 許可
14-12	G34LV2-0	割込みレベル(0～6)を設定してください。
11	G34IE3	タイマ19コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G34IE2	タイマ19コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G34IE1	タイマ19コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G34IE0	タイマ19オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G34IR3	タイマ19コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G34IR2	タイマ19コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G34IR1	タイマ19コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G34IR0	タイマ19オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G34ID3	タイマ19コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G34ID2	タイマ19コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G34ID1	タイマ19コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G34ID0	タイマ19オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ35割込み制御レジスタ(G35ICR : 0x0000898C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G35 FEW IE	G35LV2-0			G35 IE3	G35 IE2	G35 IE1	G35 IE0	G35 IR3	G35 IR2	G35 IR1	G35 IR0	G35 ID3	G35 ID2	G35 ID1	G35 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G35FEWIE	フラッシュメモリ書換え中のグループ35割込みの許可 0: 禁止 1: 許可
14-12	G35LV2-0	割込みレベル(0～6)を設定してください。
11	G35IE3	タイマ20コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G35IE2	タイマ20コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G35IE1	タイマ20コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G35IE0	タイマ20オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G35IR3	タイマ20コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G35IR2	タイマ20コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G35IR1	タイマ20コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G35IR0	タイマ20オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G35ID3	タイマ20コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G35ID2	タイマ20コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G35ID1	タイマ20コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G35ID0	タイマ20オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ36割込み制御レジスタ(G36ICR : 0x00008990) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G36 FEW IE	G36LV2-0			G36 IE3	G36 IE2	G36 IE1	G36 IE0	G36 IR3	G36 IR2	G36 IR1	G36 IR0	G36 ID3	G36 ID2	G36 ID1	G36 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G36FEWIE	フラッシュメモリ書換え中のグループ36割込みの許可 0: 禁止 1: 許可
14-12	G36LV2-0	割込みレベル(0～6)を設定してください。
11	G36IE3	タイマ21コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G36IE2	タイマ21コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G36IE1	タイマ21コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G36IE0	タイマ21オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G36IR3	タイマ21コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G36IR2	タイマ21コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G36IR1	タイマ21コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G36IR0	タイマ21オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G36ID3	タイマ21コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G36ID2	タイマ21コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G36ID1	タイマ21コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G36ID0	タイマ21オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ37割込み制御レジスタ(G37ICR : 0x00008994) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G37FEWIE	G37LV2-0			G37IE3	G37IE2	G37IE1	G37IE0	G37IR3	G37IR2	G37IR1	G37IR0	G37ID3	G37ID2	G37ID1	G37ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G37FEWIE	フラッシュメモリ書換え中のグループ37割込みの許可 0: 禁止 1: 許可
14-12	G37LV2-0	割込みレベル(0～6)を設定してください。
11	G37IE3	タイマ22コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G37IE2	タイマ22コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G37IE1	タイマ22コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G37IE0	タイマ22オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G37IR3	タイマ22コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G37IR2	タイマ22コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G37IR1	タイマ22コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G37IR0	タイマ22オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G37ID3	タイマ22コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G37ID2	タイマ22コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G37ID1	タイマ22コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G37ID0	タイマ22オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ38割込み制御レジスタ(G38ICR : 0x00008998) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G38 FEW IE	G38LV2-0			G38 IE3	G38 IE2	G38 IE1	G38 IE0	G38 IR3	G38 IR2	G38 IR1	G38 IR0	G38 ID3	G38 ID2	G38 ID1	G38 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G38FEWIE	フラッシュメモリ書換え中のグループ38割込みの許可 0: 禁止 1: 許可
14-12	G38LV2-0	割込みレベル(0～6)を設定してください。
11	G38IE3	タイマ23コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G38IE2	タイマ23コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G38IE1	タイマ23コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G38IE0	タイマ23オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G38IR3	タイマ23コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G38IR2	タイマ23コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G38IR1	タイマ23コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G38IR0	タイマ23オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G38ID3	タイマ23コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G38ID2	タイマ23コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G38ID1	タイマ23コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G38ID0	タイマ23オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ39割込み制御レジスタ(G39ICR : 0x0000899C) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G39 FEW IE	G39LV2-0			G39 IE3	G39 IE2	G39 IE1	G39 IE0	G39 IR3	G39 IR2	G39 IR1	G39 IR0	G39 ID3	G39 ID2	G39 ID1	G39 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G39FEWIE	フラッシュメモリ書換え中のグループ39割込みの許可 0: 禁止 1: 許可
14-12	G39LV2-0	割込みレベル(0～6)を設定してください。
11	G39IE3	タイマ24コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G39IE2	タイマ24コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G39IE1	タイマ24コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G39IE0	タイマ24オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G39IR3	タイマ24コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G39IR2	タイマ24コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G39IR1	タイマ24コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G39IR0	タイマ24オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G39ID3	タイマ24コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G39ID2	タイマ24コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G39ID1	タイマ24コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G39ID0	タイマ24オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ40割込み制御レジスタ(G40ICR : 0x000089A0) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G40FEWIE	G40LV2-0			G40IE3	G40IE2	G40IE1	G40IE0	G40IR3	G40IR2	G40IR1	G40IR0	G40ID3	G40ID2	G40ID1	G40ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G40FEWIE	フラッシュメモリ書換え中のグループ40割込みの許可 0: 禁止 1: 許可
14-12	G40LV2-0	割込みレベル(0～6)を設定してください。
11	G40IE3	タイマ25コンペアキャプチャ C割込みの許可 0: 禁止 1: 許可
10	G40IE2	タイマ25コンペアキャプチャ B割込みの許可 0: 禁止 1: 許可
9	G40IE1	タイマ25コンペアキャプチャ A割込みの許可 0: 禁止 1: 許可
8	G40IE0	タイマ25オーバフロー/アンダフロー割込みの許可 0: 禁止 1: 許可
7	G40IR3	タイマ25コンペアキャプチャ C割込みの要求 0: 要求なし 1: 要求あり
6	G40IR2	タイマ25コンペアキャプチャ B割込みの要求 0: 要求なし 1: 要求あり
5	G40IR1	タイマ25コンペアキャプチャ A割込みの要求 0: 要求なし 1: 要求あり
4	G40IR0	タイマ25オーバフロー/アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G40ID3	タイマ25コンペアキャプチャ C割込みの検出 0: 未検出 1: 検出
2	G40ID2	タイマ25コンペアキャプチャ B割込みの検出 0: 未検出 1: 検出
1	G40ID1	タイマ25コンペアキャプチャ A割込みの検出 0: 未検出 1: 検出
0	G40ID0	タイマ25オーバフロー/アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ41割込み制御レジスタ(G41ICR : 0x000089A4) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G41 FEW IE	G41LV2-0			-		G41 IE1	G41 IE0	-		G41 IR1	G41 IR0	-		G41 ID1	G41 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G41FEWIE	フラッシュメモリ書換え中のグループ41割込みの許可 0: 禁止 1: 許可
14-12	G41LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G41IE1	シリアル0通信完了/UART送信完了割込みの許可 0: 禁止 1: 許可
8	G41IE0	シリアル0UART受信完了割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G41IR1	シリアル0通信完了/UART送信完了割込みの要求 0: 要求なし 1: 要求あり
4	G41IR0	シリアル0UART受信完了割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G41ID1	シリアル0通信完了/UART送信完了割込みの検出 0: 未検出 1: 検出
0	G41ID0	シリアル0UART受信完了割込みの検出 0: 未検出 1: 検出

■ グループ42割込み制御レジスタ(G42ICR : 0x000089A8) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G42FEWIE	G42LV2-0			-		G42IE1	G42IE0	-		G42IR1	G42IR0	-		G42ID1	G42ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G42FEWIE	フラッシュメモリ書換え中のグループ42割込みの許可 0: 禁止 1: 許可
14-12	G42LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G42IE1	IIC通信完了割込みの許可 0: 禁止 1: 許可
8	G42IE0	IICストップコンディション検出割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G42IR1	IIC通信完了割込みの要求 0: 要求なし 1: 要求あり
4	G42IR0	IICストップコンディション検出割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G42ID1	IIC通信完了割込みの検出 0: 未検出 1: 検出
0	G42ID0	IICストップコンディション検出割込みの検出 0: 未検出 1: 検出

■ グループ43割込み制御レジスタ(G43ICR : 0x000089AC) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G43FEWIE	G43LV2-0			-		G43IE1	G43IE0	-		G43IR1	G43IR0	-		G43ID1	G43ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G43FEWIE	フラッシュメモリ書換え中のグループ43割込みの許可 0: 禁止 1: 許可
14-12	G43LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G43IE1	シリアル1通信完了/UART送信完了割込みの許可 0: 禁止 1: 許可
8	G43IE0	シリアル1UART受信完了割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G43IR1	シリアル1通信完了/UART送信完了割込みの要求 0: 要求なし 1: 要求あり
4	G43IR0	シリアル1UART受信完了割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G43ID1	シリアル1通信完了/UART送信完了割込みの検出 0: 未検出 1: 検出
0	G43ID0	シリアル1UART受信完了割込みの検出 0: 未検出 1: 検出

■ グループ44割込み制御レジスタ(G44ICR : 0x000089B0) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G44FEWIE	G44LV2-0			-		G44IE1	G44IE0	-		G44IR1	G44IR0	-		G44ID1	G44ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G44FEWIE	フラッシュメモリ書換え中のグループ44割込みの許可 0: 禁止 1: 許可
14-12	G44LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G44IE1	シリアル2通信完了/UART送信完了割込みの許可 0: 禁止 1: 許可
8	G44IE0	シリアル2UART受信完了割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G44IR1	シリアル2通信完了/UART送信完了割込みの要求 0: 要求なし 1: 要求あり
4	G44IR0	シリアル2UART受信完了割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G44ID1	シリアル2通信完了/UART送信完了割込みの検出 0: 未検出 1: 検出
0	G44ID0	シリアル2UART受信完了割込みの検出 0: 未検出 1: 検出

■ グループ45割込み制御レジスタ(G45ICR : 0x000089B4) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G45FEWIE	G45LV2-0			-		G45IE1	G45IE0	-		G45IR1	G45IR0	-		G45ID1	G45ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G45FEWIE	フラッシュメモリ書換え中のグループ45割込みの許可 0: 禁止 1: 許可
14-12	G45LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G45IE1	シリアル3通信完了/UART送信完了割込みの許可 0: 禁止 1: 許可
8	G45IE0	シリアル3UART受信完了割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G45IR1	シリアル3通信完了/UART送信完了割込みの要求 0: 要求なし 1: 要求あり
4	G45IR0	シリアル3UART受信完了割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G45ID1	シリアル3通信完了/UART送信完了割込みの検出 0: 未検出 1: 検出
0	G45ID0	シリアル3UART受信完了割込みの検出 0: 未検出 1: 検出

■ グループ46割込み制御レジスタ(G46ICR : 0x000089B8) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G46FEWIE	G46LV2-0			-		G46IE1	G46IE0	-		G46IR1	G46IR0	-		G46ID1	G46ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
15	G46FEWIE	フラッシュメモリ書換え中のグループ46割込みの許可 0: 禁止 1: 許可
14-12	G46LV2-0	割込みレベル(0～6)を設定してください。
11-10	-	必ず"0"を読出します。
9	G46IE1	シリアル4通信完了/UART送信完了割込みの許可 0: 禁止 1: 許可
8	G46IE0	シリアル4UART受信完了割込みの許可 0: 禁止 1: 許可
7-6	-	必ず"0"を読出します。
5	G46IR1	シリアル4通信完了/UART送信完了割込みの要求 0: 要求なし 1: 要求あり
4	G46IR0	シリアル4UART受信完了割込みの要求 0: 要求なし 1: 要求あり
3-2	-	必ず"0"を読出します。
1	G46ID1	シリアル4通信完了/UART送信完了割込みの検出 0: 未検出 1: 検出
0	G46ID0	シリアル4UART受信完了割込みの検出 0: 未検出 1: 検出

■ グループ47割込み制御レジスタ(G47ICR : 0x000089BC) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G47FEWIE	G47LV2-0			G47IE3	G47IE2	G47IE1	G47IE0	G47IR3	G47IR2	G47IR1	G47IR0	G47ID3	G47ID2	G47ID1	G47ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G47FEWIE	フラッシュメモリ書換え中のグループ47割込みの許可 0: 禁止 1: 許可
14-12	G47LV2-0	割込みレベル(0～6)を設定してください。
11	G47IE3	タイマ3アンダフロー割込みの許可 0: 禁止 1: 許可
10	G47IE2	タイマ2アンダフロー割込みの許可 0: 禁止 1: 許可
9	G47IE1	タイマ1アンダフロー割込みの許可 0: 禁止 1: 許可
8	G47IE0	タイマ0アンダフロー割込みの許可 0: 禁止 1: 許可
7	G47IR3	タイマ3アンダフロー割込みの要求 0: 要求なし 1: 要求あり
6	G47IR2	タイマ2アンダフロー割込みの要求 0: 要求なし 1: 要求あり
5	G47IR1	タイマ1アンダフロー割込みの要求 0: 要求なし 1: 要求あり
4	G47IR0	タイマ0アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G47ID3	タイマ3アンダフロー割込みの検出 0: 未検出 1: 検出
2	G47ID2	タイマ2アンダフロー割込みの検出 0: 未検出 1: 検出
1	G47ID1	タイマ1アンダフロー割込みの検出 0: 未検出 1: 検出
0	G47ID0	タイマ0アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ48割込み制御レジスタ(G48ICR : 0x000089C0) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G48 FEW IE	G48LV2-0			G48 IE3	G48 IE2	G48 IE1	G48 IE0	G48 IR3	G48 IR2	G48 IR1	G48 IR0	G48 ID3	G48 ID2	G48 ID1	G48 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G48FEWIE	フラッシュメモリ書換え中のグループ48割込みの許可 0: 禁止 1: 許可
14-12	G48LV2-0	割込みレベル(0～6)を設定してください。
11	G48IE3	タイマ7アンダフロー割込みの許可 0: 禁止 1: 許可
10	G48IE2	タイマ6アンダフロー割込みの許可 0: 禁止 1: 許可
9	G48IE1	タイマ5アンダフロー割込みの許可 0: 禁止 1: 許可
8	G48IE0	タイマ4アンダフロー割込みの許可 0: 禁止 1: 許可
7	G48IR3	タイマ7アンダフロー割込みの要求 0: 要求なし 1: 要求あり
6	G48IR2	タイマ6アンダフロー割込みの要求 0: 要求なし 1: 要求あり
5	G48IR1	タイマ5アンダフロー割込みの要求 0: 要求なし 1: 要求あり
4	G48IR0	タイマ4アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G48ID3	タイマ7アンダフロー割込みの検出 0: 未検出 1: 検出
2	G48ID2	タイマ6アンダフロー割込みの検出 0: 未検出 1: 検出
1	G48ID1	タイマ5アンダフロー割込みの検出 0: 未検出 1: 検出
0	G48ID0	タイマ4アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ49割込み制御レジスタ(G49ICR : 0x000089C4) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G49 FEW IE	G49LV2-0			G49 IE3	G49 IE2	G49 IE1	G49 IE0	G49 IR3	G49 IR2	G49 IR1	G49 IR0	G49 ID3	G49 ID2	G49 ID1	G49 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G49FEWIE	フラッシュメモリ書換え中のグループ49割込みの許可 0: 禁止 1: 許可
14-12	G49LV2-0	割込みレベル(0～6)を設定してください。
11	G49IE3	タイマ11アンダフロー割込みの許可 0: 禁止 1: 許可
10	G49IE2	タイマ10アンダフロー割込みの許可 0: 禁止 1: 許可
9	G49IE1	タイマ9アンダフロー割込みの許可 0: 禁止 1: 許可
8	G49IE0	タイマ8アンダフロー割込みの許可 0: 禁止 1: 許可
7	G49IR3	タイマ11アンダフロー割込みの要求 0: 要求なし 1: 要求あり
6	G49IR2	タイマ10アンダフロー割込みの要求 0: 要求なし 1: 要求あり
5	G49IR1	タイマ9アンダフロー割込みの要求 0: 要求なし 1: 要求あり
4	G49IR0	タイマ8アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G49ID3	タイマ11アンダフロー割込みの検出 0: 未検出 1: 検出
2	G49ID2	タイマ10アンダフロー割込みの検出 0: 未検出 1: 検出
1	G49ID1	タイマ9アンダフロー割込みの検出 0: 未検出 1: 検出
0	G49ID0	タイマ8アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ50割込み制御レジスタ(G50ICR : 0x000089C8) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G50FEWIE	G50LV2-0			G50IE3	G50IE2	G50IE1	G50IE0	G50IR3	G50IR2	G50IR1	G50IR0	G50ID3	G50ID2	G50ID1	G50ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G50FEWIE	フラッシュメモリ書換え中のグループ50割込みの許可 0: 禁止 1: 許可
14-12	G50LV2-0	割込みレベル(0～6)を設定してください。
11	G50IE3	タイマ15アンダフロー割込みの許可 0: 禁止 1: 許可
10	G50IE2	タイマ14アンダフロー割込みの許可 0: 禁止 1: 許可
9	G50IE1	タイマ13アンダフロー割込みの許可 0: 禁止 1: 許可
8	G50IE0	タイマ12アンダフロー割込みの許可 0: 禁止 1: 許可
7	G50IR3	タイマ15アンダフロー割込みの要求 0: 要求なし 1: 要求あり
6	G50IR2	タイマ14アンダフロー割込みの要求 0: 要求なし 1: 要求あり
5	G50IR1	タイマ13アンダフロー割込みの要求 0: 要求なし 1: 要求あり
4	G50IR0	タイマ12アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G50ID3	タイマ15アンダフロー割込みの検出 0: 未検出 1: 検出
2	G50ID2	タイマ14アンダフロー割込みの検出 0: 未検出 1: 検出
1	G50ID1	タイマ13アンダフロー割込みの検出 0: 未検出 1: 検出
0	G50ID0	タイマ12アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ51割込み制御レジスタ(G51ICR : 0x000089CC) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G51 FEW IE	G51LV2-0			G51 IE3	G51 IE2	G51 IE1	G51 IE0	G51 IR3	G51 IR2	G51 IR1	G51 IR0	G51 ID3	G51 ID2	G51 ID1	G51 ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G51FEWIE	フラッシュメモリ書換え中のグループ51割込みの許可 0: 禁止 1: 許可
14-12	G51LV2-0	割込みレベル(0～6)を設定してください。
11	G51IE3	タイマ29アンダフロー割込みの許可 0: 禁止 1: 許可
10	G51IE2	タイマ28アンダフロー割込みの許可 0: 禁止 1: 許可
9	G51IE1	タイマ27アンダフロー割込みの許可 0: 禁止 1: 許可
8	G51IE0	タイマ26アンダフロー割込みの許可 0: 禁止 1: 許可
7	G51IR3	タイマ29アンダフロー割込みの要求 0: 要求なし 1: 要求あり
6	G51IR2	タイマ28アンダフロー割込みの要求 0: 要求なし 1: 要求あり
5	G51IR1	タイマ27アンダフロー割込みの要求 0: 要求なし 1: 要求あり
4	G51IR0	タイマ26アンダフロー割込みの要求 0: 要求なし 1: 要求あり
3	G51ID3	タイマ29アンダフロー割込みの検出 0: 未検出 1: 検出
2	G51ID2	タイマ28アンダフロー割込みの検出 0: 未検出 1: 検出
1	G51ID1	タイマ27アンダフロー割込みの検出 0: 未検出 1: 検出
0	G51ID0	タイマ26アンダフロー割込みの検出 0: 未検出 1: 検出

■ グループ52割込み制御レジスタ(G52ICR : 0x000089D0) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G52FEWIE	G52LV2-0			G52IE3	G52IE2	G52IE1	G52IE0	G52IR3	G52IR2	G52IR1	G52IR0	G52ID3	G52ID2	G52ID1	G52ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G52FEWIE	フラッシュメモリ書換え中のグループ52割込みの許可 0: 禁止 1: 許可
14-12	G52LV2-0	割込みレベル(0～6)を設定してください。
11	G52IE3	外部割込み7の許可 0: 禁止 1: 許可
10	G52IE2	外部割込み6の許可 0: 禁止 1: 許可
9	G52IE1	外部割込み5の許可 0: 禁止 1: 許可
8	G52IE0	外部割込み4の許可 0: 禁止 1: 許可
7	G52IR3	外部割込み7の要求 0: 要求なし 1: 要求あり
6	G52IR2	外部割込み6の要求 0: 要求なし 1: 要求あり
5	G52IR1	外部割込み5の要求 0: 要求なし 1: 要求あり
4	G52IR0	外部割込み4の要求 0: 要求なし 1: 要求あり
3	G52ID3	外部割込み7の検出 0: 未検出 1: 検出
2	G52ID2	外部割込み6の検出 0: 未検出 1: 検出
1	G52ID1	外部割込み5の検出 0: 未検出 1: 検出
0	G52ID0	外部割込み4の検出 0: 未検出 1: 検出

■ グループ53割込み制御レジスタ(G53ICR : 0x000089D4) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G53FEWIE	G53LV2-0			G53IE3	G53IE2	G53IE1	G53IE0	G53IR3	G53IR2	G53IR1	G53IR0	G53ID3	G53ID2	G53ID1	G53ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	G53FEWIE	フラッシュメモリ書換え中のグループ53割込みの許可 0: 禁止 1: 許可
14-12	G53LV2-0	割込みレベル(0～6)を設定してください。
11	G53IE3	外部割込み15の許可 0: 禁止 1: 許可
10	G53IE2	外部割込み14の許可 0: 禁止 1: 許可
9	G53IE1	外部割込み13の許可 0: 禁止 1: 許可
8	G53IE0	外部割込み12の許可 0: 禁止 1: 許可
7	G53IR3	外部割込み15の要求 0: 要求なし 1: 要求あり
6	G53IR2	外部割込み14の要求 0: 要求なし 1: 要求あり
5	G53IR1	外部割込み13の要求 0: 要求なし 1: 要求あり
4	G53IR0	外部割込み12の要求 0: 要求なし 1: 要求あり
3	G53ID3	外部割込み15の検出 0: 未検出 1: 検出
2	G53ID2	外部割込み14の検出 0: 未検出 1: 検出
1	G53ID1	外部割込み13の検出 0: 未検出 1: 検出
0	G53ID0	外部割込み12の検出 0: 未検出 1: 検出

■ グループ54割込み制御レジスタ(G54ICR : 0x000089D8) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G54FEWIE	G54LV2-0			-	G54IE2	G54IE1	G54IE0	-	G54IR2	G54IR1	G54IR0	-	G54ID2	G54ID1	G54ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

bp	ビット名	説明
15	G54FEWIE	フラッシュメモリ書換え中のグループ54割込みの許可 0: 禁止 1: 許可
14-12	G54LV2-0	割込みレベル(0～6)を設定してください。
11	-	必ず"0"を読出します。
10	G54IE2	DMA0転送要求オーバフロー割込みの許可 0: 禁止 1: 許可
9	G54IE1	DMA0転送終了後要求割込みの許可 0: 禁止 1: 許可
8	G54IE0	DMA0転送終了割込みの許可 0: 禁止 1: 許可
7	-	必ず"0"を読出します。
6	G54IR2	DMA0転送要求オーバフロー割込みの要求 0: 要求なし 1: 要求あり
5	G54IR1	DMA0転送終了後要求割込みの要求 0: 要求なし 1: 要求あり
4	G54IR0	DMA0転送終了割込みの要求 0: 要求なし 1: 要求あり
3	-	必ず"0"を読出します。
2	G54ID2	DMA0転送要求オーバフロー割込みの検出 0: 未検出 1: 検出
1	G54ID1	DMA0転送終了後要求割込みの検出 0: 未検出 1: 検出
0	G54ID0	DMA0転送終了割込みの検出 0: 未検出 1: 検出

■ グループ55割込み制御レジスタ(G55ICR : 0x000089DC) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G55FEWIE	G55LV2-0			-	G55IE2	G55IE1	G55IE0	-	G55IR2	G55IR1	G55IR0	-	G55ID2	G55ID1	G55ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

bp	ビット名	説明
15	G55FEWIE	フラッシュメモリ書換え中のグループ55割込みの許可 0: 禁止 1: 許可
14-12	G55LV2-0	割込みレベル(0～6)を設定してください。
11	-	必ず"0"を読出します。
10	G55IE2	DMA1転送要求オーバフロー割込みの許可 0: 禁止 1: 許可
9	G55IE1	DMA1転送終了後要求割込みの許可 0: 禁止 1: 許可
8	G55IE0	DMA1転送終了割込みの許可 0: 禁止 1: 許可
7	-	必ず"0"を読出します。
6	G55IR2	DMA1転送要求オーバフロー割込みの要求 0: 要求なし 1: 要求あり
5	G55IR1	DMA1転送終了後要求割込みの要求 0: 要求なし 1: 要求あり
4	G55IR0	DMA1転送終了割込みの要求 0: 要求なし 1: 要求あり
3	-	必ず"0"を読出します。
2	G55ID2	DMA1転送要求オーバフロー割込みの検出 0: 未検出 1: 検出
1	G55ID1	DMA1転送終了後要求割込みの検出 0: 未検出 1: 検出
0	G55ID0	DMA1転送終了割込みの検出 0: 未検出 1: 検出

■ グループ56割込み制御レジスタ(G56ICR : 0x000089E0) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	G56FEWIE	G56LV2-0			-	G56IE2	G56IE1	G56IE0	-	G56IR2	G56IR1	G56IR0	-	G56ID2	G56ID1	G56ID0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

bp	ビット名	説明
15	G56FEWIE	フラッシュメモリ書換え中のグループ56割込みの許可 0: 禁止 1: 許可
14-12	G56LV2-0	割込みレベル(0～6)を設定してください。
11	-	必ず"0"を読出します。
10	G56IE2	DMA2転送要求オーバフロー割込みの許可 0: 禁止 1: 許可
9	G56IE1	DMA2転送終了後要求割込みの許可 0: 禁止 1: 許可
8	G56IE0	DMA2転送終了割込みの許可 0: 禁止 1: 許可
7	-	必ず"0"を読出します。
6	G56IR2	DMA2転送要求オーバフロー割込みの要求 0: 要求なし 1: 要求あり
5	G56IR1	DMA2転送終了後要求割込みの要求 0: 要求なし 1: 要求あり
4	G56IR0	DMA2転送終了割込みの要求 0: 要求なし 1: 要求あり
3	-	必ず"0"を読出します。
2	G56ID2	DMA2転送要求オーバフロー割込みの検出 0: 未検出 1: 検出
1	G56ID1	DMA2転送終了後要求割込みの検出 0: 未検出 1: 検出
0	G56ID0	DMA2転送終了割込みの検出 0: 未検出 1: 検出

7.2.5　割込み受理グループレジスタ

割込み受理グループレジスタは、CPUが割込みを受理したマスカブル割込みの割込みグループ番号を読出します。

■ 割込み受理グループレジスタ （IAGR：0x00008A00）[8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-								GN5-0						-	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	ビット名	説明
15-8	-	必ず"0"を読出します。
7-2	GN5-0	CPUが受理したマスカブル割込みの割込みグループ番号を読出します。
1-0	-	必ず"0"を読出します。

以下の条件が発生した場合、割込み処理中であってもIAGRレジスタの値が変化します。
- 新たな割込み要因が発生
- PSWレジスタのIM2-0ビットを変更
- 割込みコントローラの各制御レジスタを設定

7.2.6　外部割込み条件指定レジスタ

外部割込み条件指定レジスタは、外部割込みのトリガ条件を設定します。トリガ条件には、両エッジ検出、立上がりエッジ検出、立下がりエッジ検出、レベル検出があります。

外部割込みのトリガ条件と外部割込み条件指定レジスタの設定値を、表7.2.8に示します。

表 7.2.8 外部割込みのトリガ条件とレジスタ設定

トリガ条件	IRQEDGESELレジスタ/IRQEGnビット	EXTMDmレジスタ/IRnTG1-0ビット
両エッジ	1	00 (*1)
立上がりエッジ	0	00
立下がりエッジ		01
"H"レベル		10
"L"レベル		11

*1 両エッジ検出に設定する場合、EXTMDmレジスタは、"00"(立上がりエッジ)を選択してください。

■ 外部割込み条件指定レジスタ0 (EXTMD0 : 0x00008A80) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	IR7TG1-0		IR6TG1-0		IR5TG1-0		IR4TG1-0		IR3TG1-0		IR2TG1-0		IR1TG1-0		IR0TG1-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-14	IR7TG1-0	IRQ7端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
13-12	IR6TG1-0	IRQ6端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
11-10	IR5TG1-0	IRQ5端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
9-8	IR4TG1-0	IRQ4端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
7-6	IR3TG1-0	IRQ3端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
5-4	IR2TG1-0	IRQ2端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
3-2	IR1TG1-0	IRQ1端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
1-0	IR0TG1-0	IRQ0端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル

ノイズフィルタを無効にする場合、外部割込み端子から"MCLK周期 × 3"以上のパルス幅の信号を入力してください。"MCLK周期 × 3"未満の場合、レベル検出およびエッジ検出ができません。
ノイズフィルタを有効にする場合の入力パルス幅については、[第14章 ノイズフィルタ]を参照してください。

EXTMD0レジスタの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。EXTMD0レジスタ設定後は、GnICRレジスタのGnIRmビットを"0"にクリアしてください。

■ 外部割込み条件指定レジスタ1 (EXTMD1 : 0x00008A84) [8、16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	IR15TG1-0		IR14TG1-0		IR13TG1-0		IR12TG1-0		IR11TG1-0		IR10TG1-0		IR9TG1-0		IR8TG1-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-14	IR15TG1-0	IRQ15端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
13-12	IR14TG1-0	IRQ14端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
11-10	IR13TG1-0	IRQ13端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
9-8	IR12TG1-0	IRQ12端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
7-6	IR11TG1-0	IRQ11端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
5-4	IR10TG1-0	IRQ10端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
3-2	IR9TG1-0	IRQ9端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル
1-0	IR8TG1-0	IRQ8端子の外部割込みトリガ条件 00: 立上がりエッジ 01: 立下がりエッジ 10: "H"レベル 11: "L"レベル

ノイズフィルタを無効にする場合、外部割込み端子から"MCLK周期 × 3"以上のパルス幅の信号を入力してください。"MCLK周期 × 3"未満の場合、レベル検出およびエッジ検出ができません。
ノイズフィルタを有効にする場合の入力パルス幅については、[第14章 ノイズフィルタ]を参照してください。

EXTMD1レジスタの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。EXTMD1レジスタ設定後は、GnICRレジスタのGnIRmビットを"0"にクリアしてください。

■ 外部割込み条件両エッジ指定レジスタ(IRQEDGESEL:0x0000A08C) [16ビットアクセスレジスタ]

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	IRQEG15	IRQEG14	IRQEG13	IRQEG12	IRQEG11	IRQEG10	IRQEG09	IRQEG08	IRQEG07	IRQEG06	IRQEG05	IRQEG04	IRQEG03	IRQEG02	IRQEG01	IRQEG00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15	IRQEG15	IRQ15端子の両エッジ検出 0: なし 1: あり
14	IRQEG14	IRQ14端子の両エッジ検出 0: なし 1: あり
13	IRQEG13	IRQ13端子の両エッジ検出 0: なし 1: あり
12	IRQEG12	IRQ12端子の両エッジ検出 0: なし 1: あり
11	IRQEG11	IRQ11端子の両エッジ検出 0: なし 1: あり
10	IRQEG10	IRQ10端子の両エッジ検出 0: なし 1: あり
9	IRQEG09	IRQ09端子の両エッジ検出 0: なし 1: あり
8	IRQEG08	IRQ08端子の両エッジ検出 0: なし 1: あり
7	IRQEG07	IRQ07端子の両エッジ検出 0: なし 1: あり
6	IRQEG06	IRQ06端子の両エッジ検出 0: なし 1: あり
5	IRQEG05	IRQ05端子の両エッジ検出 0: なし 1: あり
4	IRQEG04	IRQ04端子の両エッジ検出 0: なし 1: あり
3	IRQEG03	IRQ03端子の両エッジ検出 0: なし 1: あり

bp	ビット名	説明
2	IRQEG02	IRQ02端子の両エッジ検出 0: なし 1: あり
1	IRQEG01	IRQ01端子の両エッジ検出 0: なし 1: あり
0	IRQEG00	IRQ00端子の両エッジ検出 0: なし 1: あり

ノイズフィルタを無効にする場合、外部割込み端子から"MCLK周期 × 3"以上のパルス幅の信号を入力してください。"MCLK周期 × 3"未満の場合、レベル検出およびエッジ検出ができません。
ノイズフィルタを有効にする場合の入力パルス幅については、[第14章 ノイズフィルタ]を参照してください。

IRQEDGESELレジスタの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、【7.5 割込みの設定例】の【■ 割込み禁止状態でのレジスタ設定例】を参照してください。IRQEDGESELレジスタ設定後は、GnICRレジスタのGnIRmビットを"0"にクリアしてください。

7.3 割込みの種類

本LSIには、以下に示す3種類の割込みがあります。

・リセット割込み

・ノンマスカブル割込み

・マスカブル割込み

CPUは、上記割込みを受理すると、各割込み処理プログラムへ分岐し、割込み処理を行います。CPUが受理する割込みの優先順位は、リセット割込み、ノンマスカブル割込み、マスカブル割込みの順番です。

7.3.1 リセット割込み

リセット割込みは、3種類の割込みの中で最も優先度の高い割込みです。リセット割込みは、PSWレジスタのIEビットおよびIM2-0ビットの値に関係なく、常時受理されます。

リセット割込みは、以下の要因で発生します。

・端子リセット

・オートリセット

・ソフトウェアリセット

・異常検知リセット(ウォッチドッグタイマ、ウォッチドッグタイマ2、クロック異常検知、電源電圧検知)

上記リセットの詳細は、[第8章 リセット機能]を参照してください。

リセット割込みが受理されると、本LSIは初期化され、ウォッチドッグタイマの発振安定待ちが行われます。発振安定待ち完了後、CPUは0x40000000番地からプログラムを実行します。同時に、PSWレジスタのすべてのビットが"0"クリアされます。

ウォッチドッグタイマの発振安定待ち時間については、[第11章 ウォッチドッグタイマ]を参照してください。

7.3.2　ノンマスカブル割込み

ノンマスカブル割込みは、2番目に優先度の高い割込みです。ノンマスカブル割込みは、PSWレジスタのIEビットおよびIM2-0ビットの値に関係なく、常時受理されます。

ノンマスカブル割込みは、以下の要因で発生します。

・フェイルセーフ機能割込み

・ウォッチドッグタイマオーバフロー割込み

・システムエラー割込み

各要因の発生条件を、表7.3.1に示します。

表 7.3.1 ノンマスカブル割込みの発生要因と発生要因の発生条件

ノンマスカブル割込みの発生要因	発生要因の発生条件
フェイルセーフ機能割込み	以下のフェイルセーフ機能による割込みが発生 - ウォッチドッグタイマ2のオーバフロー - クロック異常検知割込み - レジスタプロテクト割込み
ウォッチドッグタイマオーバフロー割込み	WDCTRレジスタのWDCNEビットが"1"の状態で、ウォッチドッグタイマがオーバフロー
システムエラー割込み	以下の禁止されている操作を行った場合に発生 - 実装されていない命令の実行 - アクセス禁止領域へのメモリアクセス - アライメントのとれていないメモリアクセス

ノンマスカブル割込みが受理されると、CPUはノンマスカブル割込みの割込み処理プログラムの開始アドレス(表7.2.2参照)へ分岐します。同時に、PSWレジスタのIEビットは"0"クリアされます。

割込み処理プログラムでは、NMICRレジスタにアクセスして割込み要因の解析、割込み処理、割込み要因の解除を行った後、RTI命令で通常プログラムへ復帰します。

意図しないノンマスカブル割込みやマスカブル割込みが発生した場合、ソフトウェアリセットを推奨します。

7.3.3　マスカブル割込み

マスカブル割込みは、3種類の割込みの中で最も優先度の低い割込みです。マスカブル割込みは、GnICRレジスタのGnIEmビット、GnLV2-0ビット、およびPSWレジスタのIEビット、IM2-0ビットの設定値に従って受理されます。PSWレジスタの詳細については、[第2章 CPU]を参照してください。
マスカブル割込みが受理されると、CPUはマスカブル割込みの割込み処理プログラムの開始アドレス(表7.2.2参照)へ分岐します。

割込み処理プログラムでは、IAGRレジスタにアクセスして割込みグループの解析、割込み要因の解析、割込み処理、割込み要因の解除を行った後、RTI命令で通常プログラムへ復帰します。

マスカブル割込みについて、以下の順に説明します。

・割込み要因

・割込み受理の許可設定

・割込みレベルの設定

・割込み要求の検出

・割込みの受理

■ 割込み要因

マスカブル割込みの割込み要因は、割込みグループ単位で分けられています。1つの割込みグループに最大4つの割込み要因が割当てています。割込みグループと割込み要因の一覧は、表7.2.3～表7.2.7を参照してください。

■ 割込み受理の許可設定

割込みグループnの割込み受理の許可設定は、割込みグループn内の割込み要因mごとにGnICRレジスタのGnIEmビットで行います。GnIEmビットに"1"を設定時、割込み要因mの受理を許可します。

■ 割込みレベルの設定

割込みグループnの割込みレベルの設定は、割込みグループごとにGnICRレジスタのGnLV2-0ビットで行います。割込みグループn内の割込み要因mはすべて、GnLV2-0ビットで指定された割込みレベルになります。GnLV2-0ビットの値は、小さいほど割込みレベルが高く、大きいほど割込みレベルが低いことを意味します。

■ 割込み要求の検出

割込みグループnの割込み要求は、割込みグループn内の割込み要因mごとにGnICRレジスタのGnIRmビットで検出します。割込み要因mが割込みを要求すると、GnIRmビットが自動的に"1"にセットされます。
また、GnICRレジスタのGnIEmビットが"1"の状態で、割込み要因mが割込みを要求すると、GnICRレジスタのGnIRmビットとGnIDmビットが自動的に"1"にセットされます。
GnIRmビット、GnIDmビットを"0"にクリアする場合は、割込み処理プログラムの中で、GnIRmビットに"0"、GnIDmビットに"1"を書込んでください。この書込みにより、GnIDmビットが自動的に"0"にクリアされます。
なお、割込みグループnの割込み要求を、グループn割込みと呼びます。

■ 割込みの受理

CPUがグループn割込みを受理する条件は、割込みレベル、PSWレジスタのIEビット、IM2-0ビットの設定値(割込み受理条件)に従います。PSWレジスタのIEビットは割込み受理の許可設定、IM2-0ビットは、受理可能な割込みレベルを設定します。PSWレジスタのIM2-0ビットの設定値よりGnLV2-0ビットの設定値が小さい割込みグループnの割込みが受理されます。

PSWレジスタの設定値と受理可能な割込みレベルの関係を表7.3.2に示します。

表 7.3.2 レジスタ設定値と受理可能な割込みレベル

PSWレジスタのIM2-0ビット	受理可能な割込みレベル
0	– (割込み禁止)
1	0
2	0～1
3	0～2
4	0～3
5	0～4
6	0～5
7	0～6

グループn割込みが受理されると、PSWレジスタのIEビットは"0"にクリアされ、IM2-0ビットは、グループn割込みの割込みレベル(GnICRレジスタのGnLV2-0ビット)の値が設定されます。

複数の割込みグループから同時に割込み要求が発生した場合は、割込みレベルが最も高いグループの割込み要求から順に受理されます。また、複数の割込みグループの割込みレベルが同一の場合は、割込みグループ番号の小さい割込み要求から順に受理されます。

7.4 割込み処理

ノンマスカブル割込み、マスカブル割込みの割込み処理について、以下の順に説明します。

・割込みシーケンス

・多重割込み

リセット割込みの割込み処理については、【7.3.1 リセット割込み】を参照してください。通常、リセット割込みの分岐先には、後続するノンマスカブル割込みの分岐先と重複しないように分岐命令(JMP命令等)を置き、初期化プログラムへ分岐します。

7.4.1 割込みシーケンス

割込みシーケンスフローを、図7.4.1に示します。

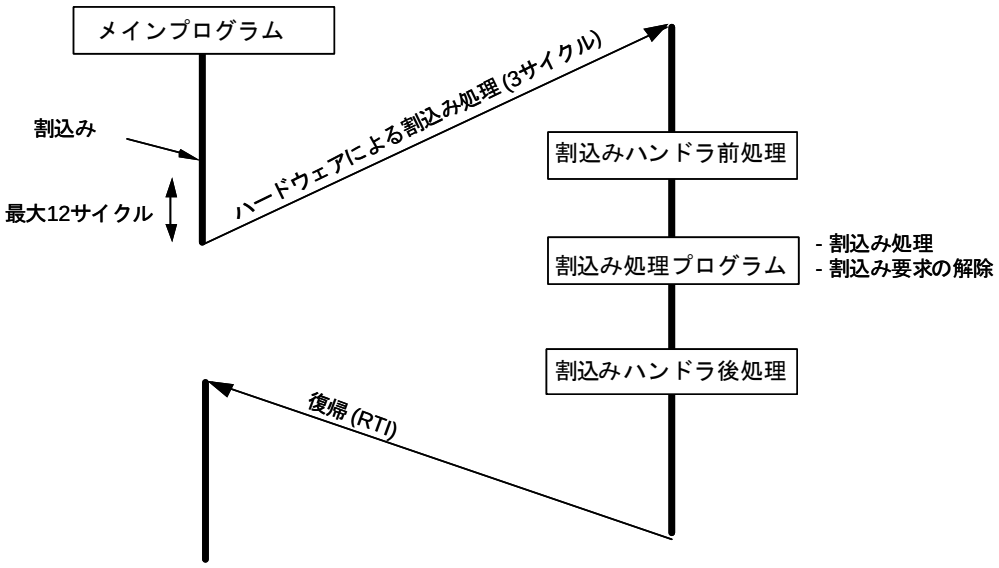


図7.4.1 割込みシーケンスフロー

CPUは、割込みを受理すると自動的にハードウェアによる割込み処理を実行します。その後、ソフトウェアによる割込みハンドラ処理に移行し、割込み処理プログラムを起動します。割込み処理プログラムの実行完了後、RTI命令で復帰します。

CPUは、命令実行の途中で割込み要求が発生した場合、乗除算など実行サイクルが複数必要な命令であっても、可能な限り実行を中断して割込みを受理します。中断した命令は、割込み処理から復帰後、再実行します。

割込みを受理してからハードウェアによる割込み処理が開始されるまでのサイクル数は、最大12サイクルです。

■ ハードウェアによる割込み処理

ハードウェアによる割込み処理のシーケンスを、表7.4.1に示します。

表 7.4.1 ハードウェアによる割込み処理のシーケンス

ステップ	処理内容
1	PSWレジスタの内容をスタックフレーム(SP-8)に退避します。(*1)
2	PC（戻り先番地）をスタックフレーム(SP-4)に退避します。(*1)
3	PSWレジスタの以下のビットを更新します。 - IEビットを"0"クリア -［マスカブル割込み］受理した割込みの割込みレベルをIM2-0ビットに設定 ［ノンマスカブル割込み］IM2-0ビットは不定
4	スタックポインタの内容を更新します(SP-8 → SP)
5	受理した割込みに対応した割込み処理プログラムの開始アドレスへ分岐します。開始アドレスの構成は、[7.2.1 割込みアドレスレジスタ]を参照してください。

*1 CPUは、割込みを受理するとスタックフレームを形成し、割込みから復帰するための情報であるPCとPSWレジスタ(計6バイト)の情報を退避します。4バイト境界をまたぐデータの転送は禁止のため、図7.4.2に示すように、SPの値は常に4の倍数にしてください。PCとPSWレジスタのデータは、最終的に8バイトの領域に、6バイトの情報が退避されます。

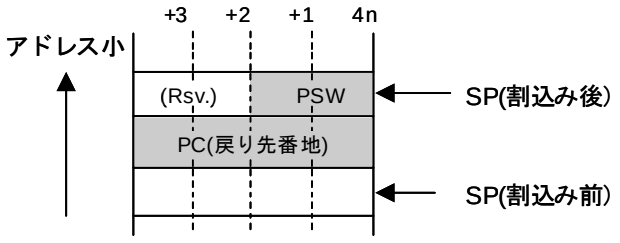


図7.4.2　スタックフレームの構成

■ ソフトウェアによる割込みハンドラ処理

ハードウェアによる割込み処理の後、詳細な割込み要因を特定するために、ソフトウェアによる割込みハンドラ処理を行います。割込みハンドラ処理の例を、表7.4.2に示します。

表 7.4.2 ソフトウェアによる割込みハンドラ処理の例

	ステップ	処理内容
割込みハンドラ前処理	1	割込みハンドラで使用するレジスタの内容を退避します。(*1)
	2 (*2)	受理された割込みの割込みグループ番号をIAGRレジスタから読出します。これにより、指定した割込みレベルの中で一番優先順位の高い割込みグループのグループ番号が得られます。
		割込みグループ番号から、割込み処理プログラムの先頭アドレスを生成します。
		割込みグループごとの割込み処理プログラムへ分岐します。
	3	[マスカブル割込み] 同一の割込みグループ内に複数の割込み要因がある場合、GnICRレジスタを読出して要因を特定します。 [ノンマスカブル割込み] NMICRレジスタにアクセスして要因を特定します。
	4	割込み要因ごとの割込み処理プログラムへ分岐します。(*3)
割込み処理		割込み処理プログラムを実行します。
割込みハンドラ後処理	5	ステップ1で退避したレジスタの内容を復帰させます。(*1)
	6	RTI命令を実行して割込み以前のプログラムに戻ります。

*1 拡張演算器を使用する場合、拡張演算器の専用レジスタを退避、復帰させる必要があります。
詳細は、[第3章 拡張演算命令]の[3.4.3 拡張レジスタのデータ退避、復帰時の注意点]を参照してください。
*2 ノンマスカブル割込みの場合は、ステップ2は不要です。
*3 割込み要因の解除時には、GnICRレジスタの割込み要因をクリアした直後に該当レジスタの読出しを行ってください。

なお、1つの割込みレベルに1要因のみを割付けることによって、割込み応答を高速化することが可能です。1つの割込みレベルに1要因を割付けた場合、割込みハンドラ処理のステップ2～4が不要です(表7.4.2)。

7.4.2　多重割込み

マスカブル割込みの割込み処理中に、別の割込み処理を実行できます(多重割込み)。

マスカブル割込みが発生すると、PSWレジスタのIEビットは自動的に"0"にクリアされます。その後、割込み処理プログラム内でIEビットを再度"1"に設定することで、多重割込みが可能になります。多重割込みとして発生できる割込みは、GnICRレジスタのGnLV2-0ビットの値が、PSWレジスタのIM2-0ビットの値より小さい割込みグループnのマスカブル割込みに限られます。

ノンマスカブル割込みの割込み処理中の多重割込みはできません。

7.5 割込みの設定例

割込みの設定例について、以下の項目を説明します。

・マスカブル割込みの設定例

・割込み禁止状態でのレジスタ設定例

■ マスカブル割込みの設定例

マスカブル割込みの割込み要求を発生する設定手順を、以下に示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止(*1)	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	グループn割込みの禁止	GnICR	GnIEm=0	グループn割込みを禁止します。
3	周辺機能の設定	-	-	割込み要因となる周辺機能の設定を行います。
4	割込み要求ビットと 割込み検出ビットのクリア	GnICR	GnIRm=0 GnIDm=1	割込み要因mに対応するGnIRmビットに"0"、GnIDmビットに"1"を同時に書込むことにより、GnIRmビットとGnIDmビットは"0"にクリアされます。
5	割込みレベルの設定	GnICR	bp14-12:GnLV2-0	グループn割込みの割込みレベルを設定します。
6	グループn割込みの許可	GnICR	GnIEm=1	グループn割込みを許可します。
7	全マスカブル割込みのレベル 設定	PSW	bp10-8:IM2-0	全マスカブル割込みのレベルを設定します。
8	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

■ 割込み禁止状態でのレジスタ設定例

マスカブル割込み設定例の設定順1～2を実行すると、割込み禁止状態になります。
割込み禁止状態でレジスタを設定する場合の設定手順を、アセンブリプログラムで以下に示します。

[例: GnICRレジスタを割込み禁止状態で設定する場合のアセンブリプログラム]

```
1. and 0xf7ff,psw    ;PSWレジスタのIEビットをクリア
2. nop               ;確実にIEビットがクリアされた状態であることを保証するために挿入
   nop               ;確実にIEビットがクリアされた状態であることを保証するために挿入
3. movhu  d0,(GnICR);GnICRレジスタの変更
4. movhu  (GnICR),d0;ストアバッファの同期をとるために挿入
5. or 0x0800,psw     ; PSWレジスタのIEビットをセット
```

手順2のnop命令は、PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するために挿入しています。

第8章　リセット機能

8

8.1 リセット機能の概要

本LSIは、以下のリセット機能(LSIの初期化)を備えています。

・端子リセット
　NRST端子を外部から制御することで、リセットが発生します。

・オートリセット
　電源投入時または電源電圧が低下した際に、自動的にリセットが発生します。

・ソフトウェアリセット
　ソフトウェアリセット制御レジスタへの書込みにより、リセットが発生します。

・異常検知リセット
　下記フェイルセーフ機能によってLSIの異常を検知した際に、自動的にリセットが発生します。
　　-電源電圧検知機能
　　-クロック監視回路
　　-ウォッチドッグタイマ
　　-ウォッチドッグタイマ2

8.2 リセット機能の制御レジスタ

リセット機能の制御レジスター覧を表8.2.1に示します。

表 8.2.1 リセット機能の制御レジスター覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
RSTCTR	0x00008204	R/W	8	ソフトウェアリセット制御レジスタ	VIII-3
RSTFACT	0x0000A810	R	8	リセット要因判別レジスタ	VIII-4

8.2.1 ソフトウェアリセット制御レジスタ

ソフトウェアリセット制御レジスタはソフトウェアリセットを発生させるレジスタです。

■ ソフトウェアリセット制御レジスタ (RSTCTR:0x00008204) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	-	CHIPRST
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R/W

bp	ビット名	説明
7-1	-	必ず"0"を読出します。
0	CHIPRST	ソフトウェアリセットの制御 0:リセット解除 1:リセット

CHIPRSTビットに"1"書込みを行うことにより、ソフトウェアリセットを発生させることができます。リセット発生後、CHIPRSTビットは自動的に"0"にクリアされます。ソフトウェアリセットの発生は、RSTFACTレジスタのFACT_SOFTビットで確認してください。

内蔵フラッシュメモリの書換え中にRSTCTRレジスタへの書込みを行わないでください。書換え中にソフトウェアリセットが発生した場合は、フラッシュメモリのデータを保証できません。

8.2.2　リセット要因判別レジスタ

リセット要因判別レジスタを読出すことで、リセットの要因を確認できます。

■ リセット要因判別レジスタ(RSTFACT:0x0000A810) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	-	FACT_ LVI	FACT_ CLKMON	FACT_ WDT2	FACT_ WDT1	FACT_ SOFT
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	FACT_LVI	電源電圧検知リセット発生 0:発生なし 1:発生
3	FACT_CLKMON	クロック異常検知リセット発生 0:発生なし 1:発生
2	FACT_WDT2	ウォッチドッグタイマ2リセット発生 0:発生なし 1:発生
1	FACT_WDT1	ウォッチドッグタイマリセット発生 0:発生なし 1:発生
0	FACT_SOFT	ソフトウェアリセット発生 0:発生なし 1:発生

各リセット要因が発生したとき、その要因に対応するビットがセットされます。RSTFACTレジスタの各ビットは、端子リセットまたはオートリセット発生時のみクリアされます。

8.3 リセット機能の詳細

リセット機能について以下の順に説明します。

・端子リセット

・オートリセット

・ソフトウェアリセット

・異常検知リセット

上記リセット発生時、LSI内部を初期化するリセット(内部リセット)が発生します。

各リセット機能の仕様差異を表8.3.1に示します。

表 8.3.1 各リセット機能の仕様差異

	端子リセット	オートリセット	ソフトウェア リセット	異常検知 リセット
NRST端子出力	-	あり	なし	なし
発振安定待ち	あり	あり	あり	あり
リセット発生後の動作クロック	外部発振	外部発振	外部発振	(*1)
リセット機能 RSTFACTレジスタ	クリア	クリア	FACT_SOFT ビットをセット	各要因に対応する ビットをセット
リセット機能 RSTCTRレジスタ	初期化	初期化	初期化	初期化
ウォッチドッグタイマ WDCTRレジスタのWDOVF2ビット	初期化	初期化	保持	保持
クロック監視回路 CKMONSTATレジスタ	初期化	初期化	保持	保持

*1 クロック異常検知リセット時のみ、内蔵発振を動作クロックとして再起動します。
その他の異常検知リセット時は外部発振となります。

8.3.1　端子リセット

端子リセットは、電源立上がり後、NRST端子に"L"レベルを入力することで発生するリセットです。"L"レベル入力後、NRST端子に"H"レベルを入力すると、端子リセットは解除されます。リセット信号パルス幅、入力電圧レベルについては[1.6 電気的特性]を参照してください。

リセット解除後、ウォッチドッグタイマの発振安定待ち機能により、発振安定待ちを開始します。発振安定待ち終了後、内部リセットが解除され、動作状態に移行します。

発振安定待ちについては[第11章 ウォッチドッグタイマ]を参照してください。

8.3.2　オートリセット

オートリセットは以下の場合に発生するリセットです。

・電源投入時

・電源電圧(V_{DD50})が低下し、電源電圧検知レベル(V_{RST2})を下回った場合

電源電圧が電源電圧検知レベル(V_{RST1})に達すると、オートリセットが解除されます。電源電圧検知レベル(V_{RST1}、V_{RST2}) ついては[1.6 電気的特性]を参照してください。

リセット解除後、ウォッチドッグタイマの発振安定待ち機能により、発振安定待ちを開始します。発振安定待ち終了後、内部リセットが解除され、動作状態に移行します。

電源電圧変化率よりも急峻に電源電圧が変動した場合、オートリセットが発生しない場合があります。
電源電圧変化率については[1.6 電気的特性]を参照してください。

オートリセット発生時、NRST端子に"L"レベルが出力されます。

8.3.3　ソフトウェアリセット

ソフトウェアリセットは、RSTCTRレジスタのCHIPRSTビットに"1"を書込むことにより発生するリセットです。ソフトウェアリセット発生後、自動的にリセット解除され、ウォッチドッグタイマの発振安定待ち機能により、発振安定待ちを開始します。発振安定待ち終了後、内部リセットが解除され、動作状態に移行します。

ソフトウェアリセット発生時は、NRST端子の"L"レベル出力は行われません。

8.3.4　異常検知リセット

異常検知リセットは、以下のフェイルセーフ機能によってLSIの異常を検知した際に発生するリセットです。

・電源電圧検知機能

・クロック監視回路

・ウォッチドッグタイマ

・ウォッチドッグタイマ2

異常検知リセット発生後、自動的にリセット解除され、ウォッチドッグタイマの発振安定待ち機能により、発振安定待ちを開始します。発振安定待ち終了後、内部リセットが解除され、動作状態に移行します。
各機能の詳細は[第9章 電源電圧検知機能]、[第10章 クロック監視回路]、[第11章 ウォッチドッグタイマ]および[[第12章 ウォッチドッグタイマ2]]を参照してください。

異常検知リセット発生時は、NRST端子の"L"レベル出力は行われません。

第８章
リセット機能

第9章　電源電圧検知機能

9

9.1　電源電圧検知機能の概要

本LSIは、1系統の電源電圧検知機能を搭載しています。電源電圧検知機能は、電源電圧(V_{DD50})と電源電圧検知レベル(V_{LVI1}、V_{LVI2})を比較し、電源電圧がV_{LVI1}を上回った場合、またはV_{LVI2}を下回った場合に、電源電圧検知割込みを発生します。また、電源電圧がV_{LVI2}を下回った場合に電源電圧検知リセットを発生させることもできます。電源電圧検知レベルは、[1.6　電気的特性]を参照してください。

9.2 電源電圧検知機能の制御レジスタ

電源電圧検知機能の制御レジスタ一覧を表9.2.1に示します。

表 9.2.1 電源電圧検知機能の制御レジスター覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
LVIMD	0x0000A860	R/W	8	電源電圧検知制御レジスタ	IX-3
PRTLVI	0x0000A82C	R/W	8	LVIレジスタプロテクト制御レジスタ	XIII-7

PRTLVIレジスタについては、[13.2 レジスタプロテクト機能の制御レジスタ]を参照してください

9.2.1 電源電圧検知制御レジスタ

電源電圧検知制御レジスタは、電源電圧検知機能を制御するレジスタです。また、電源電圧レベルをモニタできます。

■ 電源電圧検知制御レジスタ (LVIMD:0x0000A860) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	LVISEL1-0		-	LVIRQSEL	LVIMON	LVION
初期値	0	0	0	0	0	0	1	0
アクセス	R	R	R/W	R/W	R	R/W	R	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5-4	LVISEL1-0	電源電圧低下時の検知電圧設定(V_{LVI2}) 00 : 2.80 V 01 : 3.70 V 10 : 4.15 V 11 : 設定禁止
3	-	必ず"0"を読出します。
2	LVIRQSEL	電源電圧検出時の動作選択 0 : 電源電圧低下/上昇検出時に割込み発生 1 : 電源電圧低下検出時にリセット発生
1	LVIMON	電源電圧レベルモニタ信号 LVIONビットの値によって、仕様が異なります。 - LVION=0のとき : 必ず"1"を読出します。 - LVION=1のとき : VDD50の電圧レベルが電源電圧検知レベル(V_{LVI2})以下の場合、"0"を読出します。 VDD50の電圧レベルが電源電圧検知レベル(V_{LVI1})以上の場合、"1"を読出します。

bp	ビット名	説明
0	LVION	電源電圧検知機能の制御 0：停止 1：動作

LVIONビットを"1"に設定した後、電源電圧機能が起動するまでに 2.0 ms 以上の待ち時間が必要です。
以下の処理は、起動待ち時間後に行ってください。
- 電源電圧検知割込みの許可(G2ICRレジスタのG2IE0ビットを"1")
- LVIMON ビットの読出し

LVISEL1-0ビットの設定電圧値はTYP値を表しています。電源電圧検知レベルについては、[1.6　電気的特性]を参照してください。

LVISEL1-0ビットの設定は、必ずLVIONビットが"0"の状態で行ってください。

電源電圧検知リセットが発生した後、LVIMDレジスタの各ビットは初期化された状態で再起動します。その際は、RSTFACTレジスタの値を確認することで、リセット要因を判別することができます。詳細は[8.2.2　リセット要因判別レジスタ]を参照してください。

上記レジスタを変更する際は、必ずPRTLVIレジスタにアクセスして書込み許可を与えてください。([第13章　レジスタプロテクト機能]参照)

LVIMONビットの値は、LVIMONビットを読出したときの電源電圧レベルを示します。電源電圧検知割込み発生時の電源電圧レベルではありません。

9.3　電源電圧検知機能の詳細

電源電圧検知機能について、以下の順に説明します。

・電源電圧検知機能の仕様

・電源電圧検知機能の設定例

9.3.1　電源電圧検知機能の仕様

電源電圧検知機能は、電源電圧(V_{DD50})と電源電圧検知レベル(V_{LVI1}、V_{LVI2})を比較し、電源電圧検知割込みを発生します。電源電圧検知割込みの発生条件は、下記の2つです。

・電源電圧(立上がり時)が電源電圧検知レベル(V_{LVI1})を上回った場合

・電源電圧(立下がり時)が電源電圧検知レベル(V_{LVI2})を下回った場合

また、電源電圧がV_{LVI2}を下回った場合には電源電圧検知リセットを発生させることもできます。

電源電圧検知レベルは、[1.6　電気的特性]を参照してください。

電源電圧検知機能の動作を、図9.3.1を用いて説明します。

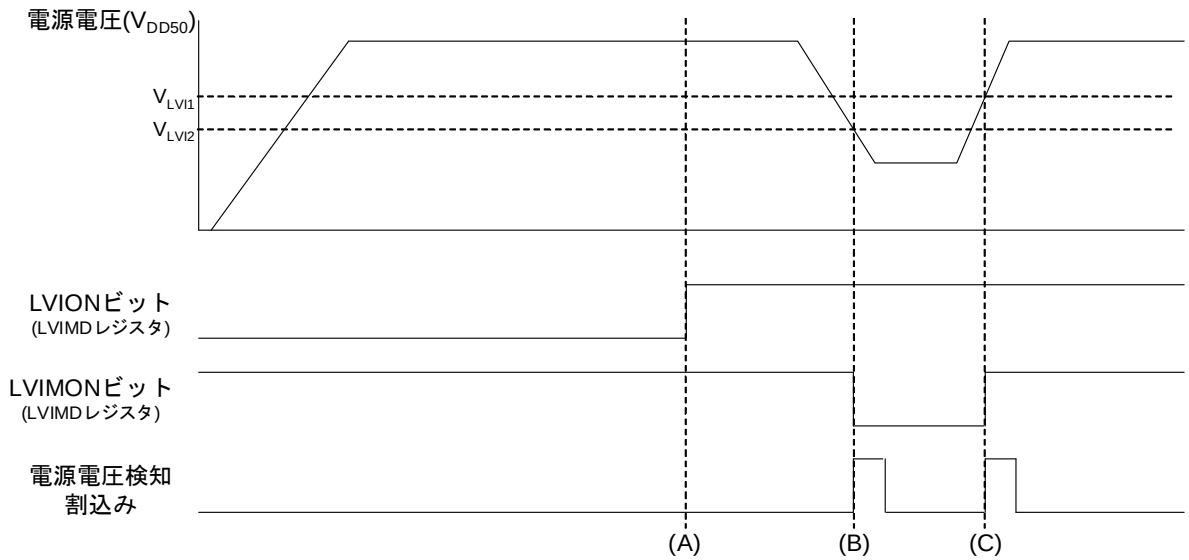


図9.3.1　電源電圧検知機能の動作タイミング

下記(A)～(C)は、図9.3.1の(A)～(C)と一致しています。

(A)LVIONビットを″1″に設定し、電源電圧検知機能を動作させます。

(B)電源電圧(立下がり時)が電源電圧検知レベル(V_{LVI2})を下回った場合、電源電圧検知割込みが発生し、LVIMONビットは″0″にクリアされます。

(C)電源電圧(立上がり時)が電源電圧検知レベル(V_{LVI1})を上回った場合、電源電圧検知割込みが発生し、LVIMONビットは″1″にセットされます。

9.3.2　電源電圧検知機能の設定例

電源電圧が電源電圧検知レベルを上回った場合、電源電圧検知割込みが発生します。電源電圧検知割込みを用いてSTOPモードから、NORMALモードに移行する設定例を説明します。

以下に、設定手順を示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止 (*1)	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	割込みの禁止	G2ICR	bp8:G2IE0=0	割込みを禁止します。
3	電源電圧検知機能の設定	LVIMD	bp5-4:LVISEL1-0 bp3:LVIRQSEL	電源電圧検知レベルや検知時の動作を設定します
4	電源電圧検知機能の動作許可	LVIMD	bp0:LVION=1	電源電圧検知機能を動作状態に設定します。
5	電源電圧検知機能の起動待ち	–	–	電源電圧機能の起動時間(2.0 ms以上)を待ちます。
6	割込み要求ビットと検出ビットのクリア	G2ICR	bp4:G2IR0=0 bp0:G2ID0=1	割込み要求ビットと検出ビットをクリアします。
7	割込みレベルの設定 (*2)	G2ICR	bp14-12: G2LV2-0=100	割込みレベルを設定します
8	割込みの許可 (*2)	G2ICR	bp8:G2IE0=1	割込みを許可します。
9	全マスカブル割込みのレベル設定	PSW	bp10-8:IM2-0	全マスカブル割込みのレベルを設定します。
10	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。
11	電源電圧の確認	LVIMD	bp0:LVIMON	割込み発生もしくはLVIMDレジスタのLVIMONビットの読出しで電源電圧の状態をモニタします。
12	STOPモードへ移行	CPUM	bp4:STOP=1	STOPモードに移行します。
13	割込み復帰	–	–	電源電圧が電源電圧検知レベルを上回った場合、もしくは下回った場合に割込み復帰します。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。
*2 割込みレベルの設定"と"割込みの許可"は同時に実行しないでください。

設定順 12 から 13 の間で電源電圧検知割込みが発生する可能性があります。割込みが発生した場合は、割込み復帰後、電源電圧が検知電圧よりも高い状態でスタンバイモードへ移行します。そのため、電源電圧の立上がりでの STOP 復帰ができなくなります。この動作を回避したい場合は、割込み処理内でスタックに退避された PC のアドレスを参照し、スタンバイ移行プログラムを実行しないようスタックのアドレスや退避データの値を書換えてください。

設定手順の網掛け箇所は、割込みの設定手順です。

第10章　　クロック監視回路

10

10.1 クロック監視回路の概要

本LSIは、クロック監視回路を搭載しています。クロック監視回路は、外部発振回路またはPLL回路で生成されたクロック(MCLK)の周波数の異常を検知します。周波数の異常を検知した場合、MCLKを内蔵発振(240 kHz)の2分周に切換えます。さらに、クロック異常検知リセットまたはノンマスカブル割込みとしてクロック異常検知割込みを発生します。

10.1.1 クロック監視回路の概略仕様

クロック監視回路の機能一覧を表10.1.1に示します。クロック監視回路は、クロック監視回路の制御レジスタで設定します。詳細は[10.2 クロック監視回路の制御レジスタ]を参照してください。

表 10.1.1 クロック監視回路の概略仕様

項目	説明
監視対象クロック	MCLK（外部発振またはPLL回路出力）
基準クロック	RCCLK（内蔵発振 240 kHz）
異常検知する 上限/下限周波数の設定範囲	180 MHz ～ 0 Hz(*1)
周波数の異常検知時の動作	以下から選択可能 -MCLKを内蔵発振の2分周に切換え、クロック異常検知リセットを発生 -MCLKを内蔵発振の2分周に切換え、クロック異常検知割込みを発生
周波数の異常の確認	-周波数の異常の検出を確認可能 -監視対象クロックの現在の状態を確認可能

*1 上限周波数はクロック監視回路で検知可能な周波数であり、本LSIのMCLKでの動作保証周波数ではありません。

クロック異常検知リセットが発生した場合、MCLKを内蔵発振の2分周に切換えた状態で再起動します。クロック異常検知リセットの発生は、CKMONSTATレジスタのCLKERRビットを確認、または、RSTFACTレジスタのFACT_CKMONビットを確認してください。RSTFACTレジスタについては、[8.2.2 リセット要因判別レジスタ]を参照してください。

STOPモード時、クロック監視回路は自動的に動作を停止します。クロック監視回路が動作状態でSTOPモードへ遷移した場合、NORMALモードへ復帰したときに動作を再開します。

10.1.2　クロック監視回路のブロック図

クロック監視回路のブロック図を図10.1.1に示します。クロックジェネレータ内のレジスタについては、[4.2 クロックジェネレータ制御レジスタ]を参照してください。

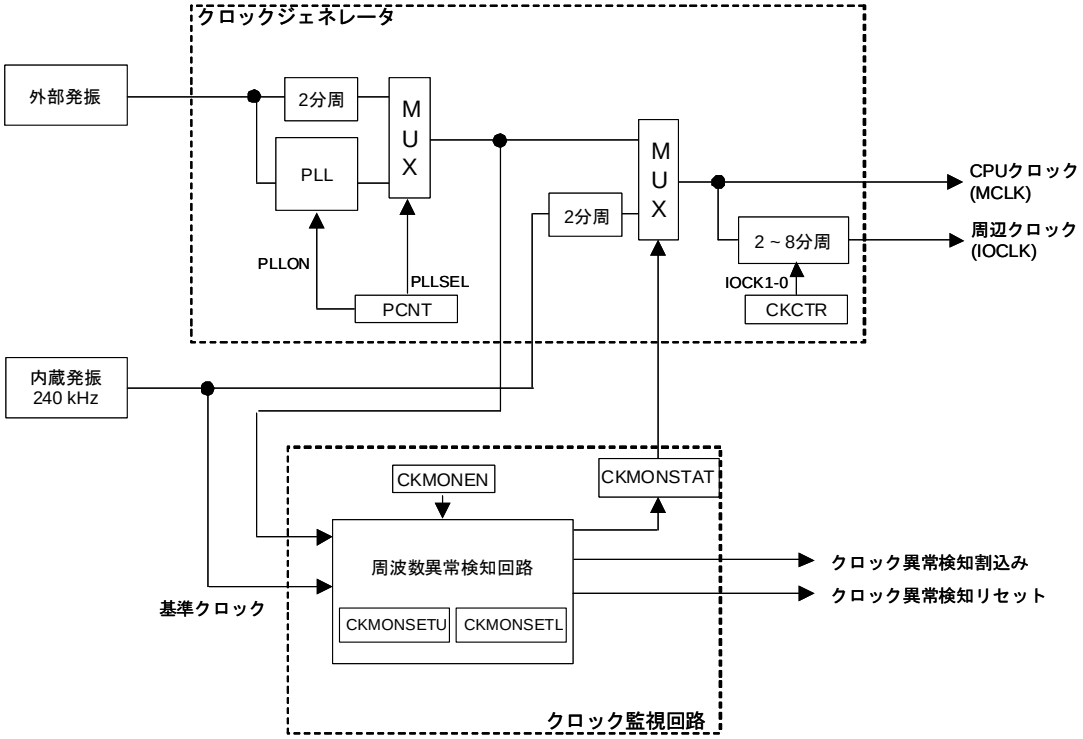


図10.1.1　クロック監視回路のブロック図

10.2 クロック監視回路の制御レジスタ

クロック監視回路は以下のレジスタで構成されています。

・クロック監視許可レジスタ

・クロック監視周波数設定レジスタ

・クロック監視ステータスレジスタ

クロック監視回路の制御レジスター覧を表10.2.1に示します。

表 10.2.1 クロック監視回路の制御レジスター覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
CKMONEN	0x0000A834	R/W	8	クロック監視許可レジスタ	X-5
CKMONSETU	0x0000A839	R/W	8	クロック監視上限周波数設定レジスタ	X-6
CKMONSETL	0x0000A838	R/W	8	クロック監視下限周波数設定レジスタ	X-7
CKMONSTAT	0x0000A83C	R/W	8	クロック監視ステータスレジスタ	X-8
PRTCKMON	0x0000A824	R/W	8	CKMONレジスタプロテクト制御レジスタ	XIII-6

PRTCKMONレジスタについては、[13.2 レジスタプロテクト機能の制御レジスタ]を参照してください。

10.2.1　クロック監視許可レジスタ

クロック監視許可レジスタは、クロック監視回路の動作を制御するレジスタです。また、周波数の異常検知時の動作を選択します。

■ クロック監視許可レジスタ (CKMONEN:0x0000A834) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	DETIRQ	MONIEN
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	DETIRQ	周波数の異常検知時の動作選択 0:MCLKを内蔵発振の2分周に切換え、クロック異常検知リセットを発生 1:MCLKを内蔵発振の2分周に切換え、クロック異常検知割込みを発生
0	MONIEN	クロック監視回路の制御 0:停止 1:動作

上記レジスタを変更する際は、必ずPRTCKMONレジスタにアクセスして書込み許可を与えてください。([第13章 レジスタプロテクト機能]参照)

クロック異常検知リセットが発生した後、CKMONENレジスタ、CKMONSETLレジスタ、CKMONSETUレジスタの各ビットは初期化された状態で再起動します。その際は、CKMONSTATレジスタ、またはRSTFACTレジスタの値を確認することで、リセット要因を判別することができます。RSTFACTレジスタの詳細は[8.2.2 リセット要因判別レジスタ]を参照してください。

10.2.2　クロック監視周波数設定レジスタ

クロック監視周波数設定レジスタは、異常検知する上限/下限周波数を設定するレジスタです。

■ クロック監視上限周波数設定レジスタ　(CKMONSETU:0x0000A839)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	-	MNUSET4-0				
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明			
7-5	-	必ず"0"を読出します。			
4-0	MNUSET4-0	異常検知する上限周波数を設定してください。			
		設定値	上限周波数	設定値	上限周波数
		0x00	180 MHz	0x0D	115 MHz
		0x01	175 MHz	0x0E	110 MHz
		0x02	170 MHz	0x0F	105 MHz
		0x03	165 MHz	0x10	100 MHz
		0x04	160 MHz	0x11	95 MHz
		0x05	155 MHz	0x12	90 MHz
		0x06	150 MHz	0x13	85 MHz
		0x07	145 MHz	0x14	80 MHz
		0x08	140 MHz	0x15	75 MHz
		0x09	135 MHz	0x16	70 MHz
		0x0A	130 MHz	0x17	65 MHz
		0x0B	125 MHz	0x18	60 MHz
		0x0C	120 MHz	その他	設定禁止

クロック監視回路の基準クロックである内蔵発振は、温度や個体差により誤差(±10 %)があります。したがって、周波数の異常と判定する上限周波数にも誤差が生じます。ただし、設定値の最大周波数を越えた場合は必ず異常と判定します。
例えば、設定値 0x10:100 MHzの場合、90 MHzから110 MHzまでのいずれかの周波数で異常と判定します。ただし、110 MHz以上は必ず異常と判定します。

上限周波数は、クロック監視回路が検知可能な周波数であり、本LSIのMCLKでの動作保証周波数ではありません。

上限周波数を変更する場合は、クロック監視回路を停止(CKMONENレジスタのMONIENビットが"0")してください。

上記レジスタを変更する際は、必ずPRTCKMONレジスタにアクセスして書込み許可を与えてください。([第13章 レジスタプロテクト機能]参照)

■ クロック監視下限周波数設定レジスタ　(CKMONSETL:0x0000A838)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	-	MNLSET4-0				
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明			
7-5	-	必ず"0"を読出します。			
4-0	MNLSET4-0	異常検知する下限周波数を設定してください。			
		設定値	下限周波数	設定値	下限周波数 (MHz)
		0x00	5 MHz	0x0B	60 MHz
		0x01	10 MHz	0x0C	65 MHz
		0x02	15 MHz	0x0D	70 MHz
		0x03	20 MHz	0x0E	75 MHz
		0x04	25 MHz	0x0F	80 MHz
		0x05	30 MHz	0x10	85 MHz
		0x06	35 MHz	0x11	90 MHz
		0x07	40 MHz	0x12	95 MHz
		0x08	45 MHz	0x13	100 MHz
		0x09	50 MHz	その他	設定禁止
		0x0A	55 MHz		

クロック監視回路の基準クロックである内蔵発振は、温度や個体差により誤差(±10 %))があります。したがって、周波数の異常と判定する下限周波数にも誤差が生じます。ただし、設定した最小周波数を下回った場合は必ず異常と判定します。
例えば、設定値 0x09:50 MHzの場合、45 MHzから55 MHzまでのいずれかの周波数で異常と判定します。ただし、45 MHz以下は必ず異常と判定します。

下限周波数を変更する場合は、クロック監視回路を停止(CKMONENレジスタのMONIENビットが"0")してください。

上記レジスタを変更する際は、必ずPRTCKMONレジスタにアクセスして書込み許可を与えてください。([第13章 レジスタプロテクト機能]参照)

10.2.3　クロック監視ステータスレジスタ

クロック監視ステータスレジスタは、周波数の異常の検出、および監視対象クロックの状態を確認するレジスタです。

■ クロック監視ステータスレジスタ　(CKMONSTAT:0x0000A83C)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	CLKSTAT	CLKERR
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	CLKSTAT	監視対象クロックの状態(*1)(*2) 0:正常 1:周波数異常検知
0	CLKERR	監視対象クロックの周波数異常検出(*1)(*3) 0:未検出(監視対象クロックで動作中) 1:検出　(内蔵発振で動作中)

*1 端子リセットとオートリセットで"0"にクリアできます。ソフトウェアリセット、異常検知リセットではクリアできません。

*2 クロック監視回路の動作時(CKMONENレジスタのMONIENビットが"1"の場合)のみ、現在のクロック状態を示します。クロック監視回路の停止時は"0"となります。

*3 周波数異常が発生したことを示すビットです。このビットが"1"のとき、MCLKが内蔵発振に切換わっていることを示します。また、このビットは任意の値を書込むことで"0"にクリアできます。
クリアすることでMCLKを監視対象クロックに切換えることができます。

上記レジスタをクリアする際は、必ずPRTCKMONレジスタにアクセスして書込み許可を与えてください。([第13章 レジスタプロテクト機能]参照)

10.3 クロック監視回路の詳細

クロック監視回路について、以下の順に説明します。

・クロック監視回路の仕様

・クロック監視回路の設定例

10.3.1　クロック監視回路の仕様

クロック監視回路は、外部発振回路またはPLL回路で生成されたクロックの周波数の異常を検知します。設定された上限値以上の周波数、下限値以下の周波数(停止を含む)を周波数の異常とします。

周波数の異常を検知した場合、MCLKを内蔵発振の2分周に切換えます。さらに、クロック異常検知リセットまたはノンマスカブル割込みとしてクロック異常検知割込みを発生します。

■ 監視対象クロック

クロック監視回路が監視するクロックは、外部発振またはPLL回路出力です。PCNTレジスタのPLLSELビットで選択されたクロックを監視します。([4.2.1 PLL制御レジスタ]参照)

■ 基準クロック

クロック監視回路の基準クロックは内蔵発振(約240 kHz)です。上限/下限周波数を設定する場合、内蔵発振の周波数誤差を考慮する必要があります。

■ 異常検知する上限/下限周波数の設定範囲

CKMONSETU、CKMONSETLレジスタによって、異常検知する上限/下限周波数の範囲を設定します。

■ 周波数の異常検知時の動作

周波数の異常検知の動作は、CKMONENレジスタのDETIRQビットの設定値により選択できます。

■ 周波数の異常の確認

周波数の異常の検出、および監視対象クロックの状態はCKMONSTATレジスタで確認できます。
CKMONSTATレジスタを確認するタイミングは、CKMONENレジスタのDETIRQビットの設定値によって異なります。

・DETIRQビットが"0"の場合

本LSIが起動した後、初期化ルーチンでCKMONSTATレジスタを読出してください。
CLKERRビットが"1"の場合、クロック異常検知リセット発生後の再起動であることを示します。
同時に、MCLKは内蔵発振の2分周に切換えられていることを示しています。

・DETIRQビットが"1"の場合

クロック異常検知割込みの割込みルーチンでCKMONSTATレジスタを読出してください。
CKMONSTATレジスタの値と監視対象クロックの状態の関係を表10.3.1に示します。

表 10.3.1 監視対象クロックの状態 (DETIRQ ビットが "1" の場合)

CKMONSTATレジスタ		監視対象クロックの状態
CLKSTATビット	CLKERRビット	
0	0	正常(別の要因によりNMI割込みが発生)
0	1	周波数異常が発生(レジスタ読出し時の周波数は正常)
1	1	周波数異常が発生(レジスタ読出し時の周波数も異常)

10.3.2　クロック監視回路の設定例

本LSIの起動後、クロックの設定を完了してからクロック監視回路の設定を行います。

項目	条件
MCLK周波数	100 MHz
必ず検知したい異常周波数	150 MHz以上、50 MHz以下
異常検知時の動作	クロック異常検知リセット発生

異常検知する周波数は、内蔵発振の誤差を考慮する必要があるため、設定する上限/下限周波数とレジスタ値は以下のようになります。

上限/下限周波数(レジスタ)	検知周波数(レジスタ設定値)
上限周波数(CKMONSETUレジスタ)	135 MHz (0x09)
下限周波数(CKMONSETLレジスタ)	60 MHz (0x0B)

以下に、設定手順を示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止 (*1)(*2)	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	クロックの設定	PCNT CKCTR		クロックを設定します。 (詳細は[第4章 クロックジェネレータ]参照) -PLL使用の選択 -IOCLKの設定
3	CKMONSETレジスタの書込み許可	PRTCKMON	bp7-0: PRTCKMON7-0=0x55	CKMONSETUレジスタ、CKMONSETLレジスタへの書込みを許可します。
4	上限周波数の設定	CKMONSETU	bp4-0: MNUSET4-0=0x09	CKMONSETUレジスタに"0x09"を設定し、上限周波数を135 MHz(121.5 MHz ～ 148.5 MHz)にします。
5	下限周波数の設定	CKMONSETL	bp4-0: MNLSET4-0=0x0B	CKMONSETLレジスタに"0x0B"を設定し、下限周波数を60 MHz(54 MHz ～ 66 MHz)にします。
6	CKMONENレジスタの書込み許可	PRTCKMON	bp7-0: PRTCKMON7-0=0x33	CKMONENレジスタへの書込みを許可します。
7	クロック監視回路の動作開始	CKMONEN	bp1:DETIRQ=0 bp0:MONIEN=1	クロック異常検知リセットを選択し、クロック監視回路の動作を許可します。ただちにクロック監視回路が有効になります。
8	レジスタ書込みの禁止	PRTCKMON	bp7-0: PRTCKMON7-0=0xFF	CKMONSETUレジスタ、CKMONSETLレジスタ、CKMONENレジスタへの書込みを禁止します。
9	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。

*1 クロック設定、モード変更の処理中は、他の割込みを禁止することを推奨します。割込みを禁止しない場合、クロック設定中のため、割込みルーチン内の動作速度が変わる可能性があります。
*2 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

設定手順の網掛け箇所は、割込みの設定手順です。

第11章　　ウォッチドッグタイマ

11

11.1 ウォッチドッグタイマの概要

本LSIはウォッチドッグタイマを搭載しています。ウォッチドッグタイマには、発振安定待ち機能と暴走検出機能の2種類の機能があります。

発振安定待ち機能は、リセット状態から動作状態に移行する際(以下、リセット解除時)や、STOPモードからNORMALモードに復帰する際(以下、STOPモードからの復帰時)に使用します。発振回路が安定して発振するまでの時間(以下、発振安定待ち時間)を、ウォッチドッグタイマのバイナリカウンタがカウントします。

暴走検出機能は、リセット状態から動作状態に移行した後に、自動的に動作を開始します。本機能は、ウォッチドッグタイマのバイナリカウンタが一定周期でクリアされずに、オーバフローした場合に、ウォッチドッグタイマはノンマスカブル割込みとしてウォッチドッグ割込みを発生させます。1回目のオーバフローが発生した後、バイナリカウンタがクリアされることなく、2回目のオーバフローが発生した場合、ウォッチドッグタイマは異常検知リセットを発生させます。

11.1.1　ウォッチドッグタイマの機能一覧

ウォッチドッグタイマの機能一覧を表11.1.1に示します。

表 11.1.1 ウォッチドッグタイマ機能一覧

項目	説明	
	発振安定待ち機能	暴走検出機能
クロックソース	外部高速発振の周期 $\times 2^{10}$	外部高速発振の周期 $\times 2^{8}$～2^{16}
発振安定待ち時間	約 26.21 ms(外部発振10 MHz時)	–
暴走検出周期	–	6.55 ms ～ 1677.72 ms (外部発振10 MHz時)
暴走検出機能	–	1回目のオーバフロー:ノンマスカブル割込み発生 2回目のオーバフロー:異常検知リセット発生

11.1.2　ウォッチドッグタイマのブロック図

ウォッチドッグタイマのブロック図を図11.1.1に示します。

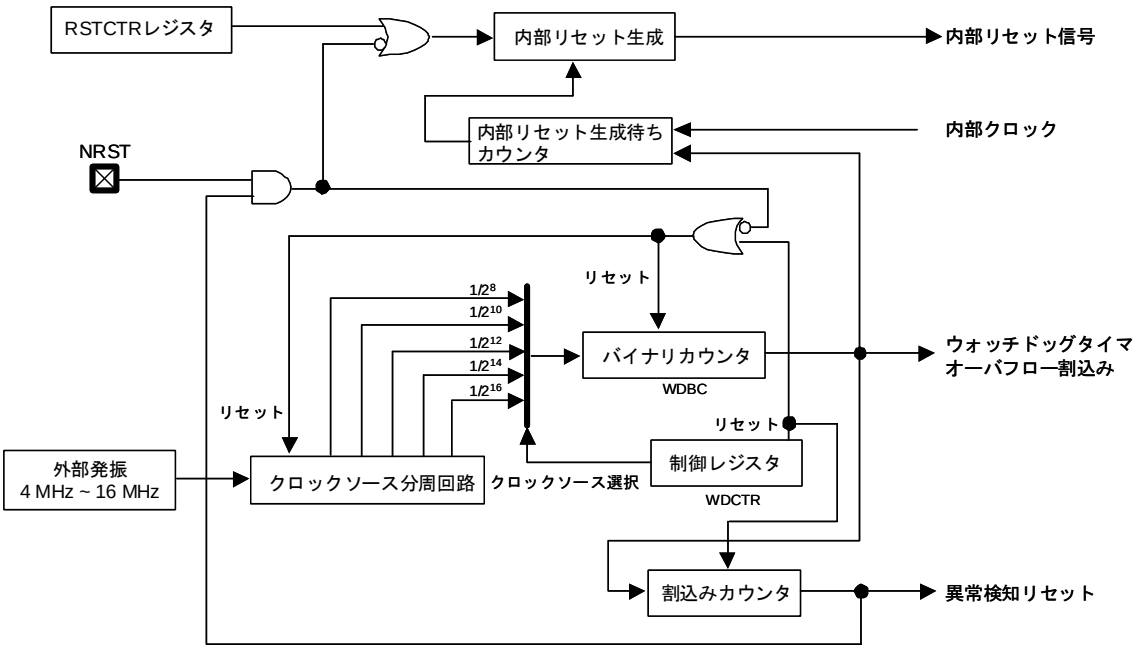


図11.1.1　ウォッチドッグタイマのブロック図

11.2 ウォッチドッグタイマ制御レジスタ

ウォッチドッグタイマの制御レジスタ一覧を表11.2.1に示します。

表 11.2.1 ウォッチドッグタイマの制御レジスタ一覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
WDBC	0x00008200	R	8	ウォッチドッグタイマバイナリカウンタ	XI-5
WDCTR	0x00008202	R/W	8	ウォッチドッグタイマ制御レジスタ	XI-6
PRTWDT	0x00008210	R/W	8	WDTレジスタプロテクト制御レジスタ	XIII-5

PRTWDTレジスタについては、【13.2 レジスタプロテクト機能の制御レジスタ】を参照してください。

11.2.1　ウォッチドッグタイマバイナリカウンタ

ウォッチドッグタイマバイナリカウンタは、バイナリカウンタの上位8ビットの値を読出すレジスタです。

■ ウォッチドッグタイマバイナリカウンタ(WDBC:0x00008200)[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	WDBC7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-0	WDBC7-0	ウォッチドッグタイマのバイナリカウンタの上位8ビットの値を読出します。

WDBCレジスタの読出し中にバイナリカウンタの値が変化した場合、読出し値は保証されません。

バイナリカウンタは、WDCTRレジスタのWDRSTビットに"1"を書込むことで"0x00"にクリアされます。

11.2.2 ウォッチドッグタイマ制御レジスタ

ウォッチドッグタイマ制御レジスタは、暴走検出機能の制御を行います。

■ ウォッチドッグタイマ制御レジスタ(WDCTR:0x00008202)[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	WDCNE	WDRST	Reserved	WDOVF1	WDOVF2	WDCK2-0		
初期値	1	0	1	0	0	0	0	1
アクセス	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	WDCNE	暴走検出機能の制御 0:停止(*1) 1:動作
6	WDRST	暴走検出機能のバイナリカウンタのクリア 0:クリアしない 1:クリアする
5	Reserved	必ず"1"に設定してください。
4	WDOVF1	暴走検出機能のバイナリカウンタのオーバフロー検出(1回目) 0:未検出 1:検出
3	WDOVF2	暴走検出機能のバイナリカウンタのオーバフロー検出(2回目) 0:未検出 1:検出
2-0	WDCK2-0	暴走検出機能のバイナリカウンタのクロックソース選択 000:外部高速発振の$1/2^{8}$ 001:外部高速発振の$1/2^{10}$ 010:外部高速発振の$1/2^{12}$ 011:外部高速発振の$1/2^{14}$ 100:外部高速発振の$1/2^{16}$ 上記以外:設定禁止

上記レジスタを変更する際は、必ずPRTWDTレジスタにアクセスして書込み許可を与えてください。(【第13章 レジスタプロテクト機能】参照)

WDRSTビットに"1"を書込むと、WDRSTビットは自動的に"0"にクリアされます。WDRSTビットを読出した場合、常に"0"が読出されます。

WDCK2-0ビットの値は、ウォッチドッグタイマが停止状態(WDCNEビット="0")で書込み、または、ウォッチドッグタイマのクリア(WDRSTビットへの"1"書込み)と同時に設定値の書込みを行う場合にのみ変更することができます。

*1 暴走検出機能が停止中の場合でも、発振安定待ち機能は動作します。

・ WDOVF1

WDOVF1ビットの変化条件を以下に示します。

ビット変化	条件
"1"セット	バイナリカウンタのオーバフロー発生(1回目)
"0"クリア	以下の2つの条件で"0"にクリアします。 ・ リセット ・ バイナリカウンタのクリア(WDRSTビットに"1"書込み)

・ WDOVF2

WDOVF2ビットの変化条件を以下に示します。

ビット変化	条件
"1"セット	バイナリカウンタのオーバフロー発生(2回目)
"0"クリア	以下の2つの条件で"0"にクリアします。 ・ 端子リセットまたはオートリセット ・ "0"書込み

ウォッチドッグタイマの異常検知リセットが発生した後、WDCTRレジスタのWDOVF2ビット以外の各ビットは初期化された状態で再起動します。その際は、WDOVF2ビット、またはRSTFACTレジスタの値を確認することで、リセット要因を判別することができます。
RSTFACTレジスタの詳細は【8.2.2 リセット要因判別レジスタ】を参照してください。

11.3 ウォッチドッグタイマの詳細

ウォッチドッグタイマの機能について、以下の順に説明します。

・発振安定待ち機能

・暴走検出機能

11.3.1　発振安定待ち機能

発振安定待ち機能は、リセット解除時やSTOPモードからの復帰時に自動的に動作します。発振回路の発振安定待ち時間を、ウォッチドッグタイマのバイナリカウンタがカウントします。

■ 発振安定待ち時間

発振安定待ち時間は、次式で算出できます。

発振安定待ち時間 = $2^{18}/(fck \times 10^3)$ [ms]

fck:発振入力周波数[単位:MHz]

■ 発振安定待ち機能の動作

リセット解除時とSTOPモードからの復帰時の発振安定待ち機能の動作について、以下に説明します。

・リセット解除時

図11.3.1は、端子リセットを例に説明します。リセット解除後の発振安定待ち(図11.3.1のT1)が終わった後、バイナリカウンタを"0x00"にクリアします。内部クロック(MCLK)生成待ち後、内部リセットを解除します。

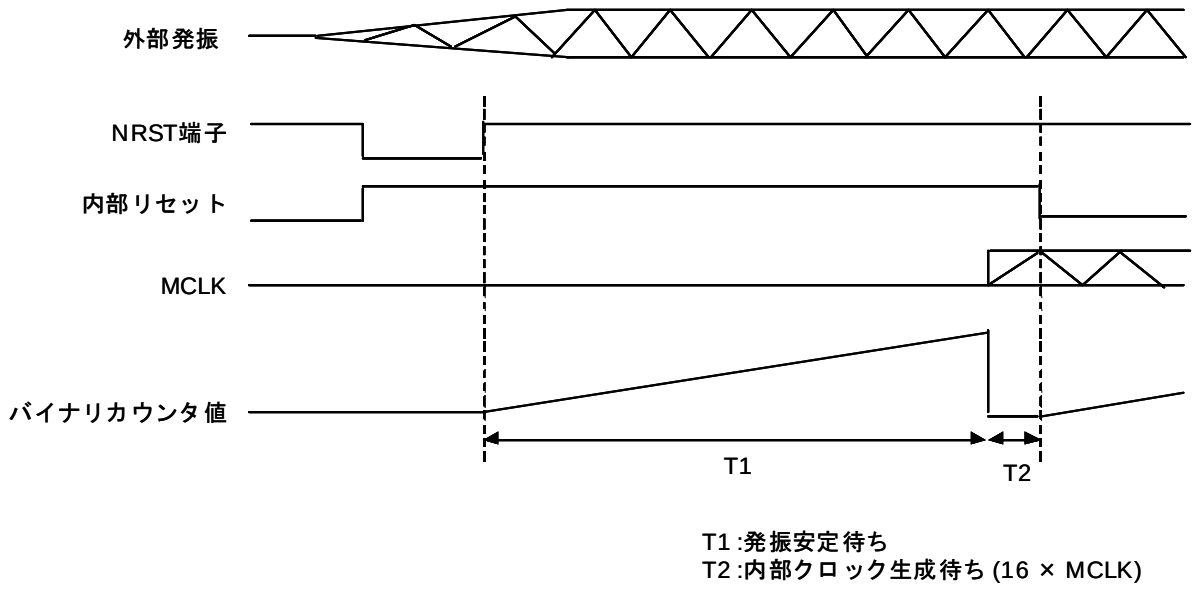


図11.3.1　発振安定待ち機能の動作(リセット解除時)

・STOPモードからの復帰時

STOPモード時に割込みが発生すると、NORMALモードに復帰します。割込み発生後の発振安定待ち(図11.3.2のT1)が終わった後、内部クロック(MCLK)生成時にバイナリカウンタを"0x00"にクリアします。

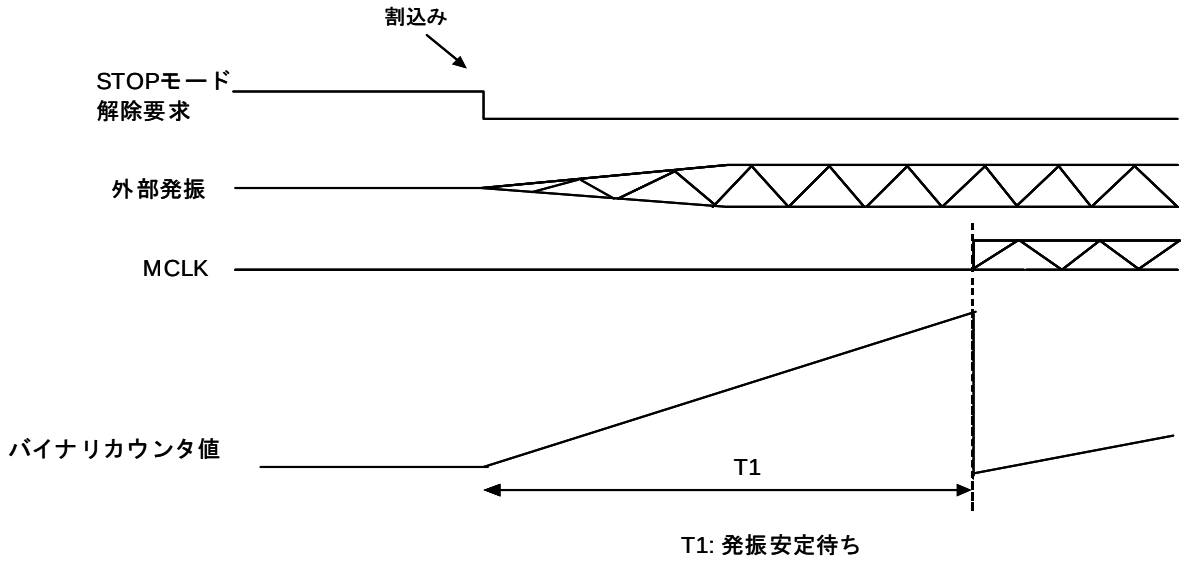


図11.3.2　発振安定待ち機能の動作(STOPモードからの復帰時)

11.3.2 暴走検出機能

暴走検出機能は、リセット状態から発振安定待ちを経て、自動的に動作を開始します。本機能は、ウォッチドッグタイマのバイナリカウンタが一定周期でクリアされず(*1)に、バイナリカウンタがオーバフローした場合に、ウォッチドッグタイマはノンマスカブル割込みを発生させます(1回目のオーバフロー検出)。
1回目のオーバフローが発生した後、バイナリカウンタがクリアされることなく、2回目のオーバフローが発生した場合、ウォッチドッグタイマは異常検知リセットを発生させます。

発振安定待ち終了後、暴走検出機能は自動的に動作を開始します。暴走検出機能を使用しない場合は、WDCTRレジスタのWDCNEビットを"0"に設定してください。

***1 暴走検出機能を使用する際は、一定周期でバイナリカウンタのカウント値をクリアするプログラムを組込んでください。**

■ 暴走検出周期

暴走検出周期は、暴走検出機能のバイナリカウンタのクロックソースの設定(WDCTRレジスタのWDCK2-0ビット)で決定します。暴走検出周期は次式で算出できます。

暴走検出周期 = $2^{(16+WDCK\times2)}/(fck \times 10^3)$ [ms]

WDCK:WDCTRレジスタのWDCK2-0ビットを10進表記した数値
fck:クロックソースの周波数[単位:MHz]

暴走検出機能のバイナリカウンタのクロックソース(WDCTRレジスタのWDCK2-0ビット)を変更する際には、必ずバイナリカウンタをクリア(WDCTRレジスタのWDRSTビットを"1"に設定)してください。オーバフローが異常に発生することがあります。

暴走検出周期は、プログラムのメインルーチンの実行時間から決定してください。

■ 異常検知リセット機能

暴走検出機能で、バイナリカウンタのオーバフローが2回連続で発生した場合、ウォッチドッグタイマは異常検知リセットを発生させます。異常検知リセット発生後、ウォッチドッグタイマは発振安定待ち機能で、発振回路の発振安定待ち時間のカウントを行います。

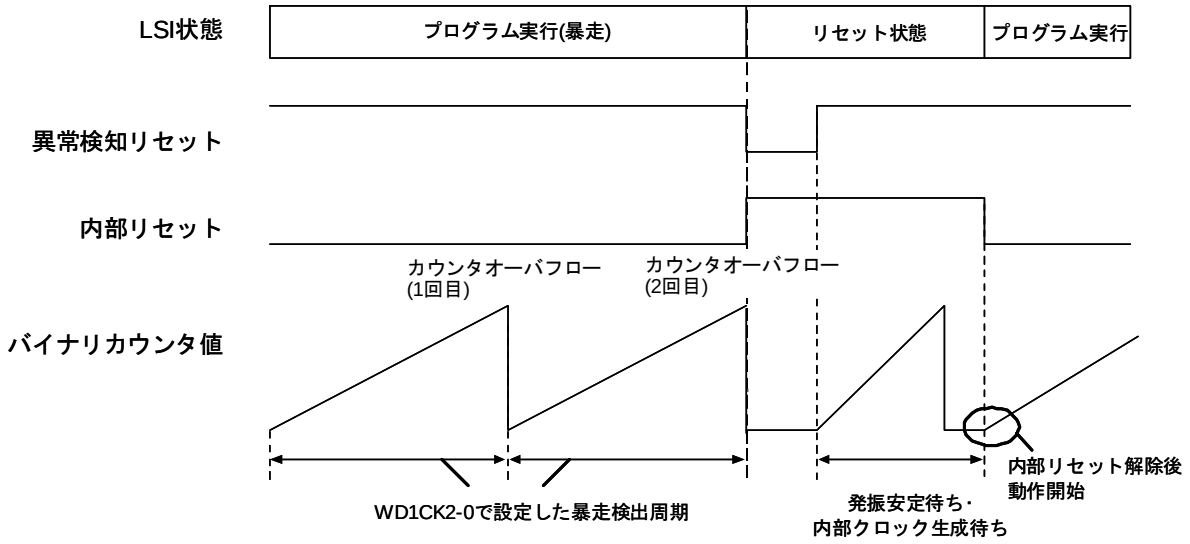


図11.3.3　強制リセット時の動作

異常検知リセットの詳細は、【第8章 リセット機能】を参照してください。

■ 各動作モードのバイナリカウンタの動作

各動作モードでの暴走検出機能のバイナリカウンタの動作を、表11.3.1に示します。

表 11.3.1 各動作モードのバイナリカウンタの動作

動作モード	バイナリカウンタの動作
NORMAL	外部発振をクロックソースとしてカウントアップ
SLEEP/HALT	カウント値を保持して、カウント停止
STOP	カウント値をクリアして、カウント停止

11.3.3 暴走検出機能の設定例

暴走検出機能の設定例について、以下の順に説明します。

・暴走検出機能を使用するとき

・暴走検出機能を使用しないとき

暴走検出機能の初期設定は、内部リセット解除後、バイナリカウンタがオーバフローする前に実行してください。

■ 暴走検出機能を使用するとき

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止 (*1)	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	レジスタ書込みの許可	PRTWDT	bp7-0: PRTWDT7-0=0xD9	WDCTRレジスタへの書込みを許可します。
3	バイナリカウンタのクリア 暴走検出周期の設定	WDCTR	bp6:WDRST=1 bp2-0:WDCK2-0	バイナリカウンタのクリアと暴走検出周期の設定を同時にします。
4	レジスタ書込みの禁止	PRTWDT	bp7-0: PRTWDT7-0=0xFF (任意の値)	WDCTRレジスタへの書込みを禁止します。
5	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

設定手順の網掛け箇所は、割込みの設定手順です。

初期設定後は、バイナリカウンタがオーバフローする前に、定期的にバイナリカウンタをクリア(WDCTRレジスタのWDRSTビットに"1"を設定)してください。

バイナリカウンタのクロックソースに初期値(WDCK2-0ビットが"001")を選択する場合は、本初期設定は不要です。

■ 暴走検出機能を使用しないとき

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止 (*1)	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	レジスタ書込みの許可	PRTWDT	bp7-0: PRTWDT7-0=0xD9	WDCTRレジスタへの書込みを許可します。
3	ウォッチドッグタイマ停止	WDCTR	bp7:WDCNE=0	暴走検出機能を停止します。
4	レジスタ書込みの禁止	PRTWDT	bp7-0: PRTWDT7-0=0xFF (任意の値)	WDCTRレジスタへの書込みを禁止します。
5	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

設定手順の網掛け箇所は、割込みの設定手順です。

第12章　　ウォッチドッグタイマ2

12

12.1 ウォッチドッグタイマ2の概要

本LSIは、暴走検出機能を備えたウォッチドッグタイマ2を搭載しています。ウォッチドッグタイマ2は、CPUクロックをクロックソースとして動作するウォッチドッグタイマとは異なり、内蔵発振回路で生成したクロックをクロックソースとして動作します。

暴走検出機能は、ウォッチドッグタイマ2のバイナリカウンタが一定周期でクリアされずに、バイナリカウンタがオーバフローした場合に、ウォッチドッグタイマ2はノンマスカブル割込みとして、ウォッチドッグタイマ2割込みを発生させます。1回目のオーバフローが発生した後、バイナリカウンタがクリアされることなく、2回目のオーバフローが発生した場合、ウォッチドッグタイマは異常検知リセットを発生させます。

12.1.1 ウォッチドッグタイマ2の機能一覧

ウォッチドッグタイマ2の機能一覧を表12.1.1に示します。

表 12.1.1 ウォッチドッグタイマ 2 の機能一覧

項目	説明
クロックソース	内蔵発振
暴走検出周期	内蔵発振の周期 × 2^7～2^{18}
暴走検出機能	1回目のオーバフロー :ノンマスカブル割込み発生 2回目のオーバフロー :異常検知リセット発生
動作対象モード(*1)	本LSIの動作モードによるウォッチドッグタイマ2の動作を以下から選択可能 常時カウント動作モード 常時カウント停止モード STOPモード時カウント停止モード HALT/SLEEPモード時カウント停止モード HALT/SLEEP/STOPモード時カウント停止モード

*1 ウォッチドッグタイマ2の動作対象モードの設定は、フラッシュオプション設定時のみ有効です。

12.1.2　ウォッチドッグタイマ2のブロック図

ウォッチドッグタイマ2のブロック図を図12.1.1に示します。

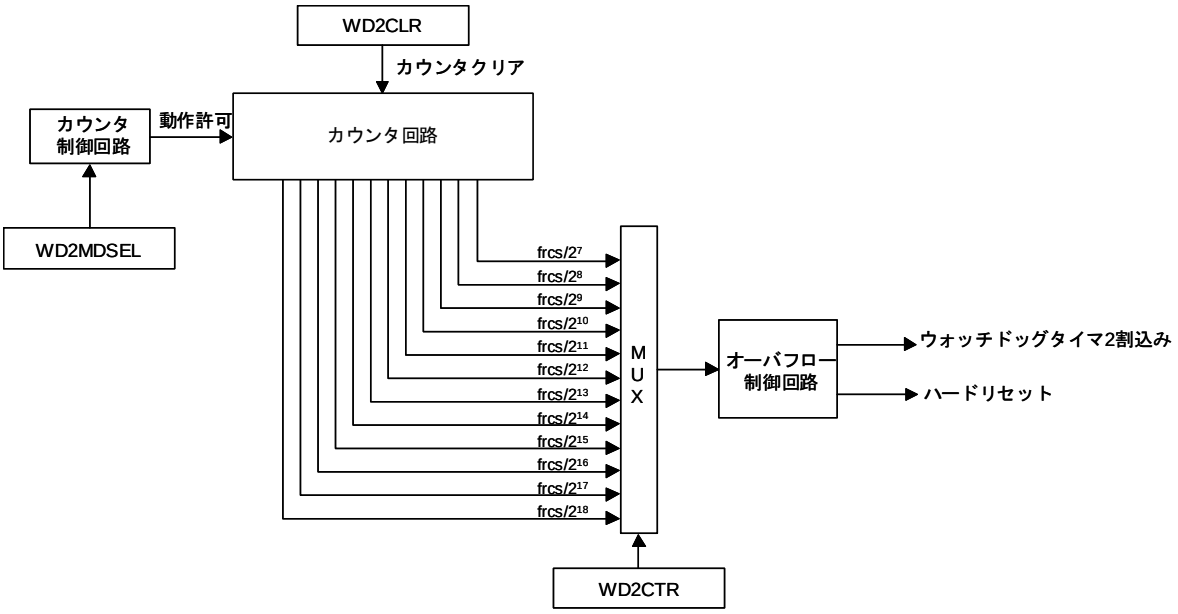


図12.1.1　ウォッチドッグタイマ2のブロック図

12.2 ウォッチドッグタイマ2の制御レジスタ

ウォッチドッグタイマ2の制御レジスタ一覧を表12.2.1に示します。

表 12.2.1 ウォッチドッグタイマ 2 の機能一覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
WD2CTR	0x0000A850	R/W	8	ウォッチドッグタイマ2制御レジスタ	XII-5
WD2MDSEL	0x0000A854	R/W	8	ウォッチドッグタイマ2動作対象モード設定レジスタ	XII-7
WD2CLR	0x0000A858	R/W	8	ウォッチドッグタイマ2クリアレジスタ	XII-8
PRTWDT2	0x0000A828	R/W	8	WDT2レジスタプロテクト制御レジスタ	XIII-6

PRTWDT2レジスタについては、【13.2 レジスタプロテクト機能の制御レジスタ】を参照してください。

12.2.1 ウォッチドッグタイマ2制御レジスタ

ウォッチドッグタイマ2制御レジスタは、ウォッチドッグタイマ2の暴走検出周期を設定します。

■ ウォッチドッグタイマ2制御レジスタ(WD2CTR:0x0000A850) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-	-	WD2FLG	-	WD2TS3-0			
初期値	0	0	0	0	1	0	1	1
アクセス	R	R	R/W	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	WD2FLG	バイナリカウンタのオーバフロー検出 0:未検出 1:検出
4	-	必ず"0"を読出します。
3-0	WD2TS3-0	ウォッチドッグタイマ2の暴走検出周期 0000: frcs/2^{7} 0001: frcs/2^{8} 0010: frcs/2^{9} 0011: frcs/2^{10} 0100: frcs/2^{11} 0101: frcs/2^{12} 0110: frcs/2^{13} 0111: frcs/2^{14} 1000: frcs/2^{15} 1001: frcs/2^{16} 1010: frcs/2^{17} 1011: frcs/2^{18} 上記以外:設定禁止

上記レジスタを変更する際は、必ずPRTWDT2レジスタにアクセスして書込み許可を与えてください。(【第13章 レジスタプロテクト機能】参照)

WD2TS3-0ビットの値の変更は、必ずバイナリカウンタをクリア(WD2CLRレジスタを"0x55"に設定)した後に行ってください。バイナリカウンタをクリアしない場合、オーバフローが異常に発生することがあります。

WD2FLGビットは1回目のオーバフロー発生時に"1"にセットされます。このとき、WD2FLGビットに"1"を書込むと、WD2FLGビットは"0"にクリアします。
WD2FLGビットは2回目のオーバフロー発生時(異常検知リセット発生時)に"0"にクリアされます。

ウォッチドッグタイマ2の異常検知リセットが発生した後は、RSTFACTレジスタの値を確認することで、リセット要因を判別することができます。RSTFACTレジスタの詳細は【8.2 リセット機能の制御レジスタ】を参照してください。

12.2.2 ウォッチドッグタイマ2動作対象モード設定レジスタ

ウォッチドッグタイマ2動作対象モード設定レジスタは、ウォッチドッグタイマ2の動作対象モードを設定します。

■ ウォッチドッグタイマ2動作対象モード設定レジスタ (WD2MDSEL:0x0000A854)[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	WD2MD7-0							
初期値	1	0	1	0	1	0	1	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	WD2MD7-0	ウォッチドッグタイマ2の動作対象モード選択 設定値は表12.2.2を参照してください。

上記レジスタを変更する際は、必ずPRTWDT2レジスタにアクセスして書込み許可を与えてください。(【第13章 レジスタプロテクト機能】参照)

WD2MDSELレジスタは、フラッシュオプションを設定していない場合は変更できません。
(【2.6 フラッシュオプション】参照)
また、フラッシュオプション設定時でも、リセット解除後の1回のみ書込み可能です。

表 12.2.2 バイナリカウンタの動作対象モード一覧

WD2BC7-0の設定値	動作対象モード	説明
0x00	常時カウント停止モード	すべての動作モードでバイナリカウンタは停止します。
0x33	HALT/SLEEPモード時 カウント停止モード	HALT/SLEEPモード時は、バイナリカウンタは停止します。(*1)
0x55	STOPモード時 カウント停止モード	STOPモード時は、バイナリカウンタは停止します。(*1)
0xAA	常時カウント動作モード	すべての動作モードでバイナリカウンタは動作します。
0xCC	HALT/SLEEP/STOPモード時 カウント停止モード	HALT/SLEEP/STOPモード時は、バイナリカウンタは停止します。(*1)
上記以外	常時カウント動作モード	すべての動作モードでバイナリカウンタは動作します。

*1 バイナリカウンタの値は初期化されません。

12.2.3 ウォッチドッグタイマ2クリアレジスタ

ウォッチドッグタイマ2クリアレジスタは、ウォッチドッグタイマ2のバイナリカウンタをクリアします。

■ ウォッチドッグタイマ2クリアレジスタ(WD2CLR:0x0000A858)[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	WD2CL7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	WD2CL7-0	ウォッチドッグタイマ2のバイナリカウンタクリア 0x55:クリア 上記以外:ウォッチドッグタイマ2割込みの発生

上記レジスタを変更する際は、必ずPRTWDT2レジスタにアクセスして書込み許可を与えてください。(【第13章 レジスタプロテクト機能】参照)

WD2CLRレジスタに"0x55"を書込むと、WD2CLRレジスタは"0x00"にクリアします。"0x55"以外の値を書込むとノンマスカブル割込みとしてウォッチドッグタイマ2割込みが発生します。

WD2CLRレジスタは、常に"0x00"を読出します。

12.3 ウォッチドッグタイマ2の詳細

ウォッチドッグタイマ2について、以下の順に説明します。

・暴走検出機能の仕様

・暴走検出機能の設定例

12.3.1 暴走検出機能の仕様

ウォッチドッグタイマ2は、内蔵発振回路で生成したクロックをクロックソースとして動作します。暴走検出機能は、ウォッチドッグタイマ2のバイナリカウンタが一定周期でクリアされず(*1)に、バイナリカウンタがオーバフローした場合に、ウォッチドッグタイマ2はノンマスカブル割込みとして、ウォッチドッグタイマ2割込みを発生させます。1回目のオーバフローが発生した後、バイナリカウンタがクリアされることなく、2回目のオーバフローが発生した場合、ウォッチドッグタイマ2は異常検知リセットを発生させます。

***1 暴走検出機能を使用する際は、一定周期でバイナリカウンタのカウント値をクリアするプログラムを組込んでください。**

■ 暴走検出周期

暴走検出周期は、WD2CTRレジスタのWD2TS3-0ビットで決定します。

暴走検出周期は、プログラムのメインルーチンの実行時間から決定してください。メインルーチンの実行時間を任意の自然数で割った値より長い暴走検出周期を設定することを推奨します。

■ 動作対象モード

ウォッチドッグタイマ2は、本LSIの動作モードによってウォッチドッグタイマ2の動作を変更する、動作対象モードを設定できます。動作対象モードはWD2MDSELレジスタで設定します。ただし、動作対象モードの設定を変更する場合、フラッシュオプションを設定する必要があります。

12.3.2　暴走検出機能の設定例

暴走検出機能を以下の条件で使用する設定例を説明します。

設定項目	設定内容
フラッシュオプション	書込み許可
動作対象モード	HALT/STOPモード時カウント停止モード
暴走検出周期	frcs/2^{14}

以下に設定手順を示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止（*1）	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	レジスタ書込みの許可	PRTWDT2	bp7-0: PRTWDT27-0=0x77	WD2MDSELレジスタへの書込みを許可します。
3	動作対象モードの設定	WD2MDSEL	bp7-0:WD2MD7-0=0xCC	HALT/STOPモード時カウント停止モードに設定します。
4	レジスタ書込みの許可	PRTWDT2	bp7-0: PRTWDT27-0=0xCC	WD2CLRレジスタへの書込みを許可します。
5	バイナリカウンタのクリア	WD2CLR	bp7-0:WD2CL7-0=0x55	バイナリカウンタをクリアします。
6	レジスタ書込みの許可	PRTWDT2	bp7-0:WD2MD7-0=0x66	WD2CTRレジスタへの書込みを許可します。
7	暴走検出周期の設定	WD2CTR	bp3-0:WD2TS3-0=0x7	暴走検出周期をfrcs/2^{14}に設定します。
8	レジスタ書込みの禁止	PRTWDT2	bp7-0:WD2MD7-0=0xFF	WD2CTR/WD2MDSEL/WD2CLRレジスタへの書込みを禁止します。
9	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。
以降は定期的なバイナリカウンタのクリアを実施				
10	全マスカブル割込みの禁止（*1）	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
11	レジスタ書込みの許可	PRTWDT2	bp7-0: PRTWDT27-0=0xCC	WD2CLRレジスタへの書込みを許可します。
12	バイナリカウンタのクリア	WD2CLR	bp7-0:WD2CL7-0=0x55	バイナリカウンタをクリアします。
13	レジスタ書込みの禁止	PRTWDT2	bp7-0:WD2MD7-0=0xFF	WD2CTR/WD2MDSEL/WD2CLRレジスタへの書込みを禁止します。
14	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。

フラッシュオプションを設定していない場合は、上記設定を実施してもウォッチドッグタイマ2の動作対象モードは変わりません。（ウォッチドッグタイマ2は、常時カウント動作モードで動作します。）

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

設定手順の網掛け箇所は、割込みの設定手順です。

ウォッチドッグタイマ2のプログラミング作業は、一般的にプログラムデバッグの最終段階で行います。

第 12 章
ウォッチドッグタイマ 2

第13章　　レジスタプロテクト機能

13

13.1 レジスタプロテクト機能の概要

本LSIは、レジスタプロテクト機能を搭載しています。レジスタプロテクト機能は、プロテクト対象レジスタに対する誤書込みを防止する機能です。プロテクト対象レジスタは、CPUモードレジスタ、クロックジェネレータ、ウォッチドッグタイマ、ウォッチドッグタイマ2、クロック監視回路、および電源電圧検知機能の制御レジスタです。

レジスタプロテクト制御レジスタに規定値を書込まずにプロテクト対象レジスタに書込みを行った場合は、ノンマスカブル割込みとしてレジスタプロテクト機能割込みが発生します。

13.2 レジスタプロテクト機能の制御レジスタ

レジスタプロテクト機能の制御レジスター覧を表13.2.1に示します。

表 13.2.1 レジスタプロテクト機能の制御レジスター覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
PRTCPUM	0x00008048	R/W	8	CPUMレジスタプロテクト制御レジスタ	XIII-4
PRTCKGEN	0x00008290	R/W	8	CKGENレジスタプロテクト制御レジスタ	XIII-4
PRTCKCNT	0x0000A820	R/W	8	CKCNTレジスタプロテクト制御レジスタ	XIII-5
PRTWDT	0x00008210	R/W	8	WDTレジスタプロテクト制御レジスタ	XIII-5
PRTWDT2	0x0000A828	R/W	8	WDT2レジスタプロテクト制御レジスタ	XIII-6
PRTCKMON	0x0000A824	R/W	8	CKMONレジスタプロテクト制御レジスタ	XIII-6
PRTLVI	0x0000A82C	R/W	8	LVIレジスタプロテクト制御レジスタ	XIII-7

プロテクト対象レジスタの一覧を表13.2.2に示します。

表 13.2.2 プロテクト対象レジスタの一覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
CPUM	0x00008040	R/W	16	CPUモードレジスタ	V-5
CKCTR	0x00008280	R/W	8,16	クロック制御レジスタ	IV-6
PCNT	0x0000A808	R/W	8,16	PLL制御レジスタ	IV-4
WDCTR	0x00008202	R/W	8	ウォッチドッグタイマ制御レジスタ	XI-6
WD2CTR	0x0000A850	R/W	8	ウォッチドッグタイマ2制御レジスタ	XII-5
WD2MDSEL	0x000085E4	R/W	8	ウォッチドッグタイマ2動作モード設定レジスタ	XII-7
WD2CLR	0x0000A858	R/W	8	ウォッチドッグタイマ2クリアレジスタ	XII-8
CKMONEN	0x0000A834	R/W	8	クロック監視許可レジスタ	X-5
CKMONSETL	0x0000A838	R/W	8	クロック監視下限周波数設定レジスタ	X-7
CKMONSETU	0x0000A839	R/W	8	クロック監視上限周波数設定レジスタ	X-6
CKMONSTAT	0x0000A83C	R/W	8	クロック監視ステータスレジスタ	X-8
LVIMD	0x0000A860	R/W	8	電源電圧検知制御レジスタ	IX-3

プロテクト対象レジスタの仕様は、各機能ブロックの章を参照してください。
([第4章 クロックジェネレータ]、[第5章 動作モード]、[第9章 電源電圧検知機能]、[第10章 クロック監視回路]、[第11章 ウォッチドッグタイマ]、[第12章 ウォッチドッグタイマ2]参照)

13.2.1　レジスタプロテクト制御レジスタ

レジスタプロテクト制御レジスタは、プロテクト対象レジスタの書込みを制御するレジスタです。

■ CPUMレジスタプロテクト制御レジスタ　(PRTCPUM:0x00008048)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PRTCPUM7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	PRTCPUM7-0	CPUモードレジスタのレジスタプロテクト制御 0xCA :CPUMレジスタの書込み許可 上記以外 :上記プロテクト対象レジスタの書込み禁止

プロテクト対象レジスタの設定を変更した後は、PRTCPUMレジスタに任意の値を書込み、"プロテクト対象レジスタの書込み禁止"に設定することを推奨します。

■ CKGENレジスタプロテクト制御レジスタ　(PRTCKGEN:0x00008290)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PRTCKGEN7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	PRTCKGEN7-0	クロック制御レジスタのレジスタプロテクト制御 0xE2 :CKCTRレジスタの書込み許可 上記以外 :上記プロテクト対象レジスタの書込み禁止

プロテクト対象レジスタの設定を変更した後は、PRTCKGENレジスタに任意の値を書込み、"プロテクト対象レジスタの書込み禁止"に設定することを推奨します。

■ CKCNTレジスタプロテクト制御レジスタ　(PRTCKCNT:0x0000A820)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PRTCKCNT7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	PRTCKCNT7-0	PLL制御レジスタのレジスタプロテクト制御 0x3C :PCNTレジスタの書込み許可 上記以外 :上記プロテクト対象レジスタの書込み禁止

プロテクト対象レジスタの設定を変更した後は、PRTCKCNTレジスタに任意の値を書込み、"プロテクト対象レジスタの書込み禁止"に設定することを推奨します。

■ WDTレジスタプロテクト制御レジスタ　(PRTWDT:0x00008210)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PRTWDT7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	PRTWDT7-0	ウォッチドッグタイマのレジスタプロテクト制御 0xD9 :WDCTRレジスタの書込み許可 上記以外 :上記プロテクト対象レジスタの書込み禁止

プロテクト対象レジスタの設定を変更した後は、PRTWDTレジスタに任意の値を書込み、"プロテクト対象レジスタの書込み禁止"に設定することを推奨します。

■ WDT2レジスタプロテクト制御レジスタ　(PRTWDT2:0x0000A828)　[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PRTWDT27-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	PRTWDT27-0	ウォッチドッグタイマ2のレジスタプロテクト制御 0x66 :WD2CTRレジスタの書込み許可 0x77 :WD2MDSELレジスタの書込み許可 0xCC :WD2CLRレジスタの書込み許可 上記以外 :上記プロテクト対象レジスタの書込み禁止

プロテクト対象レジスタの設定を変更した後は、PRTWDT2レジスタに任意の値を書込み、"プロテクト対象レジスタの書込み禁止"に設定することを推奨します。

■ CKMONレジスタプロテクト制御レジスタ(PRTCKMON:0x0000A824)[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PRTCKMON7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	PRTCKMON7-0	クロック監視機能のレジスタプロテクト制御 0x33 :CKMONENレジスタの書込み許可 0x55 :CKMONSETUレジスタ、CKMONSETLレジスタの書込み許可 0x99 :CKMONSTATレジスタの書込み許可 上記以外 :上記プロテクト対象レジスタの書込み禁止

プロテクト対象レジスタの設定を変更した後は、PRTCKMONレジスタに任意の値を書込み、"プロテクト対象レジスタの書込み禁止"に設定することを推奨します。

■ LVIレジスタプロテクト制御レジスタ (PRTLVI:0x0000A82C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PRTLVI7-0							
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-0	PRTLVI7-0	電源電圧検知機能のレジスタプロテクト制御 0xC3 :LVIMDレジスタの書込み許可 上記以外 :上記プロテクト対象レジスタの書込み禁止

プロテクト対象レジスタの設定を変更した後は、PRTLVIレジスタに任意の値を書込み、"プロテクト対象レジスタの書込み禁止"に設定することを推奨します。

13.3 レジスタプロテクト機能の詳細

レジスタプロテクト機能について、以下の順に説明します。

・レジスタプロテクト機能の仕様

・プロテクト対象レジスタの書換え設定例

13.3.1　レジスタプロテクト機能の仕様

レジスタプロテクト機能は、プロテクト対象レジスタに対する誤書込みを防止する機能です。プロテクト対象レジスタは、表13.2.2を参照してください。

プロテクト対象レジスタへの書込みは、レジスタプロテクト制御レジスタに規定値を書込むことで可能になります。規定値を書込まずにプロテクト対象レジスタに書込みを行った場合、ノンマスカブル割込みとしてレジスタプロテクト機能割込みが発生します。

■ 割込み発生時の留意点

プロテクト対象レジスタを変更する場合は、割込みを禁止することを推奨します。
割込みを禁止にしない場合、レジスタプロテクト制御レジスタとプロテクト対象レジスタの書込み中に割込みが発生する可能性があります。その割込み処理プログラムの中で、レジスタプロテクト制御レジスタの設定値を書換えた場合、割込み復帰後にプロテクト対象レジスタに書込めません。図13.3.1のように割込み処理プログラムの先頭でレジスタプロテクト制御レジスタの値を退避し、終了時に復帰させてください。

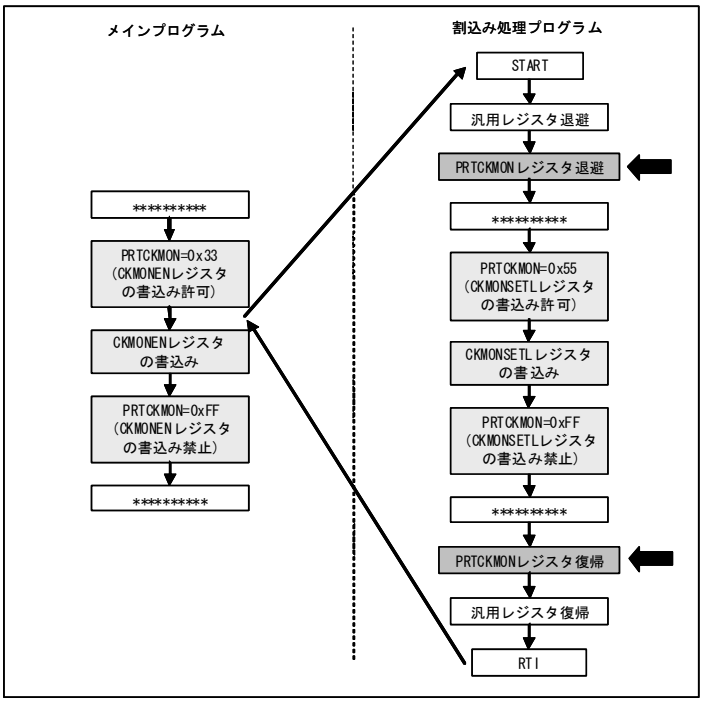


図13.3.1　割込み処理プログラムの例

13.3.2　プロテクト対象レジスタの書換え設定例

WTCTRレジスタの書換えを行うための設定手順を以下に示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止(*1)	PSW	bp11:IE=0	全マスカブル割込みを禁止します。
2	レジスタ書込みの許可	PRTWDT	bp7-0: PRTWDT7-0=0xD9	WDCTRレジスタの書込み許可を設定します。
3	ウォッチドッグタイマのクリア	WDCTR	bp6:WDRST=1	ウォッチドッグタイマのバイナリカウンタをクリアします。
4	レジスタ書込みの禁止	PRTWDT	bp7-0: PRTWDT7-0=0xFF	WDCTRレジスタへの書込みを禁止します。
5	全マスカブル割込みの許可	PSW	bp11:IE=1	全マスカブル割込みを許可します。

*1 PSWレジスタのIEビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2サイクル以上のnop命令を挿入してください。

設定手順の網掛け箇所は、割込みの設定手順です。

第14章　　ノイズフィルタ

14

14.1 ノイズフィルタの概要

本LSIは、ノイズフィルタを搭載しています。ノイズフィルタは、外部入力端子から入力する信号をサンプリングクロックでサンプリングし、入力信号に含まれるノイズを除去します。ノイズフィルタを適用できる外部入力端子は、外部割込み入力端子、8ビットタイマ入出力端子、16ビットタイマ入出力端子です。ノイズフィルタの有効/無効とサンプリングクロックの周波数は、ノイズフィルタごとに設定可能です。

14.1.1　ノイズフィルタの機能一覧

ノイズフィルタの機能一覧を表14.1.1に示します。ノイズフィルタの機能は、ノイズフィルタ制御レジスタで設定します。詳細は[14.2 ノイズフィルタの制御レジスタ]を参照してください。

表 14.1.1 ノイズフィルタの機能一覧

機能	説明
ノイズフィルタの有無	各ノイズフィルタで設定可能
サンプリングクロックの周波数選択	IOCLKの1/16 IOCLKの1/32 IOCLKの1/64 IOCLKの1/128
ノイズフィルタ適用端子の選択	外部割込み入力端子 8ビットタイマ入出力端子 16ビットタイマ入出力端子

14.1.2　ノイズフィルタのブロック図

ノイズフィルタのブロック図を図14.1.1に示します。

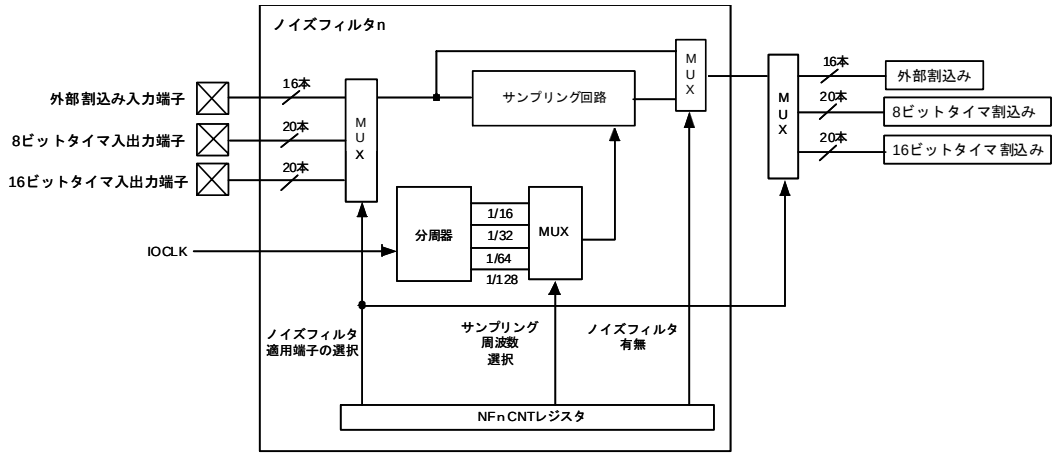


図14.1.1　ノイズフィルタのブロック図

14.2 ノイズフィルタの制御レジスタ

ノイズフィルタの制御レジスター覧を表14.2.1に示します。

表 14.2.1 ノイズフィルタの制御レジスター覧

レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
NF0CNT	0x0000A0B0	R/W	8, 16	ノイズフィルタ0制御レジスタ	XIV-4
NF1CNT	0x0000A0B2	R/W	8, 16	ノイズフィルタ1制御レジスタ	XIV-4
NF2CNT	0x0000A0B4	R/W	8, 16	ノイズフィルタ2制御レジスタ	XIV-4
NF3CNT	0x0000A0B6	R/W	8, 16	ノイズフィルタ3制御レジスタ	XIV-4
NF4CNT	0x0000A0B8	R/W	8, 16	ノイズフィルタ4制御レジスタ	XIV-4
NF5CNT	0x0000A0BA	R/W	8, 16	ノイズフィルタ5制御レジスタ	XIV-4
NF6CNT	0x0000A0BC	R/W	8, 16	ノイズフィルタ6制御レジスタ	XIV-4
NF7CNT	0x0000A0BE	R/W	8, 16	ノイズフィルタ7制御レジスタ	XIV-4
NF8CNT	0x0000A0C0	R/W	8, 16	ノイズフィルタ8制御レジスタ	XIV-4
NF9CNT	0x0000A0C2	R/W	8, 16	ノイズフィルタ9制御レジスタ	XIV-4
NF10CNT	0x0000A0C4	R/W	8, 16	ノイズフィルタ10制御レジスタ	XIV-4
NF11CNT	0x0000A0C6	R/W	8, 16	ノイズフィルタ11制御レジスタ	XIV-4
NF12CNT	0x0000A0C8	R/W	8, 16	ノイズフィルタ12制御レジスタ	XIV-4
NF13CNT	0x0000A0CA	R/W	8, 16	ノイズフィルタ13制御レジスタ	XIV-4
NF14CNT	0x0000A0CC	R/W	8, 16	ノイズフィルタ14制御レジスタ	XIV-4
NF15CNT	0x0000A0CE	R/W	8, 16	ノイズフィルタ15制御レジスタ	XIV-4

14.2.1 ノイズフィルタ制御レジスタ

ノイズフィルタ制御レジスタは、各ノイズフィルタの有効/無効、サンプリングクロック、ノイズフィルタ適用端子を選択します。

■ ノイズフィルタn制御レジスタ(NFnCNT) [8, 16ビットアクセスレジスタ]
NF0CNT: 0x0000A0B0, NF1CNT: 0x0000A0B2, NF2CNT: 0x0000A0B4, NF3CNT: 0x0000A0B6,
NF4CNT: 0x0000A0B8, NF5CNT: 0x0000A0BA, NF6CNT: 0x0000A0BC, NF7CNT: 0x0000A0BE,
NF8CNT: 0x0000A0C0, NF9CNT: 0x0000A0C2, NF10CNT: 0x0000A0C4, NF11CNT: 0x0000A0C6,
NF12CNT: 0x0000A0C8, NF13CNT: 0x0000A0CA, NF14CNT: 0x0000A0CC, NF15CNT: 0x0000A0CE

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			NFnEN	-		NFnCK1-0		-		NFnSEL5-0					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
15-13	-	必ず"0"を読出します。
12	NFnEN	ノイズフィルタ有効/無効 0: 無効 1: 有効
11-10	-	必ず"0"を読出します。
9-8	NFnCK1-0	ノイズフィルタサンプリングクロック周波数の設定 00:IOCLKの1/16 01:IOCLKの1/32 10:IOCLKの1/64 11:IOCLKの1/128
7-6	-	必ず"0"を読出します。
5-0	NFnSEL5-0	表14.2.2を参照してください。

ノイズフィルタ制御レジスタの設定は、割込み禁止状態で行ってください。割込み禁止状態でのレジスタ設定の手順は、[7.5 割込みの設定例]を参照してください。

ノイズフィルタを有効にする場合、外部入力端子から"サンプリングクロックの周期 × 3"以上のパルス幅の信号を入力してください。

ノイズフィルタを無効にする場合、外部入力端子から以下のパルス幅の信号を入力してください。
- 外部割込み端子: "MCLK × 3"以上
- 8ビットタイマ端子、16ビットタイマ端子: "IOCLK × 1.5"以上

表 14.2.2 ノイズフィルタ適用端子の選択

NFnSEL5-0 設定値	外部入力端子	NFnSEL5-0 設定値	外部入力端子	NFnSEL5-0 設定値	外部入力端子
000000	IRQ00	010100	TM4IO	101000	TM20AIO
000001	IRQ01	010101	TM5IO	101001	TM20BIO
000010	IRQ02	010110	TM6IO	101010	TM21AIO
000011	IRQ03	010111	TM7IO	101011	TM21BIO
000100	IRQ04	011000	TM8IO	101100	TM22AIO
000101	IRQ05	011001	TM9IO	101101	TM22BIO
000110	IRQ06	011010	TM10IO	101110	TM23AIO
000111	IRQ07	011011	TM11IO	101111	TM23BIO
001000	IRQ08	011100	TM12IO	110000	TM24AIO
001001	IRQ09	011101	TM13IO	110001	TM24BIO
001010	IRQ10	011110	TM14IO	110010	TM25AIO
001011	IRQ11	011111	TM15IO	110011	TM25BIO
001100	IRQ12	100000	TM16AIO	110100	TM26IO
001101	IRQ13	100001	TM16BIO	110101	TM27IO
001110	IRQ14	100010	TM17AIO	110110	TM28IO
001111	IRQ15	100011	TM17BIO	110111	TM29IO
010000	TM0IO	100100	TM18AIO	その他	設定禁止
010001	TM1IO	100101	TM18BIO		
010010	TM2IO	100110	TM19AIO		
010011	TM3IO	100111	TM19BIO		

14.3 ノイズフィルタの機能

ノイズフィルタについて、以下の順に説明します。

・ノイズフィルタの仕様

・ノイズフィルタの設定例

14.3.1　ノイズフィルタの仕様

ノイズフィルタは、外部入力端子から入力する信号をサンプリングクロックでサンプリングし、入力信号に含まれるノイズを除去します。3回以上同じレベル(″H″レベルまたは″L″レベル)でサンプリングすると、そのレベルの信号と認識し、LSI内部へ信号を送ります。
ノイズフィルタの動作を図14.3.1に示します。

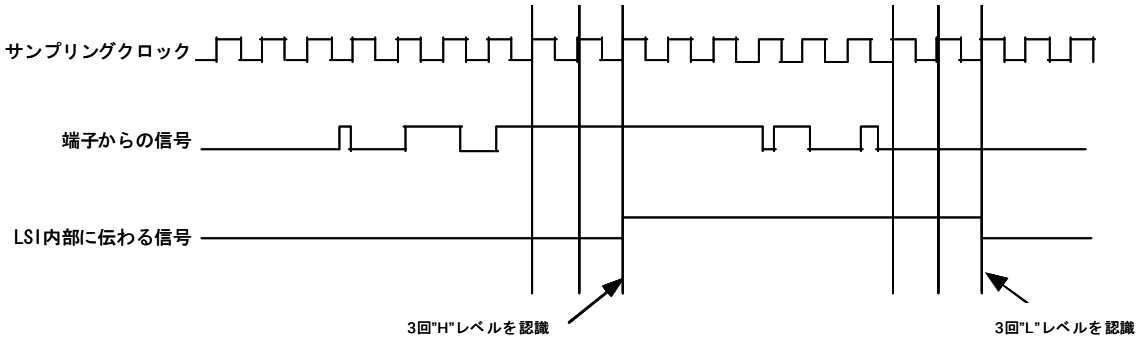


図14.3.1　ノイズフィルタの動作

ノイズフィルタの有効/無効、サンプリングクロックの周波数、ノイズフィルタ適用端子はNFnCNTレジスタで設定します。

ノイズフィルタを有効にする場合、外部入力端子から″サンプリングクロックの周期 × 3″以上のパルス幅の信号を入力してください。

ノイズフィルタを無効にする場合、外部入力端子から以下のパルス幅の信号を入力してください。
- **外部割込み端子 : ″MCLK × 3″以上**
- **8ビットタイマ端子、16ビットタイマ端子 : ″IOCLK × 1.5″以上**

14.3.2 ノイズフィルタの設定例

ノイズフィルタ0を用いて、以下の条件でノイズフィルタを使用する場合の設定例を説明します。

設定項目	設定内容
ノイズフィルタ適用端子	IRQ00
ノイズフィルタの有効/無効	有効
ノイズフィルタのサンプリングクロック周波数	IOCLKの1/32

以下に、設定手順を示します。

設定順	設定内容	レジスタ名	設定値	説明
1	全マスカブル割込みの禁止(*1)	PSW	bp11 : IE=0	全マスカブル割込みを禁止します。
2	割込みの禁止	G4ICR	bp8: G4IE0=0	割込みを禁止します。
3	ポートの設定	P0MD	bp0: P0MD00=1 bp1: P0MD01=0	P00をIRQ00端子に設定します。
4	ノイズフィルタの設定	NF0CNT	bp5-0: NF0SEL5-0=000000	ノイズフィルタ適用端子をIRQ00端子に設定します。
			bp9-8: NF0CK 1-0=01	サンプリングクロックの周波数をIOCLKの1/32に設定します。
			bp12: NF0EN=1	ノイズフィルタを有効にします。
5	割込み要求ビットと検出ビットのクリア	G4ICR	bp4 : G4IR0=0 bp0 : G4ID0=1	割込み要求ビットと検出ビットをクリアします。
6	割込みレベルの設定(*2)	G4ICR	bp14-12: G4ILV2-0=100	割込みレベルを"4"に設定します。
7	割込みの許可 (*2)	G4ICR	bp8: G4IE0=1	割込みを許可します。
8	全マスカブル割込みのレベル設定	PSW	bp10-8: IM2-0	全マスカブル割込みのレベルを設定します。
9	全マスカブル割込みの許可	PSW	bp11 : IE=1	全マスカブル割込みを許可します。

*1 PSW レジスタのIE ビットが確実に"0"に変化するまでの最小限のサイクルを確保するため、全マスカブル割込みの禁止設定の直後に、2 サイクル以上のnop 命令を挿入してください。
*2 "割込みレベルの設定"と"割込みの許可"は同時に実行しないでください。

ノイズフィルタの設定は、割込み禁止状態で行ってください。(設定順1～2を実行することで割込み禁止状態になります)

設定手順の網掛け箇所は、割込みの設定手順です。

第15章　I/Oポート（MN103HFx8シリーズ）

15

15.1 I/Oポートの概要

本LSIは、汎用ポート機能と特殊機能を兼用するI/Oポートを搭載しています。搭載数は計124本（ポート0～F)です。

15.1.1　I/Oポートの一覧

I/Oポートの一覧を表15.1.1に示します。

表 15.1.1　I/O ポートの一覧

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート0	P00	TM0IO/IRQ00	I/O	入出力禁止	なし	汎用ポート
	P01	TM1IO/IRQ01	I/O	入出力禁止	なし	汎用ポート
	P02	TM4IO/IRQ02/CANTXD_A	I/O	入出力禁止	なし	汎用ポート
	P03	TM5IO/IRQ03/CANRXD_A	I/O	入出力禁止	なし	汎用ポート
	P04	TM12IO/IRQ04	I/O	入出力禁止	なし	汎用ポート
	P05	TM13IO/IRQ05	I/O	入出力禁止	なし	汎用ポート
	P06	TM14IO/IRQ06	I/O	入出力禁止	なし	汎用ポート
	P07	TM15IO/IRQ07	I/O	入出力禁止	なし	汎用ポート
ポート1	P10	CMP0OUT/IRQ08	I/O	入出力禁止	なし	汎用ポート
	P11	CMP1OUT/IRQ09	I/O	入出力禁止	なし	汎用ポート
	P12	CMP2OUT/IRQ10	I/O	入出力禁止	なし	汎用ポート
	P13	IRQ11	I/O	入出力禁止	なし	汎用ポート
	P14	IRQ12	I/O	入出力禁止	なし	汎用ポート
	P15	IRQ13	I/O	入出力禁止	なし	汎用ポート
	P16	IRQ14	I/O	入出力禁止	なし	汎用ポート
	P17	IRQ15	I/O	入出力禁止	なし	汎用ポート
ポート2	P20	SBO0_A/SDA0_A/SBT0_B/SCL0_B	I/O	入出力禁止	なし	汎用ポート
	P21	SBT0_A/SCL0_A/SBO0_B/SDA0_B	I/O	入出力禁止	なし	汎用ポート
	P22	SBI0	I/O	入出力禁止	なし	汎用ポート
	P23	SBO1_A/SBT1_B/LINTXD_A	I/O	入出力禁止	なし	汎用ポート
	P24	SBT1_A/SBO1_B/LINTXD_B	I/O	入出力禁止	なし	汎用ポート
	P25	SBI1/LINRXD	I/O	入出力禁止	なし	汎用ポート
	P26	-	I/O	入出力禁止	なし	汎用ポート
	P27	-	I/O	入出力禁止	なし	汎用ポート
ポート3	P30	SBO2_A/SBT2_B	I/O	入出力禁止	なし	汎用ポート
	P31	SBT2_A/SBO2_B	I/O	入出力禁止	なし	汎用ポート
	P32	SBI2	I/O	入出力禁止	なし	汎用ポート
	P33	SBO3_A/SBT3_B	I/O	入出力禁止	なし	汎用ポート
	P34	SBT3_A/SBO3_B	I/O	入出力禁止	なし	汎用ポート
	P35	SBI3	I/O	入出力禁止	なし	汎用ポート
	P36	TM26IO	I/O	入出力禁止	なし	汎用ポート
	P37	TM27IO	I/O	入出力禁止	なし	汎用ポート
ポート4	P40	TM6IO/SBCS3	I/O	入出力禁止	なし	汎用ポート
	P41	TM7IO/SBT4	I/O	入出力禁止	なし	汎用ポート
	P42	TM2IO/SBO4/CANTXD_B	I/O	入出力禁止	なし	汎用ポート
	P43	TM3IO/SBI4/CANRXD_B	I/O	入出力禁止	なし	汎用ポート
	P44	TM8IO/PWMBCST0	I/O	入出力禁止	なし	汎用ポート
	P45	TM9IO/PWMBCST1	I/O	入出力禁止	なし	汎用ポート
	P46	TM10IO/PWMBCST2	I/O	入出力禁止	なし	汎用ポート
	P47	TM11IO	I/O	入出力禁止	なし	汎用ポート

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート5	P50	TM16AIO	I/O	入出力禁止	なし	汎用ポート
	P51	TM16BIO	I/O	入出力禁止	なし	汎用ポート
	P52	TM16AO/PWM10_B	I/O	入出力禁止	なし	汎用ポート
	P53	TM16BO/PWM11_B	I/O	入出力禁止	なし	汎用ポート
	P54	TM17AIO/PWM12_B	I/O	入出力禁止	なし	汎用ポート
	P55	TM17BIO/PWM13_B	I/O	入出力禁止	なし	汎用ポート
	P56	TM17AO/ PWM14_B	I/O	入出力禁止	なし	汎用ポート
	P57	TM17BO/ PWM15_B	I/O	入出力禁止	なし	汎用ポート
ポート6	P60	TM18AIO	I/O	入出力禁止	なし	汎用ポート
	P61	TM18BIO	I/O	入出力禁止	なし	汎用ポート
	P62	TM18AO/PWM00_B	I/O	入出力禁止	なし	汎用ポート
	P63	TM18BO/PWM01_B	I/O	入出力禁止	なし	汎用ポート
	P64	TM19AIO/PWM02_B	I/O	入出力禁止	なし	汎用ポート
	P65	TM19BIO/PWM03_B	I/O	入出力禁止	なし	汎用ポート
	P66	TM19AO/PWM04_B	I/O	入出力禁止	なし	汎用ポート
	P67	TM19BO/PWM05_B	I/O	入出力禁止	なし	汎用ポート
ポート7	P70	TM20AIO	I/O	入出力禁止	なし	汎用ポート
	P71	TM20BIO	I/O	入出力禁止	なし	汎用ポート
	P72	TM21AIO	I/O	入出力禁止	なし	汎用ポート
	P73	TM21BIO	I/O	入出力禁止	なし	汎用ポート
	P74	TM22AIO	I/O	入出力禁止	なし	汎用ポート
	P75	TM22BIO	I/O	入出力禁止	なし	汎用ポート
	P76	TM28IO	I/O	入出力禁止	なし	汎用ポート
	P77	TM29IO	I/O	入出力禁止	なし	汎用ポート
ポート8	P80	PWM00_A/TM24AO_HR	I/O	入出力禁止	なし	汎用ポート
	P81	PWM01_A/TM24BO_HR	I/O	入出力禁止	なし	汎用ポート
	P82	PWM02_A/TM18AO_HR	I/O	入出力禁止	なし	汎用ポート
	P83	PWM03_A/TM18BO_HR	I/O	入出力禁止	なし	汎用ポート
	P84	PWM04_A/TM19AO_HR	I/O	入出力禁止	なし	汎用ポート
	P85	PWM05_A/TM19BO_HR	I/O	入出力禁止	なし	汎用ポート
	P86	-	I/O	入出力禁止	なし	汎用ポート
	P87	-	I/O	入出力禁止	なし	汎用ポート
ポート9	P90	PWM10_A/TM16AO_HR	I/O	入出力禁止	なし	汎用ポート
	P91	PWM11_A/TM16BO_HR	I/O	入出力禁止	なし	汎用ポート
	P92	PWM12_A/TM17AO_HR	I/O	入出力禁止	なし	汎用ポート
	P93	PWM13_A/TM17BO_HR	I/O	入出力禁止	なし	汎用ポート
	P94	PWM14_A/TM25AO_HR	I/O	入出力禁止	なし	汎用ポート
	P95	PWM15_A/TM25BO_HR	I/O	入出力禁止	なし	汎用ポート
	P96	-	I/O	入出力禁止	なし	汎用ポート
	P97	-	I/O	入出力禁止	なし	汎用ポート
ポートA	PA0	PWM20	I/O	入出力禁止	なし	汎用ポート
	PA1	PWM21	I/O	入出力禁止	なし	汎用ポート
	PA2	PWM22	I/O	入出力禁止	なし	汎用ポート
	PA3	PWM23	I/O	入出力禁止	なし	汎用ポート
	PA4	PWM24	I/O	入出力禁止	なし	汎用ポート
	PA5	PWM25	I/O	入出力禁止	なし	汎用ポート
ポートB	PB0	TM23AIO/ADTRG0	I/O	入出力禁止	なし	汎用ポート
	PB1	TM23BIO/ADTRG1	I/O	入出力禁止	なし	汎用ポート
	PB2	TM24AIO/ADTRG2	I/O	入出力禁止	なし	汎用ポート
	PB3	TM24BIO	I/O	入出力禁止	なし	汎用ポート
	PB4	TM25AIO	I/O	入出力禁止	なし	汎用ポート
	PB5	TM25BIO	I/O	入出力禁止	なし	汎用ポート

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポートC	PC0	ADIN00/VGA0N(*1)/CMP0REF	I	入力禁止	なし	汎用ポート
	PC1	ADIN01/VGA0P0(*1)/CMP0IN	I	入力禁止	なし	汎用ポート
	PC2	ADIN02/VGA0P1(*1)	I	入力禁止	なし	汎用ポート
	PC3	ADIN03/VGA0P2(*1)	I	入力禁止	なし	汎用ポート
	PC4	ADIN04	I/O	入出力禁止	なし	汎用ポート
	PC5	ADIN05	I/O	入出力禁止	なし	汎用ポート
	PC6	ADIN06	I/O	入出力禁止	なし	汎用ポート
	PC7	ADIN07	I/O	入出力禁止	なし	汎用ポート
ポートD	PD0	ADIN08/VGA1N(*1)/CMP1REF	I	入力禁止	なし	汎用ポート
	PD1	ADIN09/VGA1P0(*1)/CMP1IN	I	入力禁止	なし	汎用ポート
	PD2	ADIN10/VGA1P1(*1)	I	入力禁止	なし	汎用ポート
	PD3	ADIN11/VGA1P2(*1)	I	入力禁止	なし	汎用ポート
	PD4	ADIN12	I/O	入出力禁止	なし	汎用ポート
	PD5	ADIN13	I/O	入出力禁止	なし	汎用ポート
	PD6	ADIN14	I/O	入出力禁止	なし	汎用ポート
	PD7	ADIN15	I/O	入出力禁止	なし	汎用ポート
ポートE	PE0	ADIN16/VGA2N(*1)/CMP2REF	I	入力禁止	なし	汎用ポート
	PE1	ADIN17/VGA2P0(*1)/CMP2IN	I	入力禁止	なし	汎用ポート
	PE2	ADIN18/VGA2P1(*1)	I	入力禁止	なし	汎用ポート
	PE3	ADIN19/VGA2P2(*1)	I	入力禁止	なし	汎用ポート
	PE4	ADIN20	I/O	入出力禁止	なし	汎用ポート
	PE5	ADIN21	I/O	入出力禁止	なし	汎用ポート
	PE6	ADIN22/DA0OUT	I/O	入出力禁止	なし	汎用ポート
	PE7	ADIN23/DA1OUT	I/O	入出力禁止	なし	汎用ポート
ポートF	PF0	ADIN24	I/O	入出力禁止	なし	汎用ポート
	PF1	ADIN25	I/O	入出力禁止	なし	汎用ポート
	PF2	ADIN26	I/O	入出力禁止	なし	汎用ポート
	PF3	ADIN27	I/O	入出力禁止	なし	汎用ポート
	PF4	-	I/O	入出力禁止	なし	汎用ポート
	PF5	-	I/O	入出力禁止	なし	汎用ポート
	PF6	-	I/O	入出力禁止	なし	汎用ポート
	PF7	-	I/O	入出力禁止	なし	汎用ポート

*1 MN103HF48シリーズでは、特殊機能
(VGA0N, VGA1N, VGA2N, VGA0P0, VGA0P1, VGA0P2, VGA1P0, VGA1P1, VGA1P2,
VGA2P0, VGA2P1, VGA2P2)を使用できません。

15.2 ポート0

ポート0の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P0MDレジスタ)(表15.2.1参照)

・端子の入出力制御が可能（P0DIRレジスタ)(表15.2.1参照)

・プルアップ抵抗付加の選択が可能（P0PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P00DCレジスタ）

ポート0の端子機能とレジスタ設定値を表15.2.1に示します。

表 15.2.1 ポート 0 の端子機能とレジスタ設定値

端子名	端子機能	P0MDレジスタ/P0MD01, P0MD00 ビット	P0DIRレジスタ/P00Dビット
P00	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ00入力	01	0
	TM0IO入力	1X	0
	TM0IO出力	1X	1

端子名	端子機能	P0MDレジスタ/P0MD11, P0MD10 ビット	P0DIRレジスタ/P01Dビット
P01	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ01入力	01	0
	TM1IO入力	1X	0
	TM1IO出力	1X	1

端子名	端子機能	P0MDレジスタ/P0MD21, P0MD20 ビット	P0DIRレジスタ/P02Dビット
P02	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ02入力	01	0
	TM4IO入力	10	0
	TM4IO出力	10	1
	CANTXD_A出力	11	1

端子名	端子機能	POMDレジスタ/POMD31, POMD30 ビット	PODIRレジスタ/P03Dビット
P03	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ03入力	01	0
	TM5IO入力	10	0
	TM5IO出力	10	1
	CANRXD_A入力	11	0

端子名	端子機能	POMDレジスタ/POMD41, POMD40 ビット	PODIRレジスタ/P04Dビット
P04	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ04入力	01	0
	TM12IO入力	1X	0
	TM12IO出力	1X	1

端子名	端子機能	POMDレジスタ/POMD51, POMD50 ビット	PODIRレジスタ/P05Dビット
P05	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ05入力	01	0
	TM13IO入力	1X	0
	TM13IO出力	1X	1

端子名	端子機能	POMDレジスタ/POMD61, POMD60 ビット	PODIRレジスタ/P06Dビット
P06	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ06入力	01	0
	TM14IO入力	1X	0
	TM14IO出力	1X	1

端子名	端子機能	POMDレジスタ/POMD71, POMD70 ビット	PODIRレジスタ/P07Dビット
P07	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ07入力	01	0
	TM15IO入力	1X	0
	TM15IO出力	1X	1

15.2.1 ポート0の制御レジスタ

ポート0の制御レジスタの一覧を表15.2.2に示します。

表 15.2.2 ポート 0 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート0	P0OUT	0x0000A000	R/W	8	ポート0出力データレジスタ	XV-7
	P0IN	0x0000A010	R	8	ポート0入力データレジスタ	XV-8
	P0DIR	0x0000A020	R/W	8	ポート0入出力制御レジスタ	XV-8
	P0MD	0x0000A040	R/W	8, 16, 32	ポート0モードレジスタ	XV-9
	P0PLU	0x0000A030	R/W	8	ポート0プルアップ制御レジスタ	XV-10
	P0ODC	0x0000A090	R/W	8	ポート0Nchオープンドレイン制御レジスタ	XV-10

■ ポート0出力データレジスタ (P0OUT : 0x0000A000) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P070	P060	P050	P040	P030	P020	P010	P000
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P070	P07端子の出力データを設定してください。
6	P060	P06端子の出力データを設定してください。
5	P050	P05端子の出力データを設定してください。
4	P040	P04端子の出力データを設定してください。
3	P030	P03端子の出力データを設定してください。
2	P020	P02端子の出力データを設定してください。
1	P010	P01端子の出力データを設定してください。
0	P000	P00端子の出力データを設定してください。

端子にデータを出力するときは、P0OUTレジスタにデータを書込んだ後、P0DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート0入力データレジスタ (P0IN : 0x0000A010) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07I	P06I	P05I	P04I	P03I	P02I	P01I	P00I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P07I	P07端子の入力データを読出します。
6	P06I	P06端子の入力データを読出します。
5	P05I	P05端子の入力データを読出します。
4	P04I	P04端子の入力データを読出します。
3	P03I	P03端子の入力データを読出します。
2	P02I	P02端子の入力データを読出します。
1	P01I	P01端子の入力データを読出します。
0	P00I	P00端子の入力データを読出します。

端子の入力データを読出す時は、P0DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P0INレジスタの値を読出してください。

■ ポート0入出力制御レジスタ (P0DIR : 0x0000A020) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07D	P07端子の入出力制御 0 : 入力 1 : 出力
6	P06D	P06端子の入出力制御 0 : 入力 1 : 出力
5	P05D	P05端子の入出力制御 0 : 入力 1 : 出力
4	P04D	P04端子の入出力制御 0 : 入力 1 : 出力
3	P03D	P03端子の入出力制御 0 : 入力 1 : 出力
2	P02D	P02端子の入出力制御 0 : 入力 1 : 出力
1	P01D	P01端子の入出力制御 0 : 入力 1 : 出力
0	P00D	P00端子の入出力制御 0 : 入力 1 : 出力

■ ポート0モードレジスタ (POMD : 0x0000A040) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-		POMD71-0		-		POMD61-0		-		POMD51-0		-		POMD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		POMD31-0		-		POMD21-0		-		POMD11-0		-		POMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-30	-	必ず"0"を読出します。
29-28	POMD71-0	P07端子の機能選択 00: 汎用ポート機能(P07端子) 01: 特殊機能(IRQ07端子) 1X: 特殊機能(TM15IO端子)
27-26	-	必ず"0"を読出します。
25-24	POMD61-0	P06端子の機能選択 00: 汎用ポート機能(P06端子) 01: 特殊機能(IRQ06端子) 1X: 特殊機能(TM14IO端子)
23-22	-	必ず"0"を読出します。
21-20	POMD51-0	P05端子の機能選択 00: 汎用ポート機能(P05端子) 01: 特殊機能(IRQ05端子) 1X: 特殊機能(TM13IO端子)
19-18	-	必ず"0"を読出します。
17-16	POMD41-0	P04端子の機能選択 00: 汎用ポート機能(P04端子) 01: 特殊機能(IRQ04端子) 1X: 特殊機能(TM12IO端子)
15-14	-	必ず"0"を読出します。
13-12	POMD31-0	P03端子の機能選択 00: 汎用ポート機能(P03端子) 01: 特殊機能(IRQ03端子) 10: 特殊機能(TM5IO端子) 11: 特殊機能(CANRXD_A端子)
11-10	-	必ず"0"を読出します。
9-8	POMD21-0	P02端子の機能選択 00: 汎用ポート機能(P02端子) 01: 特殊機能(IRQ02端子) 10: 特殊機能(TM4IO端子) 11: 特殊機能(CANTXD_A端子)
7-6	-	必ず"0"を読出します。
5-4	POMD11-0	P01端子の機能選択 00: 汎用ポート機能(P01端子) 01: 特殊機能(IRQ01端子) 1X: 特殊機能(TM1IO端子)
3-2	-	必ず"0"を読出します。
1-0	POMD01-0	P00端子の機能選択 00: 汎用ポート機能(P00端子) 01: 特殊機能(IRQ00端子) 1X: 特殊機能(TM0IO端子)

■ ポート0プルアップ制御レジスタ（P0PLU : 0x0000A030）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07R	P06R	P05R	P04R	P03R	P02R	P01R	P00R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07R	P07端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P06R	P06端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P05R	P05端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P04R	P04端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P03R	P03端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P02R	P02端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P01R	P01端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P00R	P00端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート0Nchオープンドレイン制御レジスタ（P0ODC : 0x0000A090）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P00DC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P00DC2	P02端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_A端子選択時のみ有効
1-0	-	必ず"0"を読出します。

15.3 ポート1

ポート1の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P1MDレジスタ）（表15.3.1参照）

・端子の入出力制御が可能（P1DIRレジスタ）（表15.3.1参照）

・プルアップ抵抗付加の選択が可能（P1PLUレジスタ）

ポート1の端子機能とレジスタ設定値を表15.3.1に示します。

表 15.3.1 ポート 1 の端子機能とレジスタ設定値

端子名	端子機能	P1MDレジスタ/P1MD01, P1MD00 ビット	P1DIRレジスタ/P10Dビット
P10	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ08入力	01	0
	CMP0OUT出力	1X	1

端子名	端子機能	P1MDレジスタ/P1MD11, P1MD10 ビット	P1DIRレジスタ/P11Dビット
P11	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ09入力	01	0
	CMP1OUT出力	1X	1

端子名	端子機能	P1MDレジスタ/P1MD21, P1MD20 ビット	P1DIRレジスタ/P12Dビット
P12	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ10入力	01	0
	CMP2OUT出力	1X	1

端子名	端子機能	P1MDレジスタ/P1MD30ビット	P1DIRレジスタ/P13Dビット
P13	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ11入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD40ビット	P1DIRレジスタ/P14Dビット
P14	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ12入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD50ビット	P1DIRレジスタ/P15Dビット
P15	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ13入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD60ビット	P1DIRレジスタ/P16Dビット
P16	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ14入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD70ビット	P1DIRレジスタ/P17Dビット
P17	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ15入力	1	0

15.3.1 ポート1の制御レジスタ

ポート1の制御レジスタの一覧を表15.3.2に示します。

表 15.3.2 ポート 1 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート1	P1OUT	0x0000A001	R/W	8	ポート1出力データレジスタ	XV-13
	P1IN	0x0000A011	R	8	ポート1入力データレジスタ	XV-14
	P1DIR	0x0000A021	R/W	8	ポート1入出力制御レジスタ	XV-14
	P1MD	0x0000A044	R/W	8, 16, 32	ポート1モードレジスタ	XV-15
	P1PLU	0x0000A031	R/W	8	ポート1プルアップ制御レジスタ	XV-16

■ ポート1出力データレジスタ (P1OUT : 0x0000A001) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P170	P160	P150	P140	P130	P120	P110	P100
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P170	P17端子の出力データを設定してください。
6	P160	P16端子の出力データを設定してください。
5	P150	P15端子の出力データを設定してください。
4	P140	P14端子の出力データを設定してください。
3	P130	P13端子の出力データを設定してください。
2	P120	P12端子の出力データを設定してください。
1	P110	P11端子の出力データを設定してください。
0	P100	P10端子の出力データを設定してください。

端子にデータを出力するときは、P1OUTレジスタにデータを書込んだ後、P1DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート1入力データレジスタ (P1IN : 0x0000A011) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P17I	P16I	P15I	P14I	P13I	P12I	P11I	P10I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P17I	P17端子の入力データを読出します。
6	P16I	P16端子の入力データを読出します。
5	P15I	P15端子の入力データを読出します。
4	P14I	P14端子の入力データを読出します。
3	P13I	P13端子の入力データを読出します。
2	P12I	P12端子の入力データを読出します。
1	P11I	P11端子の入力データを読出します。
0	P10I	P10端子の入力データを読出します。

端子の入力データを読出す時は、P1DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P1INレジスタの値を読出してください。

■ ポート1入出力制御レジスタ (P1DIR : 0x0000A021) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P17D	P17端子の入出力制御 0 : 入力 1 : 出力
6	P16D	P16端子の入出力制御 0 : 入力 1 : 出力
5	P15D	P15端子の入出力制御 0 : 入力 1 : 出力
4	P14D	P14端子の入出力制御 0 : 入力 1 : 出力
3	P13D	P13端子の入出力制御 0 : 入力 1 : 出力
2	P12D	P12端子の入出力制御 0 : 入力 1 : 出力
1	P11D	P11端子の入出力制御 0 : 入力 1 : 出力
0	P10D	P10端子の入出力制御 0 : 入力 1 : 出力

■ ポート1モードレジスタ (P1MD : 0x0000A044) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P1MD70	-			P1MD60	-			P1MD50	-			P1MD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			P1MD30	-		P1MD21-0		-		P1MD11-0		-		P1MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P1MD70	P17端子の機能選択 0: 汎用ポート機能(P17端子) 1: 特殊機能(IRQ15端子)
27-25	-	必ず"0"を読出します。
24	P1MD60	P16端子の機能選択 0: 汎用ポート機能(P16端子) 1: 特殊機能(IRQ14端子)
23-21	-	必ず"0"を読出します。
20	P1MD50	P15端子の機能選択 0: 汎用ポート機能(P15端子) 1: 特殊機能(IRQ13端子)
19-17	-	必ず"0"を読出します。
16	P1MD40	P14端子の機能選択 0: 汎用ポート機能(P14端子) 1: 特殊機能(IRQ12端子)
15-13	-	必ず"0"を読出します。
12	P1MD30	P13端子の機能選択 0: 汎用ポート機能(P13端子) 1: 特殊機能(IRQ11端子)
11-10	-	必ず"0"を読出します。
9-8	P1MD21-0	P12端子の機能選択 00: 汎用ポート機能(P12端子) 01: 特殊機能(IRQ10端子) 1X: 特殊機能(CMP2OUT端子)
7-6	-	必ず"0"を読出します。
5-4	P1MD11-0	P11端子の機能選択 00: 汎用ポート機能(P11端子) 01: 特殊機能(IRQ09端子) 1X: 特殊機能(CMP1OUT端子)
3-2	-	必ず"0"を読出します。
1-0	P1MD01-0	P10端子の機能選択 00: 汎用ポート機能(P10端子) 01: 特殊機能(IRQ08端子) 1X: 特殊機能(CMP0OUT端子)

■ ポート1プルアップ制御レジスタ（P1PLU : 0x0000A031）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P17R	P16R	P15R	P14R	P13R	P12R	P11R	P10R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P17R	P17端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P16R	P16端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P15R	P15端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P14R	P14端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P13R	P13端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P12R	P12端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P11R	P11端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P10R	P10端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.4 ポート2

ポート2の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P2MDレジスタ）（表15.4.1参照）

・端子の入出力制御が可能（P2DIRレジスタ）（表15.4.1参照）

・プルアップ抵抗付加の選択が可能（P2PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P2ODCレジスタ）

ポート2の端子機能とレジスタ設定値を表15.4.1に示します。

表 15.4.1 ポート 2 の端子機能とレジスタ設定値

端子名	端子機能	P2MDレジスタ/P2MD01，P2MD00ビット	P2DIRレジスタ/P20Dビット
P20	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO0_A/SDA0_A入力（*1）	10	0
	SBO0_A/SDA0_A出力（*1）	10	1
	SBT0_B/SCL0_B入力（*1）	11	0
	SBT0_B/SCL0_B出力（*1）	11	1

端子名	端子機能	P2MDレジスタ/P2MD11，P2MD10ビット	P2DIRレジスタ/P21Dビット
P21	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT0_A/SCL0_A入力（*1）	10	0
	SBT0_A/SCL0_A出力（*1）	10	1
	SBO0_B/SDA0_B入力（*1）	11	0
	SBO0_B/SDA0_B出力（*1）	11	1

端子名	端子機能	P2MDレジスタ/P2MD20ビット	P2DIRレジスタ/P22Dビット
P22	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI0入力（*1）	1	0

端子名	端子機能	P2MDレジスタ/P2MD31，P2MD30ビット	P2DIRレジスタ/P23Dビット
P23	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO1_A/LINTXD_A入力（*1）	10	0
	SBO1_A/LINTXD_A出力（*1）	10	1
	SBT1_B入力（*1）	11	0
	SBT1_B出力（*1）	11	1

端子名	端子機能	P2MDレジスタ/P2MD41，P2MD40ビット	P2DIRレジスタ/P24Dビット
P24	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT1_A入力（*1）	10	0
	SBT1_A出力（*1）	10	1
	SBO1_B/LINTXD_B入力（*1）	11	0
	SBO1_B/LINTXD_B出力（*1）	11	1

端子名	端子機能	P2MDレジスタ/P2MD50ビット	P2DIRレジスタ/P25Dビット
P25	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI1/LINRXD入力（*1）	1	0

端子名	端子機能	P2DIRレジスタ/P26Dビット
P26	汎用ポート入力	0
	汎用ポート出力	1

端子名	端子機能	P2DIRレジスタ/P27Dビット
P27	汎用ポート入力	0
	汎用ポート出力	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

15.4.1　ポート2の制御レジスタ

ポート2の制御レジスタの一覧を表15.4.2に示します。

表 15.4.2 ポート 2 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート2	P2OUT	0x0000A002	R/W	8	ポート2出力データレジスタ	XV-19
	P2IN	0x0000A012	R	8	ポート2入力データレジスタ	XV-20
	P2DIR	0x0000A022	R/W	8	ポート2入出力制御レジスタ	XV-21
	P2MD	0x0000A048	R/W	8, 16, 32	ポート2モードレジスタ	XV-22
	P2PLU	0x0000A032	R/W	8	ポート2プルアップ制御レジスタ	XV-23
	P2ODC	0x0000A092	R/W	8	ポート2Nchオープンドレイン制御レジスタ	XV-24

■ ポート2出力データレジスタ (P2OUT : 0x0000A002) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P270	P260	P250	P240	P230	P220	P210	P200
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P270	P27端子の出力データを設定してください。
6	P260	P26端子の出力データを設定してください。
5	P250	P25端子の出力データを設定してください。
4	P240	P24端子の出力データを設定してください。
3	P230	P23端子の出力データを設定してください。
2	P220	P22端子の出力データを設定してください。
1	P210	P21端子の出力データを設定してください。
0	P200	P20端子の出力データを設定してください。

端子にデータを出力するときは、P2OUTレジスタにデータを書込んだ後、P2DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート2入力データレジスタ (P2IN : 0x0000A012) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P27I	P26I	P25I	P24I	P23I	P22I	P21I	P20I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P27I	P27端子の入力データを読出します。
6	P26I	P26端子の入力データを読出します。
5	P25I	P25端子の入力データを読出します。
4	P24I	P24端子の入力データを読出します。
3	P23I	P23端子の入力データを読出します。
2	P22I	P22端子の入力データを読出します。
1	P21I	P21端子の入力データを読出します。
0	P20I	P20端子の入力データを読出します。

端子の入力データを読出す時は、P2DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P2INレジスタの値を読出してください。

■ ポート2入出力制御レジスタ（P2DIR : 0x0000A022）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P27D	P26D	P25D	P24D	P23D	P22D	P21D	P20D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P27D	P27端子の入出力制御 0 : 入力 1 : 出力
6	P26D	P26端子の入出力制御 0 : 入力 1 : 出力
5	P25D	P25端子の入出力制御 0 : 入力 1 : 出力
4	P24D	P24端子の入出力制御 0 : 入力 1 : 出力
3	P23D	P23端子の入出力制御 0 : 入力 1 : 出力
2	P22D	P22端子の入出力制御 0 : 入力 1 : 出力
1	P21D	P21端子の入出力制御 0 : 入力 1 : 出力
0	P20D	P20端子の入出力制御 0 : 入力 1 : 出力

■ ポート2モードレジスタ (P2MD : 0x0000A048) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P2MD50	-		P2MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P2MD31-0		-			P2MD20	-		P2MD11-0		-		P2MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P2MD50	P25端子の機能選択 0: 汎用ポート機能(P25端子) 1: 特殊機能(SBI1/LINRXD端子)
19-18	-	必ず"0"を読出します。
17-16	P2MD41-0	P24端子の機能選択 0X: 汎用ポート機能(P24端子) 10: 特殊機能(SBT1_A端子) 11: 特殊機能(SBO1_B/LINTXD_B端子)
15-14	-	必ず"0"を読出します。
13-12	P2MD31-0	P23端子の機能選択 0X: 汎用ポート機能(P23端子) 10: 特殊機能(SBO1_A/LINTXD_A端子) 11: 特殊機能(SBT1_B端子)
11-9	-	必ず"0"を読出します。
8	P2MD20	P22端子の機能選択 0: 汎用ポート機能(P22端子) 1: 特殊機能(SBI0端子)
7-6	-	必ず"0"を読出します。
5-4	P2MD11-0	P21端子の機能選択 0X: 汎用ポート機能(P21端子) 10: 特殊機能(SBT0_A/SCL0_A端子) 11: 特殊機能(SBO0_B/SDA0_B端子)
3-2	-	必ず"0"を読出します。
1-0	P2MD01-0	P20端子の機能選択 0X: 汎用ポート機能(P20端子) 10: 特殊機能(SBO0_A/SDA0_A端子) 11: 特殊機能(SBT0_B/SCL0_B端子)

■ ポート2プルアップ制御レジスタ（P2PLU : 0x0000A032）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P27R	P26R	P25R	P24R	P23R	P22R	P21R	P20R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P27R	P27端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P26R	P26端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P25R	P25端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P24R	P24端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P23R	P23端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P22R	P22端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P21R	P21端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P20R	P20端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート2Nchオープンドレイン制御レジスタ（P2ODC : 0x0000A092）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P2ODC4	P2ODC3	-	P2ODC1	P2ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P2ODC4	P24端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT1_A、SBO1_B端子選択時のみ有効
3	P2ODC3	P23端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO1_A、SBT1_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P2ODC1	P21端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT0_A、SBO0_B端子選択時のみ有効
0	P2ODC0	P20端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO0_A、SBT0_B端子選択時のみ有効

15.5 ポート3

ポート3の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P3MDレジスタ）（表15.5.1参照）

・端子の入出力制御が可能（P3DIRレジスタ）（表15.5.1参照）

・プルアップ抵抗付加の選択が可能（P3PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P3ODCレジスタ）

ポート3の端子機能とレジスタ設定値を表15.5.1に示します。

表 15.5.1 ポート 3 の端子機能とレジスタ設定値

端子名	端子機能	P3MDレジスタ/P3MD01，P3MD00ビット	P3DIRレジスタ/P30Dビット
P30	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO2_A入力（*1）	10	0
	SBO2_A出力（*1）	10	1
	SBT2_B入力（*1）	11	0
	SBT2_B出力（*1）	11	1

端子名	端子機能	P3MDレジスタ/P3MD11，P3MD10ビット	P3DIRレジスタ/P31Dビット
P31	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT2_A入力（*1）	10	0
	SBT2_A出力（*1）	10	1
	SBO2_B入力（*1）	11	0
	SBO2_B出力（*1）	11	1

端子名	端子機能	P3MDレジスタ/P3MD20ビット	P3DIRレジスタ/P32Dビット
P32	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI2入力（*1）	1	0

端子名	端子機能	P3MDレジスタ/P3MD31, P3MD30 ビット	P3DIRレジスタ/P33Dビット
P33	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO3_A入力 (*1)	10	0
	SBO3_A出力 (*1)	10	1
	SBT3_B入力 (*1)	11	0
	SBT3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD41, P3MD40 ビット	P3DIRレジスタ/P34Dビット
P34	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT3_A入力 (*1)	10	0
	SBT3_A出力 (*1)	10	1
	SBO3_B入力 (*1)	11	0
	SBO3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD50ビット	P3DIRレジスタ/P35Dビット
P35	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI3入力 (*1)	1	0

端子名	端子機能	P3MDレジスタ/P3MD60ビット	P3DIRレジスタ/P36Dビット
P36	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM26IO入力	1	0
	TM26IO出力	1	1

端子名	端子機能	P3MDレジスタ/P3MD70ビット	P3DIRレジスタ/P37Dビット
P37	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM27IO入力	1	0
	TM27IO出力	1	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

15.5.1 ポート3の制御レジスタ

ポート3の制御レジスタの一覧を表15.5.2に示します。

表 15.5.2 ポート 3 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセス サイズ	レジスタ名称	参照 ページ
ポート3	P3OUT	0x0000A003	R/W	8	ポート3出力データレジスタ	XV-27
	P3IN	0x0000A013	R	8	ポート3入力データレジスタ	XV-28
	P3DIR	0x0000A023	R/W	8	ポート3入出力制御レジスタ	XV-29
	P3MD	0x0000A04C	R/W	8, 16, 32	ポート3モードレジスタ	XV-30
	P3PLU	0x0000A033	R/W	8	ポート3プルアップ制御レジスタ	XV-31
	P3ODC	0x0000A093	R/W	8	ポート3Nchオープンドレイン制御レジスタ	XV-32

■ ポート3出力データレジスタ (P3OUT : 0x0000A003) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P370	P360	P350	P340	P330	P320	P310	P300
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P370	P37端子の出力データを設定してください。
6	P360	P36端子の出力データを設定してください。
5	P350	P35端子の出力データを設定してください。
4	P340	P34端子の出力データを設定してください。
3	P330	P33端子の出力データを設定してください。
2	P320	P32端子の出力データを設定してください。
1	P310	P31端子の出力データを設定してください。
0	P300	P30端子の出力データを設定してください。

端子にデータを出力するときは、P3OUTレジスタにデータを書込んだ後、P3DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート3入力データレジスタ (P3IN : 0x0000A013) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P37I	P36I	P35I	P34I	P33I	P32I	P31I	P30I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P37I	P37端子の入力データを読出します。
6	P36I	P36端子の入力データを読出します。
5	P35I	P35端子の入力データを読出します。
4	P34I	P34端子の入力データを読出します。
3	P33I	P33端子の入力データを読出します。
2	P32I	P32端子の入力データを読出します。
1	P31I	P31端子の入力データを読出します。
0	P30I	P30端子の入力データを読出します。

端子の入力データを読出す時は、P3DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P3INレジスタの値を読出してください。

■ ポート3入出力制御レジスタ（P3DIR : 0x0000A023）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P37D	P36D	P35D	P34D	P33D	P32D	P31D	P30D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P37D	P37端子の入出力制御 0 : 入力 1 : 出力
6	P36D	P36端子の入出力制御 0 : 入力 1 : 出力
5	P35D	P35端子の入出力制御 0 : 入力 1 : 出力
4	P34D	P34端子の入出力制御 0 : 入力 1 : 出力
3	P33D	P33端子の入出力制御 0 : 入力 1 : 出力
2	P32D	P32端子の入出力制御 0 : 入力 1 : 出力
1	P31D	P31端子の入出力制御 0 : 入力 1 : 出力
0	P30D	P30端子の入出力制御 0 : 入力 1 : 出力

■ ポート3モードレジスタ (P3MD : 0x0000A04C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P3MD70	-			P3MD60	-			P3MD50	-		P3MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P3MD31-0		-			P3MD20	-		P3MD11-0		-		P3MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P3MD70	P37端子の機能選択 0: 汎用ポート機能(P37端子) 1: 特殊機能(TM27IO端子)
27-25	-	必ず"0"を読出します。
24	P3MD60	P36端子の機能選択 0: 汎用ポート機能(P36端子) 1: 特殊機能(TM26IO端子)
23-21	-	必ず"0"を読出します。
20	P3MD50	P35端子の機能選択 0: 汎用ポート機能(P35端子) 1: 特殊機能(SBI3端子)
19-18	-	必ず"0"を読出します。
17-16	P3MD41-0	P34端子の機能選択 0X: 汎用ポート機能(P34端子) 10: 特殊機能(SBT3_A端子) 11: 特殊機能(SBO3_B端子)
15-14	-	必ず"0"を読出します。
13-12	P3MD31-0	P33端子の機能選択 0X: 汎用ポート機能(P33端子) 10: 特殊機能(SBO3_A端子) 11: 特殊機能(SBT3_B端子)
11-9	-	必ず"0"を読出します。
8	P3MD20	P32端子の機能選択 0: 汎用ポート機能(P32端子) 1: 特殊機能(SBI2端子)
7-6	-	必ず"0"を読出します。
5-4	P3MD11-0	P31端子の機能選択 0X: 汎用ポート機能(P31端子) 10: 特殊機能(SBT2_A端子) 11: 特殊機能(SBO2_B端子)
3-2	-	必ず"0"を読出します。
1-0	P3MD01-0	P30端子の機能選択 0X: 汎用ポート機能(P30端子) 10: 特殊機能(SBO2_A端子) 11: 特殊機能(SBT2_B端子)

■ ポート3プルアップ制御レジスタ (P3PLU : 0x0000A033) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P37R	P36R	P35R	P34R	P33R	P32R	P31R	P30R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P37R	P37端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P36R	P36端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P35R	P35端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P34R	P34端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P33R	P33端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P32R	P32端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P31R	P31端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P30R	P30端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート3Nchオープンドレイン制御レジスタ（P3ODC ： 0x0000A093）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P3ODC4	P3ODC3	-	P3ODC1	P3ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P3ODC4	P34端子のNchオープンドレイン出力選択 0 ： プッシュプル出力 1 ： Nchオープンドレイン出力 *SBT3_A、SBO3_B端子選択時のみ有効
3	P3ODC3	P33端子のNchオープンドレイン出力選択 0 ： プッシュプル出力 1 ： Nchオープンドレイン出力 *SBO3_A、SBT3_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P3ODC1	P31端子のNchオープンドレイン出力選択 0 ： プッシュプル出力 1 ： Nchオープンドレイン出力 *SBT2_A、SBO2_B端子選択時のみ有効
0	P3ODC0	P30端子のNchオープンドレイン出力選択 0 ： プッシュプル出力 1 ： Nchオープンドレイン出力 *SBO2_A、SBT2_B端子選択時のみ有効

15.6 ポート4

ポート4の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P4MDレジスタ）（表15.6.1参照）

・端子の入出力制御が可能（P4DIRレジスタ）（表15.6.1参照）

・プルアップ抵抗付加の選択が可能（P4PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P4ODCレジスタ）

ポート4の端子機能とレジスタ設定値を表15.6.1に示します。

表 15.6.1 ポート 4 の端子機能とレジスタ設定値

端子名	端子機能	P4MDレジスタ/P4MD01，P4MD00ビット	P4DIRレジスタ/P40Dビット
P40	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM6IO入力	01	0
	TM6IO出力	01	1
	SBCS3入力	1X	0
	SBCS3出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD11，P4MD10ビット	P4DIRレジスタ/P41Dビット
P41	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM7IO入力	01	0
	TM7IO出力	01	1
	SBT4入力（*1）	1X	0
	SBT4出力（*1）	1X	1

端子名	端子機能	P4MDレジスタ/P4MD21，P4MD20ビット	P4DIRレジスタ/P42Dビット
P42	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM2IO入力	01	0
	TM2IO出力	01	1
	SBO4入力（*1）	10	0
	SBO4出力（*1）	10	1
	CANTXD_B出力	11	1

端子名	端子機能	P4MDレジスタ/P4MD31, P4MD30 ビット	P4DIRレジスタ/P43Dビット
P43	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM3IO入力	01	0
	TM3IO出力	01	1
	SBI4入力 (*1)	10	0
	CANRXD_B入力	11	0

端子名	端子機能	P4MDレジスタ/P4MD41, P4MD40 ビット	P4DIRレジスタ/P44Dビット
P44	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM8IO入力	01	0
	TM8IO出力	01	1
	PWMBCST0出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD51, P4MD50 ビット	P4DIRレジスタ/P45Dビット
P45	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM9IO入力	01	0
	TM9IO出力	01	1
	PWMBCST1出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD61, P4MD60 ビット	P4DIRレジスタ/P46Dビット
P46	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM10IO入力	01	0
	TM10IO出力	01	1
	PWMBCST2出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD70ビット	P4DIRレジスタ/P47Dビット
P47	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM11IO入力	1	0
	TM11IO出力	1	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

15.6.1 ポート4の制御レジスタ

ポート4の制御レジスタの一覧を表15.6.2に示します。

表 15.6.2 ポート 4 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート4	P4OUT	0x0000A004	R/W	8	ポート4出力データレジスタ	XV-35
	P4IN	0x0000A014	R	8	ポート4入力データレジスタ	XV-36
	P4DIR	0x0000A024	R/W	8	ポート4入出力制御レジスタ	XV-36
	P4MD	0x0000A050	R/W	8, 16, 32	ポート4モードレジスタ	XV-37
	P4PLU	0x0000A034	R/W	8	ポート4プルアップ制御レジスタ	XV-38
	P4ODC	0x0000A094	R/W	8	ポート4Nchオープンドレイン制御レジスタ	XV-38

■ ポート4出力データレジスタ (P4OUT : 0x0000A004) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P470	P460	P450	P440	P430	P420	P410	P400
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P470	P47端子の出力データを設定してください。
6	P460	P46端子の出力データを設定してください。
5	P450	P45端子の出力データを設定してください。
4	P440	P44端子の出力データを設定してください。
3	P430	P43端子の出力データを設定してください。
2	P420	P42端子の出力データを設定してください。
1	P410	P41端子の出力データを設定してください。
0	P400	P40端子の出力データを設定してください。

端子にデータを出力するときは、P4OUTレジスタにデータを書込んだ後、P4DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート4入力データレジスタ (P4IN : 0x0000A014) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47I	P46I	P45I	P44I	P43I	P42I	P41I	P40I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P47I	P47端子の入力データを読出します。
6	P46I	P46端子の入力データを読出します。
5	P45I	P45端子の入力データを読出します。
4	P44I	P44端子の入力データを読出します。
3	P43I	P43端子の入力データを読出します。
2	P42I	P42端子の入力データを読出します。
1	P41I	P41端子の入力データを読出します。
0	P40I	P40端子の入力データを読出します。

端子の入力データを読出す時は、P4DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P4INレジスタの値を読出してください。

■ ポート4入出力制御レジスタ (P4DIR : 0x0000A024) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47D	P47端子の入出力制御 0 : 入力 1 : 出力
6	P46D	P46端子の入出力制御 0 : 入力 1 : 出力
5	P45D	P45端子の入出力制御 0 : 入力 1 : 出力
4	P44D	P44端子の入出力制御 0 : 入力 1 : 出力
3	P43D	P43端子の入出力制御 0 : 入力 1 : 出力
2	P42D	P42端子の入出力制御 0 : 入力 1 : 出力
1	P41D	P41端子の入出力制御 0 : 入力 1 : 出力
0	P40D	P40端子の入出力制御 0 : 入力 1 : 出力

■ ポート4モードレジスタ (P4MD : 0x0000A050) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P4MD70	-		P4MD61-0		-		P4MD51-0		-		P4MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P4MD31-0		-		P4MD21-0		-		P4MD11-0		-		P4MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P4MD70	P47端子の機能選択 0: 汎用ポート機能(P47端子) 1: 特殊機能(TM11IO端子)
27-26	-	必ず"0"を読出します。
25-24	P4MD61-0	P46端子の機能選択 00: 汎用ポート機能(P46端子) 01: 特殊機能(TM10IO端子) 1X: 特殊機能(PWMBCST2端子)
23-22	-	必ず"0"を読出します。
21-20	P4MD51-0	P45端子の機能選択 00: 汎用ポート機能(P45端子) 01: 特殊機能(TM9IO端子) 1X: 特殊機能(PWMBCST1端子)
19-18	-	必ず"0"を読出します。
17-16	P4MD41-0	P44端子の機能選択 00: 汎用ポート機能(P44端子) 01: 特殊機能(TM8IO端子) 1X: 特殊機能(PWMBCST0端子)
15-14	-	必ず"0"を読出します。
13-12	P4MD31-0	P43端子の機能選択 00: 汎用ポート機能(P43端子) 01: 特殊機能(TM3IO端子) 10: 特殊機能(SBI4端子) 11: 特殊機能(CANRXD_B端子)
11-10	-	必ず"0"を読出します。
9-8	P4MD21-0	P42端子の機能選択 00: 汎用ポート機能(P42端子) 01: 特殊機能(TM2IO端子) 10: 特殊機能(SBO4端子) 11: 特殊機能(CANTXD_B端子)
7-6	-	必ず"0"を読出します。
5-4	P4MD11-0	P41端子の機能選択 00: 汎用ポート機能(P41端子) 01: 特殊機能(TM7IO端子) 1X: 特殊機能(SBT4端子)
3-2	-	必ず"0"を読出します。
1-0	P4MD01-0	P40端子の機能選択 00: 汎用ポート機能(P40端子) 01: 特殊機能(TM6IO端子) 1X: 特殊機能(SBCS3端子)

■ ポート4プルアップ制御レジスタ (P4PLU : 0x0000A034) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47R	P46R	P45R	P44R	P43R	P42R	P41R	P40R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47R	P47端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P46R	P46端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P45R	P45端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P44R	P44端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P43R	P43端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P42R	P42端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P41R	P41端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P40R	P40端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート4Nchオープンドレイン制御レジスタ (P4ODC : 0x0000A094) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P4ODC2	P4ODC1	P4ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R/W	R/W

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P4ODC2	P42端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO4端子、CANTXD_B端子選択時のみ有効
1	P4ODC1	P41端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT4端子選択時のみ有効
0	P4ODC0	P40端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBCS3端子選択時のみ有効

15.7 ポート5

ポート5の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P5MDレジスタ）（表15.7.1参照）

・端子の入出力制御が可能（P5DIRレジスタ）（表15.7.1参照）

・プルアップ抵抗付加の選択が可能（P5PLUレジスタ）

ポート5の端子機能とレジスタ設定値を表15.7.1に示します。

表 15.7.1 ポート 5 の端子機能とレジスタ設定値

端子名	端子機能	P5MDレジスタ/P5MD00ビット	P5DIRレジスタ/P50Dビット
P50	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM16AIO入力	1	0
	TM16AIO出力	1	1

端子名	端子機能	P5MDレジスタ/P5MD10ビット	P5DIRレジスタ/P51Dビット
P51	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM16BIO入力	1	0
	TM16BIO出力	1	1

端子名	端子機能	P5MDレジスタ/P5MD21，P5MD20ビット	P5DIRレジスタ/P52Dビット
P52	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16AO出力	01	1
	PWM10_B	1X	1

端子名	端子機能	P5MDレジスタ/P5MD31，P5MD30ビット	P5DIRレジスタ/P53Dビット
P53	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16BO出力	01	1
	PWM11_B	1X	1

端子名	端子機能	P5MDレジスタ/P5MD41, P5MD40 ビット	P5DIRレジスタ/P54Dビット
P54	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17AIO入力	01	0
	TM17AIO出力	01	1
	PWM12_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD51, P5MD50 ビット	P5DIRレジスタ/P55Dビット
P55	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17BIO入力	01	0
	TM17BIO出力	01	1
	PWM13_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD61, P5MD60 ビット	P5DIRレジスタ/P56Dビット
P56	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17AO出力	01	1
	PWM14_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD71, P5MD70 ビット	P5DIRレジスタ/P57Dビット
P57	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17BO出力	01	1
	PWM15_B出力	1X	1

15.7.1 ポート5の制御レジスタ

ポート5の制御レジスタの一覧を表15.7.2に示します。

表 15.7.2 ポート 5 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート5	P5OUT	0x0000A005	R/W	8	ポート5出力データレジスタ	XV-41
	P5IN	0x0000A015	R	8	ポート5入力データレジスタ	XV-42
	P5DIR	0x0000A025	R/W	8	ポート5入出力制御レジスタ	XV-42
	P5MD	0x0000A054	R/W	8, 16, 32	ポート5モードレジスタ	XV-43
	P5PLU	0x0000A035	R/W	8	ポート5プルアップ制御レジスタ	XV-44

■ ポート5出力レジスタ (P5OUT : 0x0000A005) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P570	P560	P550	P540	P530	P520	P510	P500
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P570	P57端子の出力データを設定してください。
6	P560	P56端子の出力データを設定してください。
5	P550	P55端子の出力データを設定してください。
4	P540	P54端子の出力データを設定してください。
3	P530	P53端子の出力データを設定してください。
2	P520	P52端子の出力データを設定してください。
1	P510	P51端子の出力データを設定してください。
0	P500	P50端子の出力データを設定してください。

端子にデータを出力するときは、P5OUTレジスタにデータを書込んだ後、P5DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート5入力データレジスタ (P5IN : 0x0000A015) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57I	P56I	P55I	P54I	P53I	P52I	P51I	P50I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P57I	P57端子の入力データを読出します。
6	P56I	P56端子の入力データを読出します。
5	P55I	P55端子の入力データを読出します。
4	P54I	P54端子の入力データを読出します。
3	P53I	P53端子の入力データを読出します。
2	P52I	P52端子の入力データを読出します。
1	P51I	P51端子の入力データを読出します。
0	P50I	P50端子の入力データを読出します。

端子の入力データを読出す時は、P5DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P5INレジスタの値を読出してください。

■ ポート5入出力制御レジスタ (P5DIR : 0x0000A025) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P57D	P57端子の入出力制御 0 : 入力 1 : 出力
6	P56D	P56端子の入出力制御 0 : 入力 1 : 出力
5	P55D	P55端子の入出力制御 0 : 入力 1 : 出力
4	P54D	P54端子の入出力制御 0 : 入力 1 : 出力
3	P53D	P53端子の入出力制御 0 : 入力 1 : 出力
2	P52D	P52端子の入出力制御 0 : 入力 1 : 出力
1	P51D	P51端子の入出力制御 0 : 入力 1 : 出力
0	P50D	P50端子の入出力制御 0 : 入力 1 : 出力

■ ポート5モードレジスタ (P5MD : 0x0000A054) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-		P5MD71-0		-		P5MD61-0		-		P5MD51-0		-		P5MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P5MD31-0		-		P5MD21-0		-			P5MD10	-			P5MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-30	-	必ず"0"を読出します。
29-28	P5MD71-0	P57端子の機能選択 00: 汎用ポート機能(P57端子) 01: 特殊機能(TM17BO端子) 1X: 特殊機能(PWM15_B端子)
27-26	-	必ず"0"を読出します。
25-24	P5MD61-0	P56端子の機能選択 00: 汎用ポート機能(P56端子) 01: 特殊機能(TM17AO端子) 1X: 特殊機能(PWM14_B端子)
23-22	-	必ず"0"を読出します。
21-20	P5MD51-0	P55端子の機能選択 00: 汎用ポート機能(P55端子) 01: 特殊機能(TM17BIO端子) 1X: 特殊機能(PWM13_B端子)
19-18	-	必ず"0"を読出します。
17-16	P5MD41-0	P54端子の機能選択 00: 汎用ポート機能(P54端子) 01: 特殊機能(TM17AIO端子) 1X: 特殊機能(PWM12_B端子)
15-14	-	必ず"0"を読出します。
13-12	P5MD31-0	P53端子の機能選択 00: 汎用ポート機能(P53端子) 01: 特殊機能(TM16BO端子) 1X: 特殊機能(PWM11_B端子)
11-10	-	必ず"0"を読出します。
9-8	P5MD21-0	P52端子の機能選択 00: 汎用ポート機能(P52端子) 01: 特殊機能(TM16AO端子) 1X: 特殊機能(PWM10_B端子)
7-5	-	必ず"0"を読出します。
4	P5MD10	P51端子の機能選択 0: 汎用ポート機能(P51端子) 1: 特殊機能(TM16BIO端子)
3-1	-	必ず"0"を読出します。
0	P5MD00	P50端子の機能選択 0: 汎用ポート機能(P50端子) 1: 特殊機能(TM16AIO端子)

■ ポート5プルアップ制御レジスタ（P5PLU : 0x0000A035）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57R	P56R	P55R	P54R	P53R	P52R	P51R	P50R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P57R	P57端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P56R	P56端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P55R	P55端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P54R	P54端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P53R	P53端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P52R	P52端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P51R	P51端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P50R	P50端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.8 ポート6

ポート6の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P6MDレジスタ）（表15.8.1参照）

・端子の入出力制御が可能（P6DIRレジスタ）（表15.8.1参照）

・プルアップ抵抗付加の選択が可能（P6PLUレジスタ）

ポート6の端子機能とレジスタ設定値を表15.8.1に示します。

表 15.8.1 ポート 6 の端子機能とレジスタ設定値

端子名	端子機能	P6MDレジスタ/P6MD00ビット	P6DIRレジスタ/P60Dビット
P60	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM18AIO入力	1	0
	TM18AIO出力	1	1

端子名	端子機能	P6MDレジスタ/P6MD10ビット	P6DIRレジスタ/P61Dビット
P61	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM18BIO入力	1	0
	TM18BIO出力	1	1

端子名	端子機能	P6MDレジスタ/P6MD21, P6MD20ビット	P6DIRレジスタ/P62Dビット
P62	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18AO出力	01	1
	PWM00_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD31, P6MD30ビット	P6DIRレジスタ/P63Dビット
P63	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18BO出力	01	1
	PWM01_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD41, P6MD40 ビット	P6DIRレジスタ/P64Dビット
P64	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19AIO入力	01	0
	TM19AIO出力	01	1
	PWMO2_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD51, P6MD50 ビット	P6DIRレジスタ/P65Dビット
P65	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19BIO入力	01	0
	TM19BIO出力	01	1
	PWMO3_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD61, P6MD60 ビット	P6DIRレジスタ/P66Dビット
P66	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19AO出力	01	1
	PWMO4_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD71, P6MD70 ビット	P6DIRレジスタ/P67Dビット
P67	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19BO出力	01	1
	PWMO5_B出力	1X	1

15.8.1 ポート6の制御レジスタ

ポート6の制御レジスタの一覧を表15.8.2に示します。

表 15.8.2 ポート 6 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート6	P6OUT	0x0000A006	R/W	8	ポート6出力データレジスタ	XV-47
	P6IN	0x0000A016	R	8	ポート6入力データレジスタ	XV-48
	P6DIR	0x0000A026	R/W	8	ポート6入出力制御レジスタ	XV-48
	P6MD	0x0000A058	R/W	8, 16, 32	ポート6モードレジスタ	XV-49
	P6PLU	0x0000A036	R/W	8	ポート6プルアップ制御レジスタ	XV-50

■ ポート6出力データレジスタ (P6OUT : 0x0000A006) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P670	P660	P650	P640	P630	P620	P610	P600
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P670	P67端子の出力データを設定してください。
6	P660	P66端子の出力データを設定してください。
5	P650	P65端子の出力データを設定してください。
4	P640	P64端子の出力データを設定してください。
3	P630	P63端子の出力データを設定してください。
2	P620	P62端子の出力データを設定してください。
1	P610	P61端子の出力データを設定してください。
0	P600	P60端子の出力データを設定してください。

端子にデータを出力するときは、P6OUTレジスタにデータを書込んだ後、P6DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート6入力データレジスタ (P6IN : 0x0000A016) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P67I	P66I	P65I	P64I	P63I	P62I	P61I	P60I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P67I	P67端子の入力データを読出します。
6	P66I	P66端子の入力データを読出します。
5	P65I	P65端子の入力データを読出します。
4	P64I	P64端子の入力データを読出します。
3	P63I	P63端子の入力データを読出します。
2	P62I	P62端子の入力データを読出します。
1	P61I	P61端子の入力データを読出します。
0	P60I	P60端子の入力データを読出します。

端子の入力データを読出す時は、P6DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P6INレジスタの値を読出してください。

■ ポート6入出力制御レジスタ (P6DIR : 0x0000A026) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P67D	P67端子の入出力制御 0 : 入力 1 : 出力
6	P66D	P66端子の入出力制御 0 : 入力 1 : 出力
5	P65D	P65端子の入出力制御 0 : 入力 1 : 出力
4	P64D	P64端子の入出力制御 0 : 入力 1 : 出力
3	P63D	P63端子の入出力制御 0 : 入力 1 : 出力
2	P62D	P62端子の入出力制御 0 : 入力 1 : 出力
1	P61D	P61端子の入出力制御 0 : 入力 1 : 出力
0	P60D	P60端子の入出力制御 0 : 入力 1 : 出力

■ ポート6モードレジスタ (P6MD : 0x0000A058) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-		P6MD71-0		-		P6MD61-0		-		P6MD51-0		-		P6MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P6MD31-0		-		P6MD21-0		-			P6MD10	-			P6MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-30	-	必ず"0"を読出します。
29-28	P6MD71-0	P67端子の機能選択 00: 汎用ポート機能(P67端子) 01: 特殊機能(TM19BO端子) 1X: 特殊機能(PWM05_B端子)
27-26	-	必ず"0"を読出します。
25-24	P6MD61-0	P66端子の機能選択 00: 汎用ポート機能(P66端子) 01: 特殊機能(TM19AO端子) 1X: 特殊機能(PWM04_B端子)
23-22	-	必ず"0"を読出します。
21-20	P6MD51-0	P65端子の機能選択 00: 汎用ポート機能(P65端子) 01: 特殊機能(TM19BIO端子) 1X: 特殊機能(PWM03_B端子)
19-18	-	必ず"0"を読出します。
17-16	P6MD41-0	P64端子の機能選択 00: 汎用ポート機能(P64端子) 01: 特殊機能(TM19AIO端子) 1X: 特殊機能(PWM02_B端子)
15-14	-	必ず"0"を読出します。
13-12	P6MD31-0	P63端子の機能選択 00: 汎用ポート機能(P63端子) 01: 特殊機能(TM18BO端子) 1X: 特殊機能(PWM01_B端子)
11-10	-	必ず"0"を読出します。
9-8	P6MD21-0	P62端子の機能選択 00: 汎用ポート機能(P62端子) 01: 特殊機能(TM18AO端子) 1X: 特殊機能(PWM00_B端子)
7-5	-	必ず"0"を読出します。
4	P6MD10	P61端子の機能選択 0: 汎用ポート機能(P61端子) 1: 特殊機能(TM18BIO端子)
3-1	-	必ず"0"を読出します。
0	P6MD00	P60端子の機能選択 0: 汎用ポート機能(P60端子) 1: 特殊機能(TM18AIO端子)

■ ポート6プルアップ制御レジスタ（P6PLU : 0x0000A036）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P67R	P66R	P65R	P64R	P63R	P62R	P61R	P60R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P67R	P67端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P66R	P66端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P65R	P65端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P64R	P64端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P63R	P63端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P62R	P62端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P61R	P61端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P60R	P60端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.9 ポート7

ポート7の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P7MDレジスタ）（表15.9.1参照）

・端子の入出力制御が可能（P7DIRレジスタ）（表15.9.1参照）

・プルアップ抵抗付加の選択が可能（P7PLUレジスタ）

ポート7の端子機能とレジスタ設定値を表15.9.1に示します。

表 15.9.1 ポート 7 の端子機能とレジスタ設定値

端子名	端子機能	P7MDレジスタ/P7MD00ビット	P7DIRレジスタ/P70Dビット
P70	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM20AIO入力	1	0
	TM20AIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD10ビット	P7DIRレジスタ/P71Dビット
P71	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM20BIO入力	1	0
	TM20BIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD20ビット	P7DIRレジスタ/P72Dビット
P72	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM21AIO入力	1	0
	TM21AIO出力	1	1

端子名	端子機能	P7MDレジスタ/P1MD30ビット	P7DIRレジスタ/P73Dビット
P73	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM21BIO入力	1	0
	TM21BIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD40ビット	P7DIRレジスタ/P74Dビット
P74	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM22AIO入力	1	0
	TM22AIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD50ビット	P7DIRレジスタ/P75Dビット
P75	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM22BIO入力	1	0
	TM22BIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD60ビット	P7DIRレジスタ/P76Dビット
P76	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM28IO入力	1	0
	TM28IO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD70ビット	P7DIRレジスタ/P77Dビット
P77	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM29IO入力	1	0
	TM29IO出力	1	1

15.9.1 ポート7の制御レジスタ

ポート7の制御レジスタの一覧を表15.9.2に示します。

表 15.9.2 ポート 7 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート7	P7OUT	0x0000A007	R/W	8	ポート7出力データレジスタ	XV-53
	P7IN	0x0000A017	R	8	ポート7入力データレジスタ	XV-54
	P7DIR	0x0000A027	R/W	8	ポート7入出力制御レジスタ	XV-54
	P7MD	0x0000A05C	R/W	8, 16, 32	ポート7モードレジスタ	XV-55
	P7PLU	0x0000A037	R/W	8	ポート7プルアップ制御レジスタ	XV-56

■ ポート7出力データレジスタ (P7OUT : 0x0000A007) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P770	P760	P750	P740	P730	P720	P710	P700
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P770	P77端子の出力データを設定してください。
6	P760	P76端子の出力データを設定してください。
5	P750	P75端子の出力データを設定してください。
4	P740	P74端子の出力データを設定してください。
3	P730	P73端子の出力データを設定してください。
2	P720	P72端子の出力データを設定してください。
1	P710	P71端子の出力データを設定してください。
0	P700	P70端子の出力データを設定してください。

端子にデータを出力するときは、P7OUTレジスタにデータを書込んだ後、P7DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート7入力データレジスタ (P7IN : 0x0000A017) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P77I	P76I	P75I	P74I	P73I	P72I	P71I	P70I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P77I	P77端子の入力データを読出します。
6	P76I	P76端子の入力データを読出します。
5	P75I	P75端子の入力データを読出します。
4	P74I	P74端子の入力データを読出します。
3	P73I	P73端子の入力データを読出します。
2	P72I	P72端子の入力データを読出します。
1	P71I	P71端子の入力データを読出します。
0	P70I	P70端子の入力データを読出します。

端子の入力データを読出す時は、P7DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P7INレジスタの値を読出してください。

■ ポート7入出力制御レジスタ (P7DIR : 0x0000A027) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P77D	P76D	P75D	P74D	P73D	P72D	P71D	P70D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P77D	P77端子の入出力制御 0 : 入力 1 : 出力
6	P76D	P76端子の入出力制御 0 : 入力 1 : 出力
5	P75D	P75端子の入出力制御 0 : 入力 1 : 出力
4	P74D	P74端子の入出力制御 0 : 入力 1 : 出力
3	P73D	P73端子の入出力制御 0 : 入力 1 : 出力
2	P72D	P72端子の入出力制御 0 : 入力 1 : 出力
1	P71D	P71端子の入出力制御 0 : 入力 1 : 出力
0	P70D	P70端子の入出力制御 0 : 入力 1 : 出力

■ ポート7モードレジスタ (P7MD : 0x0000A05C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P7MD70	-			P7MD60	-			P7MD50	-			P7MD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			P7MD30	-			P7MD20	-			P7MD10	-			P7MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P7MD70	P77端子の機能選択 0: 汎用ポート機能(P77端子) 1: 特殊機能(TM29IO端子)
27-25	-	必ず"0"を読出します。
24	P7MD60	P76端子の機能選択 0: 汎用ポート機能(P76端子) 1: 特殊機能(TM28IO端子)
23-21	-	必ず"0"を読出します。
20	P7MD50	P75端子の機能選択 0: 汎用ポート機能(P75端子) 1: 特殊機能(TM22BIO端子)
19-17	-	必ず"0"を読出します。
16	P7MD40	P74端子の機能選択 0: 汎用ポート機能(P74端子) 1: 特殊機能(TM22AIO端子)
15-13	-	必ず"0"を読出します。
12	P7MD30	P73端子の機能選択 0: 汎用ポート機能(P73端子) 1: 特殊機能(TM21BIO端子)
11-9	-	必ず"0"を読出します。
8	P7MD20	P72端子の機能選択 0: 汎用ポート機能(P72端子) 1: 特殊機能(TM21AIO端子)
7-5	-	必ず"0"を読出します。
4	P7MD10	P71端子の機能選択 0: 汎用ポート機能(P71端子) 1: 特殊機能(TM20BIO端子)
3-1	-	必ず"0"を読出します。
0	P7MD00	P70端子の機能選択 0: 汎用ポート機能(P70端子) 1: 特殊機能(TM20AIO端子)

■ ポート7プルアップ制御レジスタ（P7PLU : 0x0000A037）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P77R	P76R	P75R	P74R	P73R	P72R	P71R	P70R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P77R	P77端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P76R	P76端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P75R	P75端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P74R	P74端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P73R	P73端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P72R	P72端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P71R	P71端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P70R	P70端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.10ポート8

ポート8の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P8MDレジスタ）（表15.10.1参照）

・端子の入出力制御が可能（P8DIRレジスタ）（表15.10.1参照）

・プルアップ抵抗付加の選択が可能（P8PLUレジスタ）

ポート8の端子機能とレジスタ設定値を表15.10.1に示します。

表 15.10.1 ポート 8 の端子機能とレジスタ設定値

端子名	端子機能	P8MDレジスタ/P8MD01，P8MD00ビット	P8DIRレジスタ/P80Dビット
P80	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM00_A出力	01	1
	TM24AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD11，P8MD10ビット	P8DIRレジスタ/P81Dビット
P81	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM01_A出力	01	1
	TM24BO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD21，P8MD20ビット	P8DIRレジスタ/P82Dビット
P82	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM02_A出力	01	1
	TM18AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD31，P8MD30ビット	P8DIRレジスタ/P83Dビット
P83	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM03_A出力	01	1
	TM18BO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD41，P8MD40 ビット	P8DIRレジスタ/P84Dビット
P84	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM04_A出力	01	1
	TM19AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD51，P8MD50 ビット	P8DIRレジスタ/P85Dビット
P85	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM05_A出力	01	1
	TM19BO_HR出力	1X	1

端子名	端子機能	P8DIRレジスタ/P86Dビット
P86	汎用ポート入力	0
	汎用ポート出力	1

端子名	端子機能	P8DIRレジスタ/P87Dビット
P87	汎用ポート入力	0
	汎用ポート出力	1

15.10.1 ポート8の制御レジスタ

ポート8の制御レジスタの一覧を表15.10.2に示します。

表 15.10.2 ポート 8 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート8	P8OUT	0x0000A008	R/W	8	ポート8出力データレジスタ	XV-59
	P8IN	0x0000A018	R	8	ポート8入力データレジスタ	XV-60
	P8DIR	0x0000A028	R/W	8	ポート8入出力制御レジスタ	XV-61
	P8MD	0x0000A060	R/W	8, 16, 32	ポート8モードレジスタ	XV-62
	P8PLU	0x0000A038	R/W	8	ポート8プルアップ制御レジスタ	XV-63

■ ポート8出力データレジスタ (P8OUT : 0x0000A008) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P870	P860	P850	P840	P830	P820	P810	P800
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P870	P87端子の出力データを設定してください。
6	P860	P86端子の出力データを設定してください。
5	P850	P85端子の出力データを設定してください。
4	P840	P84端子の出力データを設定してください。
3	P830	P83端子の出力データを設定してください。
2	P820	P82端子の出力データを設定してください。
1	P810	P81端子の出力データを設定してください。
0	P800	P80端子の出力データを設定してください。

端子にデータを出力するときは、P8OUTレジスタにデータを書込んだ後、P8DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート8入力データレジスタ (P8IN : 0x0000A018) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P87I	P86I	P85I	P84I	P83I	P82I	P81I	P80I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P87I	P87端子の入力データを読出します。
6	P86I	P86端子の入力データを読出します。
5	P85I	P85端子の入力データを読出します。
4	P84I	P84端子の入力データを読出します。
3	P83I	P83端子の入力データを読出します。
2	P82I	P82端子の入力データを読出します。
1	P81I	P81端子の入力データを読出します。
0	P80I	P80端子の入力データを読出します。

端子の入力データを読出す時は、P8DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P8INレジスタの値を読出してください。

■ ポート8入出力制御レジスタ (P8DIR : 0x0000A028) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P87D	P87端子の入出力制御 0 : 入力 1 : 出力
6	P86D	P86端子の入出力制御 0 : 入力 1 : 出力
5	P85D	P85端子の入出力制御 0 : 入力 1 : 出力
4	P84D	P84端子の入出力制御 0 : 入力 1 : 出力
3	P83D	P83端子の入出力制御 0 : 入力 1 : 出力
2	P82D	P82端子の入出力制御 0 : 入力 1 : 出力
1	P81D	P81端子の入出力制御 0 : 入力 1 : 出力
0	P80D	P80端子の入出力制御 0 : 入力 1 : 出力

■ ポート8モードレジスタ (P8MD : 0x0000A060) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P8MD51-0		-		P8MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P8MD31-0		-		P8MD21-0		-		P8MD11-0		-		P8MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P8MD51-0	P85端子の機能選択 00: 汎用ポート機能(P85端子) 01: 特殊機能(PWM05_A端子) 1X: 特殊機能(TM19BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P8MD41-0	P84端子の機能選択 00: 汎用ポート機能(P84端子) 01: 特殊機能(PWM04_A端子) 1X: 特殊機能(TM19AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P8MD31-0	P83端子の機能選択 00: 汎用ポート機能(P83端子) 01: 特殊機能(PWM03_A端子) 1X: 特殊機能(TM18BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P8MD21-0	P82端子の機能選択 00: 汎用ポート機能(P82端子) 01: 特殊機能(PWM02_A端子) 1X: 特殊機能(TM18AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P8MD11-0	P81端子の機能選択 00: 汎用ポート機能(P81端子) 01: 特殊機能(PWM01_A端子) 1X: 特殊機能(TM24BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P8MD01-0	P80端子の機能選択 00: 汎用ポート機能(P80端子) 01: 特殊機能(PWM00_A端子) 1X: 特殊機能(TM24AO_HR端子)

■ ポート8プルアップ制御レジスタ（P8PLU : 0x0000A038）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P87R	P86R	P85R	P84R	P83R	P82R	P81R	P80R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P87R	P87端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P86R	P86端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P85R	P85端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P84R	P84端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P83R	P83端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P82R	P82端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P81R	P81端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P80R	P80端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.11ポート9

ポート9の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P9MDレジスタ）（表15.11.1参照）

・端子の入出力制御が可能（P9DIRレジスタ）（表15.11.1参照）

・プルアップ抵抗付加の選択が可能（P9PLUレジスタ）

ポート9の端子機能とレジスタ設定値を表15.11.1に示します。

表 15.11.1 ポート 9 の端子機能とレジスタ設定値

端子名	端子機能	P9MDレジスタ/P9MD01, P9MD00 ビット	P9DIRレジスタ/P90Dビット
P90	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM10_A出力	01	1
	TM16AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD11, P9MD10 ビット	P9DIRレジスタ/P91Dビット
P91	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM11_A出力	01	1
	TM16BO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD21, P9MD20 ビット	P9DIRレジスタ/P92Dビット
P92	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM12_A出力	01	1
	TM17AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD31, P9MD30 ビット	P9DIRレジスタ/P93Dビット
P93	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM13_A出力	01	1
	TM17BO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD41, P9MD40 ビット	P9DIRレジスタ/P94Dビット
P94	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM14_A出力	01	1
	TM25AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD51, P9MD50 ビット	P9DIRレジスタ/P95Dビット
P95	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM15_A出力	01	1
	TM25BO_HR出力	1X	1

端子名	端子機能	P9DIRレジスタ/P96Dビット
P96	汎用ポート入力	0
	汎用ポート出力	1

端子名	端子機能	P9DIRレジスタ/P97Dビット
P97	汎用ポート入力	0
	汎用ポート出力	1

15.11.1 ポート9の制御レジスタ

ポート9の制御レジスタの一覧を表15.11.2に示します。

表 15.11.2 ポート 9 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート9	P9OUT	0x0000A009	R/W	8	ポート9出力データレジスタ	XV-66
	P9IN	0x0000A019	R	8	ポート9入力データレジスタ	XV-67
	P9DIR	0x0000A029	R/W	8	ポート9入出力制御レジスタ	XV-68
	P9MD	0x0000A064	R/W	8, 16, 32	ポート9モードレジスタ	XV-69
	P9PLU	0x0000A039	R/W	8	ポート9プルアップ制御レジスタ	XV-70

■ ポート9出力データレジスタ (P9OUT : 0x0000A009) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P970	P960	P950	P940	P930	P920	P910	P900
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P970	P97端子の出力データを設定してください。
6	P960	P96端子の出力データを設定してください。
5	P950	P95端子の出力データを設定してください。
4	P940	P94端子の出力データを設定してください。
3	P930	P93端子の出力データを設定してください。
2	P920	P92端子の出力データを設定してください。
1	P910	P91端子の出力データを設定してください。
0	P900	P90端子の出力データを設定してください。

端子にデータを出力するときは、P9OUTレジスタにデータを書込んだ後、P9DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート9入力データレジスタ (P9IN : 0x0000A019) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P97I	P96I	P95I	P94I	P93I	P92I	P91I	P90I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P97I	P97端子の入力データを読出します。
6	P96I	P96端子の入力データを読出します。
5	P95I	P95端子の入力データを読出します。
4	P94I	P94端子の入力データを読出します。
3	P93I	P93端子の入力データを読出します。
2	P92I	P92端子の入力データを読出します。
1	P91I	P91端子の入力データを読出します。
0	P90I	P90端子の入力データを読出します。

端子の入力データを読出す時は、P9DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P9INレジスタの値を読出してください。

■ ポート9入出力制御レジスタ (P9DIR : 0x0000A029) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P97D	P96D	P95D	P94D	P93D	P92D	P91D	P90D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P97D	P97端子の入出力制御 0 : 入力 1 : 出力
6	P96D	P96端子の入出力制御 0 : 入力 1 : 出力
5	P95D	P95端子の入出力制御 0 : 入力 1 : 出力
4	P94D	P94端子の入出力制御 0 : 入力 1 : 出力
3	P93D	P93端子の入出力制御 0 : 入力 1 : 出力
2	P92D	P92端子の入出力制御 0 : 入力 1 : 出力
1	P91D	P91端子の入出力制御 0 : 入力 1 : 出力
0	P90D	P90端子の入出力制御 0 : 入力 1 : 出力

■ ポート9モードレジスタ (P9MD : 0x0000A064) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P9MD51-0		-		P9MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P9MD31-0		-		P9MD21-0		-		P9MD11-0		-		P9MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P9MD51-0	P95端子の機能選択 00: 汎用ポート機能(P95端子) 01: 特殊機能(PWM15_A端子) 1X: 特殊機能(TM25BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P9MD41-0	P94端子の機能選択 00: 汎用ポート機能(P94端子) 01: 特殊機能(PWM14_A端子) 1X: 特殊機能(TM25AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P9MD31-0	P93端子の機能選択 00: 汎用ポート機能(P93端子) 01: 特殊機能(PWM13_A端子) 1X: 特殊機能(TM17BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P9MD21-0	P92端子の機能選択 00: 汎用ポート機能(P92端子) 01: 特殊機能(PWM12_A端子) 1X: 特殊機能(TM17AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P9MD11-0	P91端子の機能選択 00: 汎用ポート機能(P91端子) 01: 特殊機能(PWM11_A端子) 1X: 特殊機能(TM16BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P9MD01-0	P90端子の機能選択 00: 汎用ポート機能(P90端子) 01: 特殊機能(PWM10_A端子) 1X: 特殊機能(TM16AO_HR端子)

■ ポート9プルアップ制御レジスタ（P9PLU : 0x0000A039）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P97R	P96R	P95R	P94R	P93R	P92R	P91R	P90R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P97R	P97端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P96R	P96端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P95R	P95端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P94R	P94端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P93R	P93端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P92R	P92端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P91R	P91端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P90R	P90端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.12ポートA

ポートAの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PAMDレジスタ）（表15.12.1参照）

・端子の入出力制御が可能（PADIRレジスタ）（表15.12.1参照）

・プルアップ抵抗付加の選択が可能（PAPLUレジスタ）

ポートAの端子機能とレジスタ設定値を表15.12.1に示します。

表 15.12.1 ポート A の端子機能とレジスタ設定値

端子名	端子機能	PAMDレジスタ/PAMD00ビット	PADIRレジスタ/PA0Dビット
PA0	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM20出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD10ビット	PADIRレジスタ/PA1Dビット
PA1	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM21出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD20ビット	PADIRレジスタ/PA2Dビット
PA2	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM22出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD30ビット	PADIRレジスタ/PA3Dビット
PA3	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM23出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD40ビット	PADIRレジスタ/PA4Dビット
PA4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM24出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD50ビット	PADIRレジスタ/PA5Dビット
PA5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM25出力	1	1

15.12.1 ポートAの制御レジスタ

ポートAの制御レジスタの一覧を表15.12.2に示します。

表 15.12.2 ポート A の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートA	PAOUT	0x0000A00A	R/W	8	ポートA出力データレジスタ	XV-72
	PAIN	0x0000A01A	R	8	ポートA入力データレジスタ	XV-73
	PADIR	0x0000A02A	R/W	8	ポートA入出力制御レジスタ	XV-73
	PAMD	0x0000A068	R/W	8, 16, 32	ポートAモードレジスタ	XV-74
	PAPLU	0x0000A03A	R/W	8	ポートAプルアップ制御レジスタ	XV-75

■ ポートA出力データレジスタ (PAOUT : 0x0000A00A) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA50	PA40	PA30	PA20	PA10	PA00
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA50	PA5端子の出力データを設定してください。
4	PA40	PA4端子の出力データを設定してください。
3	PA30	PA3端子の出力データを設定してください。
2	PA20	PA2端子の出力データを設定してください。
1	PA10	PA1端子の出力データを設定してください。
0	PA00	PA0端子の出力データを設定してください。

端子にデータを出力するときは、PAOUTレジスタにデータを書込んだ後、PADIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートA入力データレジスタ (PAIN : 0x0000A01A) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA5I	PA4I	PA3I	PA2I	PA1I	PA0I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA5I	PA5端子の入力データを読出します。
4	PA4I	PA4端子の入力データを読出します。
3	PA3I	PA3端子の入力データを読出します。
2	PA2I	PA2端子の入力データを読出します。
1	PA1I	PA1端子の入力データを読出します。
0	PA0I	PA0端子の入力データを読出します。

端子の入力データを読出す時は、PADIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PAINレジスタの値を読出してください。

■ ポートA入出力制御レジスタ (PADIR : 0x0000A02A) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA5D	PA5端子の入出力制御 0 : 入力 1 : 出力
4	PA4D	PA4端子の入出力制御 0 : 入力 1 : 出力
3	PA3D	PA3端子の入出力制御 0 : 入力 1 : 出力
2	PA2D	PA2端子の入出力制御 0 : 入力 1 : 出力
1	PA1D	PA1端子の入出力制御 0 : 入力 1 : 出力
0	PA0D	PA0端子の入出力制御 0 : 入力 1 : 出力

■ ポートAモードレジスタ (PAMD : 0x0000A068) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PAMD50	-			PAMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PAMD30	-			PAMD20	-			PAMD10	-			PAMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PAMD50	PA5端子の機能選択 0: 汎用ポート機能(PA5端子) 1: 特殊機能(PWM25端子)
19-17	-	必ず"0"を読出します。
16	PAMD40	PA4端子の機能選択 0: 汎用ポート機能(PA4端子) 1: 特殊機能(PWM24端子)
15-13	-	必ず"0"を読出します。
12	PAMD30	PA3端子の機能選択 0: 汎用ポート機能(PA3端子) 1: 特殊機能(PWM23端子)
11-9	-	必ず"0"を読出します。
8	PAMD20	PA2端子の機能選択 0: 汎用ポート機能(PA2端子) 1: 特殊機能(PWM22端子)
7-5	-	必ず"0"を読出します。
4	PAMD10	PA1端子の機能選択 0: 汎用ポート機能(PA1端子) 1: 特殊機能(PWM21端子)
3-1	-	必ず"0"を読出します。
0	PAMD00	PA0端子の機能選択 0: 汎用ポート機能(PA0端子) 1: 特殊機能(PWM20端子)

■ ポートAプルアップ制御レジスタ (PAPLU : 0x0000A03A) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA5R	PA4R	PA3R	PA2R	PA1R	PA0R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA5R	PA5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PA4R	PA4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	PA3R	PA3端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	PA2R	PA2端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	PA1R	PA1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PA0R	PA0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.13ポートB

ポートBの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PBMDレジスタ）（表15.13.1参照）

・端子の入出力制御が可能（PBDIRレジスタ）（表15.13.1参照）

・プルアップ抵抗付加の選択が可能（PBPLUレジスタ）

ポートBの端子機能とレジスタ設定値を表15.13.1に示します。

表 15.13.1 ポート B の端子機能とレジスタ設定値

端子名	端子機能	PBMDレジスタ/PBMD01, PBMD00ビット	PBDIRレジスタ/PB0Dビット
PB0	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23AIO入力	01	0
	TM23AIO出力	01	1
	ADTRG0出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD11, PBMD10ビット	PBDIRレジスタ/PB1Dビット
PB1	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23BIO入力	01	0
	TM23BIO出力	01	1
	ADTRG1出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD21, PBMD20ビット	PBDIRレジスタ/PB2Dビット
PB2	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM24AIO入力	01	0
	TM24AIO出力	01	1
	ADTRG2出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD30ビット	PBDIRレジスタ/PB3Dビット
PB3	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM24BIO入力	1	0
	TM24BIO出力	1	1

端子名	端子機能	PBMDレジスタ/PBMD40ビット	PBDIRレジスタ/PB4Dビット
PB4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM25AIO入力	1	0
	TM25AIO出力	1	1

端子名	端子機能	PBMDレジスタ/PBMD50ビット	PBDIRレジスタ/PB5Dビット
PB5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM25BIO入力	1	0
	TM25BIO出力	1	1

15.13.1 ポートBの制御レジスタ

ポートBの制御レジスタの一覧を表15.13.2に示します。

表 15.13.2 ポート B の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートB	PBOUT	0x0000A00B	R/W	8	ポートB出力データレジスタ	XV-78
	PBIN	0x0000A01B	R	8	ポートB入力データレジスタ	XV-79
	PBDIR	0x0000A02B	R/W	8	ポートB入出力制御レジスタ	XV-79
	PBMD	0x0000A06C	R/W	8, 16, 32	ポートBモードレジスタ	XV-80
	PBPLU	0x0000A03B	R/W	8	ポートBプルアップ制御レジスタ	XV-81

■ ポートB出力データレジスタ (PBOUT : 0x0000A00B) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB50	PB40	PB30	PB20	PB10	PB00
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB50	PB5端子の出力データを設定してください。
4	PB40	PB4端子の出力データを設定してください。
3	PB30	PB3端子の出力データを設定してください。
2	PB20	PB2端子の出力データを設定してください。
1	PB10	PB1端子の出力データを設定してください。
0	PB00	PB0端子の出力データを設定してください。

端子にデータを出力するときは、PBOUTレジスタにデータを書込んだ後、PBDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートB入力データレジスタ (PBIN : 0x0000A01B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5I	PB4I	PB3I	PB2I	PB1I	PB0I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5I	PB5端子の入力データを読出します。
4	PB4I	PB4端子の入力データを読出します。
3	PB3I	PB3端子の入力データを読出します。
2	PB2I	PB2端子の入力データを読出します。
1	PB1I	PB1端子の入力データを読出します。
0	PB0I	PB0端子の入力データを読出します。

端子の入力データを読出す時は、PBDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PBINレジスタの値を読出してください。

■ ポートB入出力制御レジスタ (PBDIR : 0x0000A02B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5D	PB4D	PB3D	PB2D	PB1D	PB0D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5D	PB5端子の入出力制御 0 : 入力 1 : 出力
4	PB4D	PB4端子の入出力制御 0 : 入力 1 : 出力
3	PB3D	PB3端子の入出力制御 0 : 入力 1 : 出力
2	PB2D	PB2端子の入出力制御 0 : 入力 1 : 出力
1	PB1D	PB1端子の入出力制御 0 : 入力 1 : 出力
0	PB0D	PB0端子の入出力制御 0 : 入力 1 : 出力

■ ポートBモードレジスタ (PBMD : 0x0000A06C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PBMD50	-			PBMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PBMD30	-		PBMD21-0		-		PBMD11-0		-		PBMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PBMD50	PB5端子の機能選択 0: 汎用ポート機能(PB5端子) 1: 特殊機能(TM25BIO端子)
19-17	-	必ず"0"を読出します。
16	PBMD40	PB4端子の機能選択 0: 汎用ポート機能(PB4端子) 1: 特殊機能(TM25AIO端子)
15-13	-	必ず"0"を読出します。
12	PBMD30	PB3端子の機能選択 0: 汎用ポート機能(PB3端子) 1: 特殊機能(TM24BIO端子)
11-10	-	必ず"0"を読出します。
9-8	PBMD21-0	PB2端子の機能選択 00: 汎用ポート機能(PB2端子) 01: 特殊機能(TM24AIO端子) 1X: 特殊機能(ADTRG2端子)
7-6	-	必ず"0"を読出します。
5-4	PBMD11-0	PB1端子の機能選択 00: 汎用ポート機能(PB1端子) 01: 特殊機能(TM23BIO端子) 1X: 特殊機能(ADTRG1端子)
3-2	-	必ず"0"を読出します。
1-0	PBMD01-0	PB0端子の機能選択 00: 汎用ポート機能(PB0端子) 01: 特殊機能(TM23AIO端子) 1X: 特殊機能(ADTRG0端子)

■ ポートBプルアップ制御レジスタ (PBPLU : 0x0000A03B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5R	PB4R	PB3R	PB2R	PB1R	PB0R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5R	PB5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PB4R	PB4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	PB3R	PB3端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	PB2R	PB2端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	PB1R	PB1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PB0R	PB0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

15.14ポートC

ポートCの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PCMDレジスタ）（表15.14.1参照）

・端子の入出力制御が可能（PCDIRレジスタ）（表15.14.1参照）

・プルアップ抵抗付加の選択が可能（PCPLUレジスタ）

ポートCの端子機能とレジスタ設定値を表15.14.1に示します。

表 15.14.1 ポート C の端子機能とレジスタ設定値

端子名	端子機能	PCMDレジスタ/PCMD00ビット
PC0	汎用ポート入力	0
	ADIN00入力 VGAON入力(*1) CMPOREF入力	1

端子名	端子機能	PCMDレジスタ/PCMD10ビット
PC1	汎用ポート入力	0
	ADIN01入力 VGAOP0入力(*1) CMP0IN入力	1

端子名	端子機能	PCMDレジスタ/PCMD20ビット
PC2	汎用ポート入力	0
	ADIN02入力 VGAOP1入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD30ビット
PC3	汎用ポート入力	0
	ADIN03入力 VGAOP2入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD40ビット	PCDIRレジスタ/PC4Dビット
PC4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN04入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD50ビット	PCDIRレジスタ/PC5Dビット
PC5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN05入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD60ビット	PCDIRレジスタ/PC6Dビット
PC6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN06入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD70ビット	PCDIRレジスタ/PC7Dビット
PC7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN07入力	1	X

*1 MN103HF48シリーズでは、特殊機能(VGAON,VGAOP0,VGAOP1,VGAOP2)を使用できません。

15.14.1 ポートCの制御レジスタ

ポートCの制御レジスタの一覧を表15.14.2に示します。

表15.14.2 ポートCの制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートC	PCOUT	0x0000A00C	R/W	8	ポートC出力データレジスタ	XV-84
	PCIN	0x0000A01C	R	8	ポートC入力データレジスタ	XV-85
	PCDIR	0x0000A02C	R/W	8	ポートC入出力制御レジスタ	XV-85
	PCMD	0x0000A070	R/W	8, 16, 32	ポートCモードレジスタ	XV-86
	PCPLU	0x0000A03C	R/W	8	ポートCプルアップ制御レジスタ	XV-87

■ ポートC出力データレジスタ (PCOUT : 0x0000A00C) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC70	PC60	PC50	PC40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC70	PC7端子の出力データを設定してください。
6	PC60	PC6端子の出力データを設定してください。
5	PC50	PC5端子の出力データを設定してください。
4	PC40	PC4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PCOUTレジスタにデータを書込んだ後、PCDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートC入力データレジスタ (PCIN : 0x0000A01C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7I	PC6I	PC5I	PC4I	PC3I	PC2I	PC1I	PC0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PC7I	PC7端子の入力データを読出します。
6	PC6I	PC6端子の入力データを読出します。
5	PC5I	PC5端子の入力データを読出します。
4	PC4I	PC4端子の入力データを読出します。
3	PC3I	PC3端子の入力データを読出します。
2	PC2I	PC2端子の入力データを読出します。
1	PC1I	PC1端子の入力データを読出します。
0	PC0I	PC0端子の入力データを読出します。

端子の入力データを読出す時は、PCDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PCINレジスタの値を読出してください。

■ ポートC入出力制御レジスタ (PCDIR : 0x0000A02C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7D	PC6D	PC5D	PC4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7D	PC7端子の入出力制御 0 : 入力 1 : 出力
6	PC6D	PC6端子の入出力制御 0 : 入力 1 : 出力
5	PC5D	PC5端子の入出力制御 0 : 入力 1 : 出力
4	PC4D	PC4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートCモードレジスタ (PCMD : 0x0000A070) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PCMD70	-			PCMD60	-			PCMD50	-			PCMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PCMD30	-			PCMD20	-			PCMD10	-			PCMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PCMD70	PC7端子の機能選択 0: 汎用ポート機能(PC7端子) 1: 特殊機能(ADIN07端子)
27-25	-	必ず"0"を読出します。
24	PCMD60	PC6端子の機能選択 0: 汎用ポート機能(PC6端子) 1: 特殊機能(ADIN06端子)
23-21	-	必ず"0"を読出します。
20	PCMD50	PC5端子の機能選択 0: 汎用ポート機能(PC5端子) 1: 特殊機能(ADIN05端子)
19-17	-	必ず"0"を読出します。
16	PCMD40	PC4端子の機能選択 0: 汎用ポート機能(PC4端子) 1: 特殊機能(ADIN04端子)
15-13	-	必ず"0"を読出します。
12	PCMD30	PC3端子の機能選択 0: 汎用ポート機能(PC3端子) 1: 特殊機能(ADIN03/VGAOP2端子)(*1)
11-9	-	必ず"0"を読出します。
8	PCMD20	PC2端子の機能選択 0: 汎用ポート機能(PC2端子) 1: 特殊機能(ADIN02/VGAOP1端子)(*1)
7-5	-	必ず"0"を読出します。
4	PCMD10	PC1端子の機能選択 0: 汎用ポート機能(PC1端子) 1: 特殊機能(ADIN01/VGAOP0/CMP0IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PCMD00	PC0端子の機能選択 0: 汎用ポート機能(PC0端子) 1: 特殊機能(ADIN00/VGAON/CMP0REF端子)(*1)

*1 MN103HF48シリーズでは、特殊機能(VGAON,VGAOP0,VGAOP1,VGAOP2)を使用できません。

■ ポートCプルアップ制御レジスタ (PCPLU : 0x0000A03C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7R	PC6R	PC5R	PC4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7R	PC7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PC6R	PC6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PC5R	PC5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PC4R	PC4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

15.15ポートD

ポートDの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PDMDレジスタ）（表15.15.1参照）

・端子の入出力制御が可能（PDDIRレジスタ）（表15.15.1参照）

・プルアップ抵抗付加の選択が可能（PDPLUレジスタ）

ポートDの端子機能とレジスタ設定値を表15.15.1に示します。

表 15.15.1 ポート D の端子機能とレジスタ設定値

端子名	端子機能	PDMDレジスタ/PDMD00ビット
PD0	汎用ポート入力	0
	ADIN08入力 VGA1N入力(*1) CMP1REF入力	1

端子名	端子機能	PDMDレジスタ/PDMD10ビット
PD1	汎用ポート入力	0
	ADIN09入力 VGA1P0入力(*1) CMP1IN入力	1

端子名	端子機能	PDMDレジスタ/PDMD20ビット
PD2	汎用ポート入力	0
	ADIN10入力 VGA1P1入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD30ビット
PD3	汎用ポート入力	0
	ADIN11入力 VGA1P2入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD40ビット	PDDIRレジスタ/PD4Dビット
PD4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN12入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD50ビット	PDDIRレジスタ/PD5Dビット
PD5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN13入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD60ビット	PDDIRレジスタ/PD6Dビット
PD6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN14入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD70ビット	PDDIRレジスタ/PD7Dビット
PD7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN15入力	1	X

*1 MN103HF48シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

15.15.1 ポートDの制御レジスタ

ポートDの制御レジスタの一覧を表15.15.2に示します。

表15.15.2 ポートDの制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートD	PDOUT	0x0000A00D	R/W	8	ポートD出力データレジスタ	XV-90
	PDIN	0x0000A01D	R	8	ポートD入力データレジスタ	XV-91
	PDDIR	0x0000A02D	R/W	8	ポートD入出力制御レジスタ	XV-91
	PDMD	0x0000A074	R/W	8, 16, 32	ポートDモードレジスタ	XV-92
	PDPLU	0x0000A03D	R/W	8	ポートDプルアップ制御レジスタ	XV-93

■ ポートD出力データレジスタ（PDOUT : 0x0000A00D）[8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD70	PD60	PD50	PD40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD70	PD7端子の出力データを設定してください。
6	PD60	PD6端子の出力データを設定してください。
5	PD50	PD5端子の出力データを設定してください。
4	PD40	PD4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PDOUTレジスタにデータを書込んだ後、PDDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートD入力データレジスタ (PDIN : 0x0000A01D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7I	PD6I	PD5I	PD4I	PD3I	PD2I	PD1I	PD0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PD7I	PD7端子の入力データを読出します。
6	PD6I	PD6端子の入力データを読出します。
5	PD5I	PD5端子の入力データを読出します。
4	PD4I	PD4端子の入力データを読出します。
3	PD3I	PD3端子の入力データを読出します。
2	PD2I	PD2端子の入力データを読出します。
1	PD1I	PD1端子の入力データを読出します。
0	PD0I	PD0端子の入力データを読出します。

端子の入力データを読出す時は、PDDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PDINレジスタの値を読出してください。

■ ポートD入出力制御レジスタ (PDDIR : 0x0000A02D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7D	PD6D	PD5D	PD4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD7D	PD7端子の入出力制御 0 : 入力 1 : 出力
6	PD6D	PD6端子の入出力制御 0 : 入力 1 : 出力
5	PD5D	PD5端子の入出力制御 0 : 入力 1 : 出力
4	PD4D	PD4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートDモードレジスタ (PDMD : 0x0000A074) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PDMD70	-			PDMD60	-			PDMD50	-			PDMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PDMD30	-			PDMD20	-			PDMD10	-			PDMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PDMD70	PD7端子の機能選択 0: 汎用ポート機能(PD7端子) 1: 特殊機能(ADIN15端子)
27-25	-	必ず"0"を読出します。
24	PDMD60	PD6端子の機能選択 0: 汎用ポート機能(PD6端子) 1: 特殊機能(ADIN14端子)
23-21	-	必ず"0"を読出します。
20	PDMD50	PD5端子の機能選択 0: 汎用ポート機能(PD5端子) 1: 特殊機能(ADIN13端子)
19-17	-	必ず"0"を読出します。
16	PDMD40	PD4端子の機能選択 0: 汎用ポート機能(PD4端子) 1: 特殊機能(ADIN12端子)
15-13	-	必ず"0"を読出します。
12	PDMD30	PD3端子の機能選択 0: 汎用ポート機能(PD3端子) 1: 特殊機能(ADIN11/VGA1P2端子)(*1)
11-9	-	必ず"0"を読出します。
8	PDMD20	PD2端子の機能選択 0: 汎用ポート機能(PD2端子) 1: 特殊機能(ADIN10/VGA1P1端子)(*1)
7-5	-	必ず"0"を読出します。
4	PDMD10	PD1端子の機能選択 0: 汎用ポート機能(PD1端子) 1: 特殊機能(ADIN09/VGA1P0/CMP1IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PDMD00	PD0端子の機能選択 0: 汎用ポート機能(PD0端子) 1: 特殊機能(ADIN08/VGA1N/CMP1REF端子)(*1)

*1 MN103HF48シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

■ ポートDプルアップ制御レジスタ (PDPLU : 0x0000A03D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7R	PD6R	PD5R	PD4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD7R	PD7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PD6R	PD6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PD5R	PD5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PD4R	PD4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

15.16ポートE

ポートEの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PEMDレジスタ）（表15.16.1参照）

・端子の入出力制御が可能（PEDIRレジスタ）（表15.16.1参照）

・プルアップ抵抗付加の選択が可能（PEPLUレジスタ）

ポートEの端子機能とレジスタ設定値を表15.16.1に示します。

表 15.16.1 ポート E の端子機能とレジスタ設定値

端子名	端子機能	PEMDレジスタ/PEMD00ビット
PE0	汎用ポート入力	0
	ADIN16入力 VGA2N入力(*1) CMP2REF入力	1

端子名	端子機能	PEMDレジスタ/PEMD10ビット
PE1	汎用ポート入力	0
	ADIN17入力 VGA2P0入力(*1) CMP2IN入力	1

端子名	端子機能	PEMDレジスタ/PEMD20ビット
PE2	汎用ポート入力	0
	ADIN18入力 VGA2P1入力(*1)	1

端子名	端子機能	PEMDレジスタ/PEMD30ビット
PE3	汎用ポート入力	0
	ADIN19入力 VGA2P2入力(*1)	1

端子名	端子機能	PEMDレジスタ/PEMD40ビット	PEDIRレジスタ/PE4Dビット
PE4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN20入力	1	X

端子名	端子機能	PEMDレジスタ/PEMD50ビット	PEDIRレジスタ/PE5Dビット
PE5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN21入力	1	X

端子名	端子機能	PEMDレジスタ/PEMD60ビット	PEDIRレジスタ/PE6Dビット
PE6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN22入力 DA0OUT出力	1	X

端子名	端子機能	PEMDレジスタ/PEMD70ビット	PEDIRレジスタ/PE7Dビット
PE7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN23入力 DA1OUT出力	1	X

*1 MN103HF48シリーズでは、特殊機能(VGA2N,VGA2P0,VGA2P1,VGA2P2)を使用できません

15.16.1 ポートEの制御レジスタ

ポートEの制御レジスタの一覧を表15.16.2に示します。

表15.16.2 ポートEの制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートE	PEOUT	0x0000A00E	R/W	8	ポートE出力データレジスタ	XV-96
	PEIN	0x0000A01E	R	8	ポートE入力データレジスタ	XV-97
	PEDIR	0x0000A02E	R/W	8	ポートE入出力制御レジスタ	XV-97
	PEMD	0x0000A078	R/W	8, 16, 32	ポートEモードレジスタ	XV-98
	PEPLU	0x0000A03E	R/W	8	ポートEプルアップ制御レジスタ	XV-99

■ ポートE出力データレジスタ（PEOUT : 0x0000A00E）[8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE70	PE60	PE50	PE40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PE70	PE7端子の出力データを設定してください。
6	PE60	PE6端子の出力データを設定してください。
5	PE50	PE5端子の出力データを設定してください。
4	PE40	PE4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PEOUTレジスタにデータを書込んだ後、PEDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートE入力データレジスタ (PEIN : 0x0000A01E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE7I	PE6I	PE5I	PE4I	PE3I	PE2I	PE1I	PE0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PE7I	PE7端子の入力データを読出します。
6	PE6I	PE6端子の入力データを読出します。
5	PE5I	PE5端子の入力データを読出します。
4	PE4I	PE4端子の入力データを読出します。
3	PE3I	PE3端子の入力データを読出します。
2	PE2I	PE2端子の入力データを読出します。
1	PE1I	PE1端子の入力データを読出します。
0	PE0I	PE0端子の入力データを読出します。

端子の入力データを読出す時は、PEDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PEINレジスタの値を読出してください。

■ ポートE入出力制御レジスタ (PEDIR : 0x0000A02E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE7D	PE6D	PE5D	PE4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PE7D	PE7端子の入出力制御 0 : 入力 1 : 出力
6	PE6D	PE6端子の入出力制御 0 : 入力 1 : 出力
5	PE5D	PE5端子の入出力制御 0 : 入力 1 : 出力
4	PE4D	PE4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートEモードレジスタ (PEMD : 0x0000A078) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PEMD70	-			PEMD60	-			PEMD50	-			PEMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PEMD30	-			PEMD20	-			PEMD10	-			PEMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PEMD70	PE7端子の機能選択 0: 汎用ポート機能(PE7端子) 1: 特殊機能(ADIN23/DA1OUT端子)
27-25	-	必ず"0"を読出します。
24	PEMD60	PE6端子の機能選択 0: 汎用ポート機能(PE6端子) 1: 特殊機能(ADIN22/DA0OUT端子)
23-21	-	必ず"0"を読出します。
20	PEMD50	PE5端子の機能選択 0: 汎用ポート機能(PE5端子) 1: 特殊機能(ADIN21端子)
19-17	-	必ず"0"を読出します。
16	PEMD40	PE4端子の機能選択 0: 汎用ポート機能(PE4端子) 1: 特殊機能(ADIN20端子)
15-13	-	必ず"0"を読出します。
12	PEMD30	PE3端子の機能選択 0: 汎用ポート機能(PE3端子) 1: 特殊機能(ADIN19/VGA2P2端子)(*1)
11-9	-	必ず"0"を読出します。
8	PEMD20	PE2端子の機能選択 0: 汎用ポート機能(PE2端子) 1: 特殊機能(ADIN18/VGA2P1端子)(*1)
7-5	-	必ず"0"を読出します。
4	PEMD10	PE1端子の機能選択 0: 汎用ポート機能(PE1端子) 1: 特殊機能(ADIN17/VGA2P0/CMP2IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PEMD00	PE0端子の機能選択 0: 汎用ポート機能(PE0端子) 1: 特殊機能(ADIN16/VGA2N/CMP2REF端子)(*1)

*1 MN103HF48シリーズでは、特殊機能(VGA2N,VGA2P0,VGA2P1,VGA2P2)を使用できません。

■ ポートEプルアップ制御レジスタ (PEPLU : 0x0000A03E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE7R	PE6R	PE5R	PE4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PE7R	PE7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PE6R	PE6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PE5R	PE5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PE4R	PE4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

15.17ポートF

ポートFの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PFMDレジスタ）（表15.17.1参照）

・端子の入出力制御が可能（PFDIRレジスタ）（表15.17.1参照）

・プルアップ抵抗付加の選択が可能（PFPLUレジスタ）

ポートFの端子機能とレジスタ設定値を表15.17.1に示します。

表 15.17.1 ポート F の端子機能とレジスタ設定値

端子名	端子機能	PFMDレジスタ/PFMD00ビット	PFDIRレジスタ/PF0Dビット
PF0	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN24入力	1	X

端子名	端子機能	PFMDレジスタ/PFMD10ビット	PFDIRレジスタ/PF1Dビット
PF1	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN25入力	1	X

端子名	端子機能	PFMDレジスタ/PFMD20ビット	PFDIRレジスタ/PF2Dビット
PF2	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN26入力	1	X

端子名	端子機能	PFMDレジスタ/PFMD30ビット	PFDIRレジスタ/PF3Dビット
PF3	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN27入力	1	X

端子名	端子機能	PFDIRレジスタ/PF4Dビット
PF4	汎用ポート入力	0
	汎用ポート出力	1

端子名	端子機能	PFDIRレジスタ/PF5Dビット
PF5	汎用ポート入力	0
	汎用ポート出力	1

端子名	端子機能	PFDIRレジスタ/PF6Dビット
PF6	汎用ポート入力	0
	汎用ポート出力	1

端子名	端子機能	PFDIRレジスタ/PF7Dビット
PF7	汎用ポート入力	0
	汎用ポート出力	1

15.17.1 ポートFの制御レジスタ

ポートFの制御レジスタの一覧を表15.17.2に示します。

表 15.17.2 ポート F の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセス サイズ	レジスタ名称	参照 ページ
ポートF	PFOUT	0x0000A00F	R/W	8	ポートF出力データレジスタ	XV-102
	PFIN	0x0000A01F	R	8	ポートF入力データレジスタ	XV-103
	PFDIR	0x0000A02F	R/W	8	ポートF入出力制御レジスタ	XV-104
	PFMD	0x0000A07C	R/W	8, 16, 32	ポートFモードレジスタ	XV-105
	PFPLU	0x0000A03F	R/W	8	ポートFプルアップ制御レジスタ	XV-106

■ ポートF出力データレジスタ (PFOUT : 0x0000A00F) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PF70	PF60	PF50	PF40	PF30	PF20	PF10	PF00
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	PF70	PF7端子の出力データを設定してください。
6	PF60	PF6端子の出力データを設定してください。
5	PF50	PF5端子の出力データを設定してください。
4	PF40	PF4端子の出力データを設定してください。
3	PF30	PF3端子の出力データを設定してください。
2	PF20	PF2端子の出力データを設定してください。
1	PF10	PF1端子の出力データを設定してください。
0	PF00	PF0端子の出力データを設定してください。

端子にデータを出力するときは、PFOUTレジスタにデータを書込んだ後、PFDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートF入力データレジスタ (PFIN : 0x0000A01F) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PF7I	PF6I	PF5I	PF4I	PF3I	PF2I	PF1I	PF0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PF7I	PF7端子の入力データを読出します。
6	PF6I	PF6端子の入力データを読出します。
5	PF5I	PF5端子の入力データを読出します。
4	PF4I	PF4端子の入力データを読出します。
3	PF3I	PF3端子の入力データを読出します。
2	PF2I	PF2端子の入力データを読出します。
1	PF1I	PF1端子の入力データを読出します。
0	PF0I	PF0端子の入力データを読出します。

端子の入力データを読出す時は、PFDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PFINレジスタの値を読出してください。

■ ポートF入出力制御レジスタ（PFDIR : 0x0000A02F）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PF7D	PF6D	PF5D	PF4D	PF3D	PF2D	PF1D	PF0D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	PF7D	PF7端子の入出力制御 0 : 入力 1 : 出力
6	PF6D	PF6端子の入出力制御 0 : 入力 1 : 出力
5	PF5D	PF5端子の入出力制御 0 : 入力 1 : 出力
4	PF4D	PF4端子の入出力制御 0 : 入力 1 : 出力
3	PF3D	PF3端子の入出力制御 0 : 入力 1 : 出力
2	PF2D	PF2端子の入出力制御 0 : 入力 1 : 出力
1	PF1D	PF1端子の入出力制御 0 : 入力 1 : 出力
0	PF0D	PF0端子の入出力制御 0 : 入力 1 : 出力

■ ポートFモードレジスタ (PFMD : 0x0000A07C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PFMD30	-			PFMD20	-			PFMD10	-			PFMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-13	-	必ず"0"を読出します。
12	PFMD30	PF3端子の機能選択 0: 汎用ポート機能(PF3端子) 1: 特殊機能(ADIN27端子)
11-9	-	必ず"0"を読出します。
8	PFMD20	PF2端子の機能選択 0: 汎用ポート機能(PF2端子) 1: 特殊機能(ADIN26端子)
7-5	-	必ず"0"を読出します。
4	PFMD10	PF1端子の機能選択 0: 汎用ポート機能(PF1端子) 1: 特殊機能(ADIN25端子)
3-1	-	必ず"0"を読出します。
0	PFMD00	PF0端子の機能選択 0: 汎用ポート機能(PF0端子) 1: 特殊機能(ADIN24端子)

■ ポートFプルアップ制御レジスタ（PFPLU : 0x0000A03F）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PF7R	PF6R	PF5R	PF4R	PF3R	PF2R	PF1R	PF0R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	PF7R	PF7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PF6R	PF6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PF5R	PF5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PF4R	PF4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	PF3R	PF3端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	PF2R	PF2端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	PF1R	PF1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PF0R	PF0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

第16章　I/Oポート（MN103HFx7シリーズ）

16

16.1 I/Oポートの概要

本LSIは、汎用ポート機能と特殊機能を兼用するI/Oポートを搭載しています。搭載数は計112本（ポート0～F)です。

16.1.1　I/Oポートの一覧

I/Oポートの一覧を表16.1.1に示します。

表 16.1.1　I/O ポートの一覧

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート0	P00	TM0IO/IRQ00	I/O	入出力禁止	なし	汎用ポート
	P01	TM1IO/IRQ01	I/O	入出力禁止	なし	汎用ポート
	P02	TM4IO/IRQ02/CANTXD_A	I/O	入出力禁止	なし	汎用ポート
	P03	TM5IO/IRQ03/CANRXD_A	I/O	入出力禁止	なし	汎用ポート
	P04	TM12IO/IRQ04	I/O	入出力禁止	なし	汎用ポート
	P05	TM13IO/IRQ05	I/O	入出力禁止	なし	汎用ポート
	P06	TM14IO/IRQ06	I/O	入出力禁止	なし	汎用ポート
	P07	TM15IO/IRQ07	I/O	入出力禁止	なし	汎用ポート
ポート1	P10	CMP0OUT/IRQ08	I/O	入出力禁止	なし	汎用ポート
	P11	CMP1OUT/IRQ09	I/O	入出力禁止	なし	汎用ポート
	P12	CMP2OUT/IRQ10	I/O	入出力禁止	なし	汎用ポート
	P13	IRQ11	I/O	入出力禁止	なし	汎用ポート
	P14	IRQ12	I/O	入出力禁止	なし	汎用ポート
	P15	IRQ13	I/O	入出力禁止	なし	汎用ポート
	P16	IRQ14	I/O	入出力禁止	なし	汎用ポート
	P17	IRQ15	I/O	入出力禁止	なし	汎用ポート
ポート2	P20	SBO0_A/SDA0_A/SBT0_B/SCL0_B	I/O	入出力禁止	なし	汎用ポート
	P21	SBT0_A/SCL0_A/SBO0_B/SDA0_B	I/O	入出力禁止	なし	汎用ポート
	P22	SBI0	I/O	入出力禁止	なし	汎用ポート
	P23	SBO1_A/SBT1_B/LINTXD_A	I/O	入出力禁止	なし	汎用ポート
	P24	SBT1_A/SBO1_B/LINTXD_B	I/O	入出力禁止	なし	汎用ポート
	P25	SBI1/LINRXD	I/O	入出力禁止	なし	汎用ポート
ポート3	P30	SBO2_A/SBT2_B	I/O	入出力禁止	なし	汎用ポート
	P31	SBT2_A/SBO2_B	I/O	入出力禁止	なし	汎用ポート
	P32	SBI2	I/O	入出力禁止	なし	汎用ポート
	P33	SBO3_A/SBT3_B	I/O	入出力禁止	なし	汎用ポート
	P34	SBT3_A/SBO3_B	I/O	入出力禁止	なし	汎用ポート
	P35	SBI3	I/O	入出力禁止	なし	汎用ポート

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート4	P40	TM6IO/SBCS3	I/O	入出力禁止	なし	汎用ポート
	P41	TM7IO/SBT4	I/O	入出力禁止	なし	汎用ポート
	P42	TM2IO/SBO4/CANTXD_B	I/O	入出力禁止	なし	汎用ポート
	P43	TM3IO/SBI4/CANRXD_B	I/O	入出力禁止	なし	汎用ポート
	P44	TM8IO/PWMBCST0	I/O	入出力禁止	なし	汎用ポート
	P45	TM9IO/PWMBCST1	I/O	入出力禁止	なし	汎用ポート
	P46	TM10IO/PWMBCST2	I/O	入出力禁止	なし	汎用ポート
	P47	TM11IO	I/O	入出力禁止	なし	汎用ポート
ポート5	P50	TM16AIO	I/O	入出力禁止	なし	汎用ポート
	P51	TM16BIO	I/O	入出力禁止	なし	汎用ポート
	P52	TM16AO/PWM10_B	I/O	入出力禁止	なし	汎用ポート
	P53	TM16BO/PWM11_B	I/O	入出力禁止	なし	汎用ポート
	P54	TM17AIO/PWM12_B	I/O	入出力禁止	なし	汎用ポート
	P55	TM17BIO/PWM13_B	I/O	入出力禁止	なし	汎用ポート
	P56	TM17AO/ PWM14_B	I/O	入出力禁止	なし	汎用ポート
	P57	TM17BO/ PWM15_B	I/O	入出力禁止	なし	汎用ポート
ポート6	P60	TM18AIO	I/O	入出力禁止	なし	汎用ポート
	P61	TM18BIO	I/O	入出力禁止	なし	汎用ポート
	P62	TM18AO/PWM00_B	I/O	入出力禁止	なし	汎用ポート
	P63	TM18BO/PWM01_B	I/O	入出力禁止	なし	汎用ポート
	P64	TM19AIO/PWM02_B	I/O	入出力禁止	なし	汎用ポート
	P65	TM19BIO/PWM03_B	I/O	入出力禁止	なし	汎用ポート
	P66	TM19AO/PWM04_B	I/O	入出力禁止	なし	汎用ポート
	P67	TM19BO/PWM05_B	I/O	入出力禁止	なし	汎用ポート
ポート7	P70	TM20AIO	I/O	入出力禁止	なし	汎用ポート
	P71	TM20BIO	I/O	入出力禁止	なし	汎用ポート
	P72	TM21AIO	I/O	入出力禁止	なし	汎用ポート
	P73	TM21BIO	I/O	入出力禁止	なし	汎用ポート
	P74	TM22AIO	I/O	入出力禁止	なし	汎用ポート
	P75	TM22BIO	I/O	入出力禁止	なし	汎用ポート
	P76	TM28IO	I/O	入出力禁止	なし	汎用ポート
	P77	TM29IO	I/O	入出力禁止	なし	汎用ポート
ポート8	P80	PWM00_A/TM24AO_HR	I/O	入出力禁止	なし	汎用ポート
	P81	PWM01_A/TM24BO_HR	I/O	入出力禁止	なし	汎用ポート
	P82	PWM02_A/TM18AO_HR	I/O	入出力禁止	なし	汎用ポート
	P83	PWM03_A/TM18BO_HR	I/O	入出力禁止	なし	汎用ポート
	P84	PWM04_A/TM19AO_HR	I/O	入出力禁止	なし	汎用ポート
	P85	PWM05_A/TM19BO_HR	I/O	入出力禁止	なし	汎用ポート
ポート9	P90	PWM10_A/TM16AO_HR	I/O	入出力禁止	なし	汎用ポート
	P91	PWM11_A/TM16BO_HR	I/O	入出力禁止	なし	汎用ポート
	P92	PWM12_A/TM17AO_HR	I/O	入出力禁止	なし	汎用ポート
	P93	PWM13_A/TM17BO_HR	I/O	入出力禁止	なし	汎用ポート
	P94	PWM14_A/TM25AO_HR	I/O	入出力禁止	なし	汎用ポート
	P95	PWM15_A/TM25BO_HR	I/O	入出力禁止	なし	汎用ポート

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポートA	PA0	PWM20	I/O	入出力禁止	なし	汎用ポート
	PA1	PWM21	I/O	入出力禁止	なし	汎用ポート
	PA2	PWM22	I/O	入出力禁止	なし	汎用ポート
	PA3	PWM23	I/O	入出力禁止	なし	汎用ポート
	PA4	PWM24	I/O	入出力禁止	なし	汎用ポート
	PA5	PWM25	I/O	入出力禁止	なし	汎用ポート
ポートB	PB0	TM23AIO/ADTRG0	I/O	入出力禁止	なし	汎用ポート
	PB1	TM23BIO/ADTRG1	I/O	入出力禁止	なし	汎用ポート
	PB2	TM24AIO/ADTRG2	I/O	入出力禁止	なし	汎用ポート
	PB3	TM24BIO	I/O	入出力禁止	なし	汎用ポート
	PB4	TM25AIO	I/O	入出力禁止	なし	汎用ポート
	PB5	TM25BIO	I/O	入出力禁止	なし	汎用ポート
ポートC	PC0	ADIN00/VGAON(*1)/CMP0REF	I	入力禁止	なし	汎用ポート
	PC1	ADIN01/VGA0P0(*1)/CMP0IN	I	入力禁止	なし	汎用ポート
	PC2	ADIN02/VGA0P1(*1)	I	入力禁止	なし	汎用ポート
	PC3	ADIN03/VGA0P2(*1)	I	入力禁止	なし	汎用ポート
	PC4	ADIN04	I/O	入出力禁止	なし	汎用ポート
	PC5	ADIN05	I/O	入出力禁止	なし	汎用ポート
	PC6	ADIN06	I/O	入出力禁止	なし	汎用ポート
	PC7	ADIN07	I/O	入出力禁止	なし	汎用ポート
ポートD	PD0	ADIN08/VGA1N(*1)/CMP1REF	I	入力禁止	なし	汎用ポート
	PD1	ADIN09/VGA1P0(*1)/CMP1IN	I	入力禁止	なし	汎用ポート
	PD2	ADIN10/VGA1P1(*1)	I	入力禁止	なし	汎用ポート
	PD3	ADIN11/VGA1P2(*1)	I	入力禁止	なし	汎用ポート
	PD4	ADIN12	I/O	入出力禁止	なし	汎用ポート
	PD5	ADIN13	I/O	入出力禁止	なし	汎用ポート
	PD6	ADIN14	I/O	入出力禁止	なし	汎用ポート
	PD7	ADIN15	I/O	入出力禁止	なし	汎用ポート
ポートE	PE0	ADIN16/VGA2N(*1)/CMP2REF	I	入力禁止	なし	汎用ポート
	PE1	ADIN17/VGA2P0(*1)/CMP2IN	I	入力禁止	なし	汎用ポート
	PE2	ADIN18/VGA2P1(*1)	I	入力禁止	なし	汎用ポート
	PE3	ADIN19/VGA2P2(*1)	I	入力禁止	なし	汎用ポート
	PE4	ADIN20	I/O	入出力禁止	なし	汎用ポート
	PE5	ADIN21	I/O	入出力禁止	なし	汎用ポート
	PE6	ADIN22/DA0OUT	I/O	入出力禁止	なし	汎用ポート
	PE7	ADIN23/DA1OUT	I/O	入出力禁止	なし	汎用ポート
ポートF	PF0	ADIN24	I/O	入出力禁止	なし	汎用ポート
	PF1	ADIN25	I/O	入出力禁止	なし	汎用ポート
	PF2	ADIN26	I/O	入出力禁止	なし	汎用ポート
	PF3	ADIN27	I/O	入出力禁止	なし	汎用ポート

*1 MN103HF47シリーズでは、特殊機能
(VGAON, VGA1N, VGA2N, VGA0P0, VGA0P1, VGA0P2, VGA1P0, VGA1P1, VGA1P2, VGA2P0, VGA2P1, VGA2P2)を使用できません。

16.2 ポート0

ポート0の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能 (P0MDレジスタ)(表16.2.1参照)

・端子の入出力制御が可能 (P0DIRレジスタ)(表16.2.1参照)

・プルアップ抵抗付加の選択が可能 (P0PLUレジスタ)

・Nchオープンドレイン出力の選択が可能 (P00DCレジスタ)

ポート0の端子機能とレジスタ設定値を表16.2.1に示します。

表 16.2.1 ポート 0 の端子機能とレジスタ設定値

端子名	端子機能	P0MDレジスタ/P0MD01, P0MD00 ビット	P0DIRレジスタ/P00Dビット
P00	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ00入力	01	0
	TM0IO入力	1X	0
	TM0IO出力	1X	1

端子名	端子機能	P0MDレジスタ/P0MD11, P0MD10 ビット	P0DIRレジスタ/P01Dビット
P01	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ01入力	01	0
	TM1IO入力	1X	0
	TM1IO出力	1X	1

端子名	端子機能	P0MDレジスタ/P0MD21, P0MD20 ビット	P0DIRレジスタ/P02Dビット
P02	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ02入力	01	0
	TM4IO入力	10	0
	TM4IO出力	10	1
	CANTXD_A出力	11	1

端子名	端子機能	POMDレジスタ/POMD31, POMD30 ビット	PODIRレジスタ/P03Dビット
P03	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ03入力	01	0
	TM5IO入力	10	0
	CANRXD_A入力	11	0

端子名	端子機能	POMDレジスタ/POMD41, POMD40 ビット	PODIRレジスタ/P04Dビット
P04	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ04入力	01	0
	TM12IO入力	1X	0
	TM12IO出力	1X	1

端子名	端子機能	POMDレジスタ/POMD51, POMD50 ビット	PODIRレジスタ/P05Dビット
P05	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ05入力	01	0
	TM13IO入力	1X	0
	TM13IO出力	1X	1

端子名	端子機能	POMDレジスタ/POMD61, POMD60 ビット	PODIRレジスタ/P06Dビット
P06	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ06入力	01	0
	TM14IO入力	1X	0
	TM14IO出力	1X	1

端子名	端子機能	POMDレジスタ/POMD71, POMD70 ビット	PODIRレジスタ/P07Dビット
P07	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ07入力	01	0
	TM15IO入力	1X	0
	TM15IO出力	1X	1

16.2.1 ポート0の制御レジスタ

ポート0の制御レジスタの一覧を表16.2.2に示します。

表 16.2.2 ポート 0 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート0	P0OUT	0x0000A000	R/W	8	ポート0出力データレジスタ	XVI-7
	P0IN	0x0000A010	R	8	ポート0入力データレジスタ	XVI-8
	P0DIR	0x0000A020	R/W	8	ポート0入出力制御レジスタ	XVI-9
	P0MD	0x0000A040	R/W	8, 16, 32	ポート0モードレジスタ	XVI-10
	P0PLU	0x0000A030	R/W	8	ポート0プルアップ制御レジスタ	XVI-11
	P0ODC	0x0000A090	R/W	8	ポート0Nchオープンドレイン制御レジスタ	XVI-11

■ ポート0出力データレジスタ (P0OUT : 0x0000A000) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P070	P060	P050	P040	P030	P020	P010	P000
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P070	P07端子の出力データを設定してください。
6	P060	P06端子の出力データを設定してください。
5	P050	P05端子の出力データを設定してください。
4	P040	P04端子の出力データを設定してください。
3	P030	P03端子の出力データを設定してください。
2	P020	P02端子の出力データを設定してください。
1	P010	P01端子の出力データを設定してください。
0	P000	P00端子の出力データを設定してください。

端子にデータを出力するときは、P0OUTレジスタにデータを書込んだ後、P0DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート0入力データレジスタ (P0IN : 0x0000A010) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07I	P06I	P05I	P04I	P03I	P02I	P01I	P00I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P07I	P07端子の入力データを読出します。
6	P06I	P06端子の入力データを読出します。
5	P05I	P05端子の入力データを読出します。
4	P04I	P04端子の入力データを読出します。
3	P03I	P03端子の入力データを読出します。
2	P02I	P02端子の入力データを読出します。
1	P01I	P01端子の入力データを読出します。
0	P00I	P00端子の入力データを読出します。

端子の入力データを読出す時は、P0DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P0INレジスタの値を読出してください。

■ ポート0入出力制御レジスタ (P0DIR : 0x0000A020) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07D	P07端子の入出力制御 0 : 入力 1 : 出力
6	P06D	P06端子の入出力制御 0 : 入力 1 : 出力
5	P05D	P05端子の入出力制御 0 : 入力 1 : 出力
4	P04D	P04端子の入出力制御 0 : 入力 1 : 出力
3	P03D	P03端子の入出力制御 0 : 入力 1 : 出力
2	P02D	P02端子の入出力制御 0 : 入力 1 : 出力
1	P01D	P01端子の入出力制御 0 : 入力 1 : 出力
0	P00D	P00端子の入出力制御 0 : 入力 1 : 出力

■ ポート0モードレジスタ (POMD : 0x0000A040) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-		POMD71-0		-		POMD61-0		-		POMD51-0		-		POMD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		POMD31-0		-		POMD21-0		-		POMD11-0		-		POMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-30	-	必ず"0"を読出します。
29-28	POMD71-0	P07端子の機能選択 00: 汎用ポート機能(P07端子) 01: 特殊機能(IRQ07端子) 1X: 特殊機能(TM15IO端子)
27-26	-	必ず"0"を読出します。
25-24	POMD61-0	P06端子の機能選択 00: 汎用ポート機能(P06端子) 01: 特殊機能(IRQ06端子) 1X: 特殊機能(TM14IO端子)
23-22	-	必ず"0"を読出します。
21-20	POMD51-0	P05端子の機能選択 00: 汎用ポート機能(P05端子) 01: 特殊機能(IRQ05端子) 1X: 特殊機能(TM13IO端子)
19-18	-	必ず"0"を読出します。
17-16	POMD41-0	P04端子の機能選択 00: 汎用ポート機能(P04端子) 01: 特殊機能(IRQ04端子) 1X: 特殊機能(TM12IO端子)
15-14	-	必ず"0"を読出します。
13-12	POMD31-0	P03端子の機能選択 00: 汎用ポート機能(P03端子) 01: 特殊機能(IRQ03端子) 10: 特殊機能(TM5IO端子) 11: 特殊機能(CANRXD_A端子)
11-10	-	必ず"0"を読出します。
9-8	POMD21-0	P02端子の機能選択 00: 汎用ポート機能(P02端子) 01: 特殊機能(IRQ02端子) 10: 特殊機能(TM4IO端子) 11: 特殊機能(CANTXD_A端子)
7-6	-	必ず"0"を読出します。
5-4	POMD11-0	P01端子の機能選択 00: 汎用ポート機能(P01端子) 01: 特殊機能(IRQ01端子) 1X: 特殊機能(TM1IO端子)
3-2	-	必ず"0"を読出します。
1-0	POMD01-0	P00端子の機能選択 00: 汎用ポート機能(P00端子) 01: 特殊機能(IRQ00端子) 1X: 特殊機能(TM0IO端子)

■ ポート0プルアップ制御レジスタ (P0PLU : 0x0000A030) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07R	P06R	P05R	P04R	P03R	P02R	P01R	P00R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07R	P07端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P06R	P06端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P05R	P05端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P04R	P04端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P03R	P03端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P02R	P02端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P01R	P01端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P00R	P00端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート0Nchオープンドレイン制御レジスタ (P0ODC : 0x0000A090) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P00DC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P00DC2	P02端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_A端子選択時のみ有効
1-0	-	必ず"0"を読出します。

16.3 ポート1

ポート1の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P1MDレジスタ）（表16.3.1参照）

・端子の入出力制御が可能（P1DIRレジスタ）（表16.3.1参照）

・プルアップ抵抗付加の選択が可能（P1PLUレジスタ）

ポート1の端子機能とレジスタ設定値を表16.3.1に示します。

表 16.3.1 ポート 1 の端子機能とレジスタ設定値

端子名	端子機能	P1MDレジスタ/P1MD01, P1MD00ビット	P1DIRレジスタ/P10Dビット
P10	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ08入力	01	0
	CMP0OUT出力	1X	1

端子名	端子機能	P1MDレジスタ/P1MD11, P1MD10ビット	P1DIRレジスタ/P11Dビット
P11	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ09入力	01	0
	CMP1OUT出力	1X	1

端子名	端子機能	P1MDレジスタ/P1MD21, P1MD20ビット	P1DIRレジスタ/P12Dビット
P12	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ10入力	01	0
	CMP2OUT出力	1X	1

端子名	端子機能	P1MDレジスタ/P1MD30ビット	P1DIRレジスタ/P13Dビット
P13	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ11入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD40ビット	P1DIRレジスタ/P14Dビット
P14	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ12入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD50ビット	P1DIRレジスタ/P15Dビット
P15	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ13入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD60ビット	P1DIRレジスタ/P16Dビット
P16	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ14入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD70ビット	P1DIRレジスタ/P17Dビット
P17	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ15入力	1	0

16.3.1　ポート1の制御レジスタ

ポート1の制御レジスタの一覧を表16.3.2に示します。

表 16.3.2 ポート 1 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート1	P1OUT	0x0000A001	R/W	8	ポート1出力データレジスタ	XVI-14
	P1IN	0x0000A011	R	8	ポート1入力データレジスタ	XVI-15
	P1DIR	0x0000A021	R/W	8	ポート1入出力制御レジスタ	XVI-16
	P1MD	0x0000A044	R/W	8, 16, 32	ポート1モードレジスタ	XVI-17
	P1PLU	0x0000A031	R/W	8	ポート1プルアップ制御レジスタ	XVI-18

■ ポート1出力データレジスタ (P1OUT : 0x0000A001) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P170	P160	P150	P140	P130	P120	P110	P100
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P170	P17端子の出力データを設定してください。
6	P160	P16端子の出力データを設定してください。
5	P150	P15端子の出力データを設定してください。
4	P140	P14端子の出力データを設定してください。
3	P130	P13端子の出力データを設定してください。
2	P120	P12端子の出力データを設定してください。
1	P110	P11端子の出力データを設定してください。
0	P100	P10端子の出力データを設定してください。

端子にデータを出力するときは、P1OUTレジスタにデータを書込んだ後、P1DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート1入力データレジスタ (P1IN : 0x0000A011) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P17I	P16I	P15I	P14I	P13I	P12I	P11I	P10I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P17I	P17端子の入力データを読出します。
6	P16I	P16端子の入力データを読出します。
5	P15I	P15端子の入力データを読出します。
4	P14I	P14端子の入力データを読出します。
3	P13I	P13端子の入力データを読出します。
2	P12I	P12端子の入力データを読出します。
1	P11I	P11端子の入力データを読出します。
0	P10I	P10端子の入力データを読出します。

端子の入力データを読出す時は、P1DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P1INレジスタの値を読出してください。

■ ポート1入出力制御レジスタ (P1DIR : 0x0000A021) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P17D	P17端子の入出力制御 0 : 入力 1 : 出力
6	P16D	P16端子の入出力制御 0 : 入力 1 : 出力
5	P15D	P15端子の入出力制御 0 : 入力 1 : 出力
4	P14D	P14端子の入出力制御 0 : 入力 1 : 出力
3	P13D	P13端子の入出力制御 0 : 入力 1 : 出力
2	P12D	P12端子の入出力制御 0 : 入力 1 : 出力
1	P11D	P11端子の入出力制御 0 : 入力 1 : 出力
0	P10D	P10端子の入出力制御 0 : 入力 1 : 出力

■ ポート1モードレジスタ (P1MD : 0x0000A044) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P1MD70	-			P1MD60	-			P1MD50	-			P1MD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			P1MD30	-		P1MD21-0		-		P1MD11-0		-		P1MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P1MD70	P17端子の機能選択 0: 汎用ポート機能(P17端子) 1: 特殊機能(IRQ15端子)
27-25	-	必ず"0"を読出します。
24	P1MD60	P16端子の機能選択 0: 汎用ポート機能(P16端子) 1: 特殊機能(IRQ14端子)
23-21	-	必ず"0"を読出します。
20	P1MD50	P15端子の機能選択 0: 汎用ポート機能(P15端子) 1: 特殊機能(IRQ13端子)
19-17	-	必ず"0"を読出します。
16	P1MD40	P14端子の機能選択 0: 汎用ポート機能(P14端子) 1: 特殊機能(IRQ12端子)
15-13	-	必ず"0"を読出します。
12	P1MD30	P13端子の機能選択 0: 汎用ポート機能(P13端子) 1: 特殊機能(IRQ11端子)
11-10	-	必ず"0"を読出します。
9-8	P1MD21-0	P12端子の機能選択 00: 汎用ポート機能(P12端子) 01: 特殊機能(IRQ10端子) 1X: 特殊機能(CMP2OUT端子)
7-6	-	必ず"0"を読出します。
5-4	P1MD11-0	P11端子の機能選択 00: 汎用ポート機能(P11端子) 01: 特殊機能(IRQ09端子) 1X: 特殊機能(CMP1OUT端子)
3-2	-	必ず"0"を読出します。
1-0	P1MD01-0	P10端子の機能選択 00: 汎用ポート機能(P10端子) 01: 特殊機能(IRQ08端子) 1X: 特殊機能(CMP0OUT端子)

■ ポート1プルアップ制御レジスタ (P1PLU : 0x0000A031) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P17R	P16R	P15R	P14R	P13R	P12R	P11R	P10R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P17R	P17端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P16R	P16端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P15R	P15端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P14R	P14端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P13R	P13端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P12R	P12端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P11R	P11端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P10R	P10端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.4 ポート2

ポート2の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P2MDレジスタ）（表16.4.1参照）

・端子の入出力制御が可能（P2DIRレジスタ）（表16.4.1参照）

・プルアップ抵抗付加の選択が可能（P2PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P2ODCレジスタ）

ポート2の端子機能とレジスタ設定値を表16.4.1に示します。

表 16.4.1 ポート 2 の端子機能とレジスタ設定値

端子名	端子機能	P2MDレジスタ/P2MD01, P2MD00 ビット	P2DIRレジスタ/P20Dビット
P20	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO0_A/SDA0_A入力 (*1)	10	0
	SBO0_A/SDA0_A出力 (*1)	10	1
	SBT0_B/SCL0_B入力 (*1)	11	0
	SBT0_B/SCL0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD11, P2MD10 ビット	P2DIRレジスタ/P21Dビット
P21	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT0_A/SCL0_A入力 (*1)	10	0
	SBT0_A/SCL0_A出力 (*1)	10	1
	SBO0_B/SDA0_B入力 (*1)	11	0
	SBO0_B/SDA0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD20ビット	P2DIRレジスタ/P22Dビット
P22	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI0入力 (*1)	1	0

端子名	端子機能	P2MDレジスタ/P2MD31, P2MD30 ビット	P2DIRレジスタ/P23Dビット
P23	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO1_A/LINTXD_A入力 (*1)	10	0
	SBO1_A/LINTXD_A出力 (*1)	10	1
	SBT1_B入力 (*1)	11	0
	SBT1_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD41, P2MD40 ビット	P2DIRレジスタ/P24Dビット
P24	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT1_A入力 (*1)	10	0
	SBT1_A出力 (*1)	10	1
	SBO1_B/LINTXD_B入力 (*1)	11	0
	SBO1_B/LINTXD_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD50ビット	P2DIRレジスタ/P25Dビット
P25	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI1/LINRXD入力 (*1)	1	0

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

16.4.1　ポート2の制御レジスタ

ポート2の制御レジスタの一覧を表16.4.2に示します。

表 16.4.2 ポート 2 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート2	P2OUT	0x0000A002	R/W	8	ポート2出力データレジスタ	XVI-21
	P2IN	0x0000A012	R	8	ポート2入力データレジスタ	XVI-22
	P2DIR	0x0000A022	R/W	8	ポート2入出力制御レジスタ	XVI-22
	P2MD	0x0000A048	R/W	8, 16, 32	ポート2モードレジスタ	XVI-23
	P2PLU	0x0000A032	R/W	8	ポート2プルアップ制御レジスタ	XVI-24
	P2ODC	0x0000A092	R/W	8	ポート2Nchオープンドレイン制御レジスタ	XVI-25

■ ポート2出力データレジスタ (P2OUT : 0x0000A002) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P250	P240	P230	P220	P210	P200
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P250	P25端子の出力データを設定してください。
4	P240	P24端子の出力データを設定してください。
3	P230	P23端子の出力データを設定してください。
2	P220	P22端子の出力データを設定してください。
1	P210	P21端子の出力データを設定してください。
0	P200	P20端子の出力データを設定してください。

端子にデータを出力するときは、P2OUTレジスタにデータを書込んだ後、P2DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート2入力データレジスタ (P2IN : 0x0000A012) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25I	P24I	P23I	P22I	P21I	P20I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25I	P25端子の入力データを読出します。
4	P24I	P24端子の入力データを読出します。
3	P23I	P23端子の入力データを読出します。
2	P22I	P22端子の入力データを読出します。
1	P21I	P21端子の入力データを読出します。
0	P20I	P20端子の入力データを読出します。

端子の入力データを読出す時は、P2DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P2INレジスタの値を読出してください。

■ ポート2入出力制御レジスタ (P2DIR : 0x0000A022) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25D	P24D	P23D	P22D	P21D	P20D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25D	P25端子の入出力制御 0 : 入力 1 : 出力
4	P24D	P24端子の入出力制御 0 : 入力 1 : 出力
3	P23D	P23端子の入出力制御 0 : 入力 1 : 出力
2	P22D	P22端子の入出力制御 0 : 入力 1 : 出力
1	P21D	P21端子の入出力制御 0 : 入力 1 : 出力
0	P20D	P20端子の入出力制御 0 : 入力 1 : 出力

■ ポート2モードレジスタ (P2MD : 0x0000A048) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P2MD50	-		P2MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P2MD31-0		-			P2MD20	-		P2MD11-0		-		P2MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P2MD50	P25端子の機能選択 0: 汎用ポート機能(P25端子) 1: 特殊機能(SBI1/LINRXD端子)
19-18	-	必ず"0"を読出します。
17-16	P2MD41-0	P24端子の機能選択 0X: 汎用ポート機能(P24端子) 10: 特殊機能(SBT1_A端子) 11: 特殊機能(SBO1_B/LINTXD_B端子)
15-14	-	必ず"0"を読出します。
13-12	P2MD31-0	P23端子の機能選択 0X: 汎用ポート機能(P23端子) 10: 特殊機能(SBO1_A/LINTXD_A端子) 11: 特殊機能(SBT1_B端子)
11-9	-	必ず"0"を読出します。
8	P2MD20	P22端子の機能選択 0: 汎用ポート機能(P22端子) 1: 特殊機能(SBI0端子)
7-6	-	必ず"0"を読出します。
5-4	P2MD11-0	P21端子の機能選択 0X: 汎用ポート機能(P21端子) 10: 特殊機能(SBT0_A/SCL0_A端子) 11: 特殊機能(SBO0_B/SDA0_B端子)
3-2	-	必ず"0"を読出します。
1-0	P2MD01-0	P20端子の機能選択 0X: 汎用ポート機能(P20端子) 10: 特殊機能(SBO0_A/SDA0_A端子) 11: 特殊機能(SBT0_B/SCL0_B端子)

■ ポート2プルアップ制御レジスタ (P2PLU : 0x0000A032) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25R	P24R	P23R	P22R	P21R	P20R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25R	P25端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P24R	P24端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P23R	P23端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P22R	P22端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P21R	P21端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P20R	P20端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート2Nchオープンドレイン制御レジスタ (P2ODC : 0x0000A092) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P2ODC4	P2ODC3	-	P2ODC1	P2ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P2ODC4	P24端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT1_A、SBO1_B端子選択時のみ有効
3	P2ODC3	P23端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO1_A、SBT1_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P2ODC1	P21端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT0_A、SBO0_B端子選択時のみ有効
0	P2ODC0	P20端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO0_A、SBT0_B端子選択時のみ有効

16.5 ポート3

ポート3の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P3MDレジスタ）（表16.5.1参照）

・端子の入出力制御が可能（P3DIRレジスタ）（表16.5.1参照）

・プルアップ抵抗付加の選択が可能（P3PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P3ODCレジスタ）

ポート3の端子機能とレジスタ設定値を表16.5.1に示します。

表 16.5.1 ポート 3 の端子機能とレジスタ設定値

端子名	端子機能	P3MDレジスタ/P3MD01，P3MD00ビット	P3DIRレジスタ/P30Dビット
P30	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO2_A入力（*1）	10	0
	SBO2_A出力（*1）	10	1
	SBT2_B入力（*1）	11	0
	SBT2_B出力（*1）	11	1

端子名	端子機能	P3MDレジスタ/P3MD11，P3MD10ビット	P3DIRレジスタ/P31Dビット
P31	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT2_A入力（*1）	10	0
	SBT2_A出力（*1）	10	1
	SBO2_B入力（*1）	11	0
	SBO2_B出力（*1）	11	1

端子名	端子機能	P3MDレジスタ/P3MD20ビット	P3DIRレジスタ/P32Dビット
P32	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI2入力（*1）	1	0

端子名	端子機能	P3MDレジスタ/P3MD31, P3MD30 ビット	P3DIRレジスタ/P33Dビット
P33	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO3_A入力 (*1)	10	0
	SBO3_A出力 (*1)	10	1
	SBT3_B入力 (*1)	11	0
	SBT3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD41, P1MD40 ビット	P3DIRレジスタ/P34Dビット
P34	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT3_A入力 (*1)	10	0
	SBT3_A出力 (*1)	10	1
	SBO3_B入力 (*1)	11	0
	SBO3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD50ビット	P3DIRレジスタ/P35Dビット
P35	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI3入力 (*1)	1	0

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

16.5.1 ポート3の制御レジスタ

ポート3の制御レジスタの一覧を表16.5.2に示します。

表 16.5.2 ポート 3 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセス サイズ	レジスタ名称	参照 ページ
ポート3	P3OUT	0x0000A003	R/W	8	ポート3出力データレジスタ	XVI-28
	P3IN	0x0000A013	R	8	ポート3入力データレジスタ	XVI-29
	P3DIR	0x0000A023	R/W	8	ポート3入出力制御レジスタ	XVI-29
	P3MD	0x0000A04C	R/W	8, 16, 32	ポート3モードレジスタ	XVI-30
	P3PLU	0x0000A033	R/W	8	ポート3プルアップ制御レジスタ	XVI-31
	P3ODC	0x0000A093	R/W	8	ポート3Nchオープンドレイン制御レジスタ	XVI-32

■ ポート3出力データレジスタ (P3OUT : 0x0000A003) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P350	P340	P330	P320	P310	P300
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P350	P35端子の出力データを設定してください。
4	P340	P34端子の出力データを設定してください。
3	P330	P33端子の出力データを設定してください。
2	P320	P32端子の出力データを設定してください。
1	P310	P31端子の出力データを設定してください。
0	P300	P30端子の出力データを設定してください。

端子にデータを出力するときは、P3OUTレジスタにデータを書込んだ後、P3DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート3入力データレジスタ (P3IN : 0x0000A013) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P35I	P34I	P33I	P32I	P31I	P30I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P35I	P35端子の入力データを読出します。
4	P34I	P34端子の入力データを読出します。
3	P33I	P33端子の入力データを読出します。
2	P32I	P32端子の入力データを読出します。
1	P31I	P31端子の入力データを読出します。
0	P30I	P30端子の入力データを読出します。

端子の入力データを読出す時は、P3DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P3INレジスタの値を読出してください。

■ ポート3入出力制御レジスタ (P3DIR : 0x0000A023) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P35D	P34D	P33D	P32D	P31D	P30D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P35D	P35端子の入出力制御 0 : 入力 1 : 出力
4	P34D	P34端子の入出力制御 0 : 入力 1 : 出力
3	P33D	P33端子の入出力制御 0 : 入力 1 : 出力
2	P32D	P32端子の入出力制御 0 : 入力 1 : 出力
1	P31D	P31端子の入出力制御 0 : 入力 1 : 出力
0	P30D	P30端子の入出力制御 0 : 入力 1 : 出力

■ ポート3モードレジスタ (P3MD : 0x0000A04C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P3MD50	-		P3MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P3MD31-0		-			P3MD20	-		P3MD11-0		-		P3MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P3MD50	P35端子の機能選択 0: 汎用ポート機能(P35端子) 1: 特殊機能(SBI3端子)
19-18	-	必ず"0"を読出します。
17-16	P3MD41-0	P34端子の機能選択 0X: 汎用ポート機能(P34端子) 10: 特殊機能(SBT3_A端子) 11: 特殊機能(SBO3_B端子)
15-14	-	必ず"0"を読出します。
13-12	P3MD31-0	P33端子の機能選択 0X: 汎用ポート機能(P33端子) 10: 特殊機能(SBO3_A端子) 11: 特殊機能(SBT3_B端子)
11-9	-	必ず"0"を読出します。
8	P3MD20	P32端子の機能選択 0: 汎用ポート機能(P32端子) 1: 特殊機能(SBI2端子)
7-6	-	必ず"0"を読出します。
5-4	P3MD11-0	P31端子の機能選択 0X: 汎用ポート機能(P31端子) 10: 特殊機能(SBT2_A端子) 11: 特殊機能(SBO2_B端子)
3-2	-	必ず"0"を読出します。
1-0	P3MD01-0	P30端子の機能選択 0X: 汎用ポート機能(P30端子) 10: 特殊機能(SBO2_A端子) 11: 特殊機能(SBT2_B端子)

■ ポート3プルアップ制御レジスタ (P3PLU : 0x0000A033) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P35R	P34R	P33R	P32R	P31R	P30R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P35R	P35端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P34R	P34端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P33R	P33端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P32R	P32端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P31R	P31端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P30R	P30端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート3Nchオープンドレイン制御レジスタ (P3ODC : 0x0000A093) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P3ODC4	P3ODC3	-	P3ODC1	P3ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P3ODC4	P34端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT3_A、SBO3_B端子選択時のみ有効
3	P3ODC3	P33端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO3_A、SBT3_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P3ODC1	P31端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT2_A、SBO2_B端子選択時のみ有効
0	P3ODC0	P30端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO2_A、SBT2_B端子選択時のみ有効

16.6 ポート4

ポート4の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P4MDレジスタ）（表16.6.1参照）

・端子の入出力制御が可能（P4DIRレジスタ）（表16.6.1参照）

・プルアップ抵抗付加の選択が可能（P4PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P4ODCレジスタ）

ポート4の端子機能とレジスタ設定値を表16.6.1に示します。

表 16.6.1 ポート 4 の端子機能とレジスタ設定値

端子名	端子機能	P4MDレジスタ/P4MD01, P4MD00 ビット	P4DIRレジスタ/P40Dビット
P40	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM6IO入力	01	0
	TM6IO出力	01	1
	SBCS3入力	1X	0
	SBCS3出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD11, P4MD10 ビット	P4DIRレジスタ/P41Dビット
P41	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM7IO入力	01	0
	TM7IO出力	01	1
	SBT4入力 (*1)	1X	0
	SBT4出力 (*1)	1X	1

端子名	端子機能	P4MDレジスタ/P4MD21, P4MD20 ビット	P4DIRレジスタ/P42Dビット
P42	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM2IO入力	01	0
	TM2IO出力	01	1
	SBO4入力 (*1)	10	0
	SBO4出力 (*1)	10	1
	CANTXD_B出力	11	1

端子名	端子機能	P4MDレジスタ/P4MD31, P4MD30 ビット	P4DIRレジスタ/P43Dビット
P43	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM3IO入力	01	0
	TM3IO出力	01	1
	SBI4入力 (*1)	10	0
	CANRXD_B入力	11	0

端子名	端子機能	P4MDレジスタ/P4MD41, P4MD40 ビット	P4DIRレジスタ/P44Dビット
P44	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM8IO入力	01	0
	TM8IO出力	01	1
	PWMBCST0出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD51, P4MD50 ビット	P4DIRレジスタ/P45Dビット
P45	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM9IO入力	01	0
	TM9IO出力	01	1
	PWMBCST1出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD61, P4MD60 ビット	P4DIRレジスタ/P46Dビット
P46	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM10IO入力	01	0
	TM10IO出力	01	1
	PWMBCST2出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD70ビット	P4DIRレジスタ/P47Dビット
P47	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM11IO入力	1	0
	TM11IO出力	1	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

16.6.1　ポート4の制御レジスタ

ポート4の制御レジスタの一覧を表16.6.2に示します。

表 16.6.2 ポート 4 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート4	P4OUT	0x0000A004	R/W	8	ポート4出力データレジスタ	XVI-35
	P4IN	0x0000A014	R	8	ポート4入力データレジスタ	XVI-36
	P4DIR	0x0000A024	R/W	8	ポート4入出力制御レジスタ	XVI-37
	P4MD	0x0000A050	R/W	8, 16, 32	ポート4モードレジスタ	XVI-38
	P4PLU	0x0000A034	R/W	8	ポート4プルアップ制御レジスタ	XVI-39
	P4ODC	0x0000A094	R/W	8	ポート4Nchオープンドレイン制御レジスタ	XVI-40

■ ポート4出力データレジスタ (P4OUT : 0x0000A004) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P470	P460	P450	P440	P430	P420	P410	P400
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P470	P47端子の出力データを設定してください。
6	P460	P46端子の出力データを設定してください。
5	P450	P45端子の出力データを設定してください。
4	P440	P44端子の出力データを設定してください。
3	P430	P43端子の出力データを設定してください。
2	P420	P42端子の出力データを設定してください。
1	P410	P41端子の出力データを設定してください。
0	P400	P40端子の出力データを設定してください。

端子にデータを出力するときは、P4OUTレジスタにデータを書込んだ後、P4DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート4入力データレジスタ (P4IN : 0x0000A014) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47I	P46I	P45I	P44I	P43I	P42I	P41I	P40I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P47I	P47端子の入力データを読出します。
6	P46I	P46端子の入力データを読出します。
5	P45I	P45端子の入力データを読出します。
4	P44I	P44端子の入力データを読出します。
3	P43I	P43端子の入力データを読出します。
2	P42I	P42端子の入力データを読出します。
1	P41I	P41端子の入力データを読出します。
0	P40I	P40端子の入力データを読出します。

端子の入力データを読出す時は、P4DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P4INレジスタの値を読出してください。

■ ポート4入出力制御レジスタ (P4DIR : 0x0000A024) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47D	P47端子の入出力制御 0 : 入力 1 : 出力
6	P46D	P46端子の入出力制御 0 : 入力 1 : 出力
5	P45D	P45端子の入出力制御 0 : 入力 1 : 出力
4	P44D	P44端子の入出力制御 0 : 入力 1 : 出力
3	P43D	P43端子の入出力制御 0 : 入力 1 : 出力
2	P42D	P42端子の入出力制御 0 : 入力 1 : 出力
1	P41D	P41端子の入出力制御 0 : 入力 1 : 出力
0	P40D	P40端子の入出力制御 0 : 入力 1 : 出力

■ ポート4モードレジスタ (P4MD : 0x0000A050) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P4MD70	-		P4MD61-0		-		P4MD51-0		-		P4MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P4MD31-0		-		P4MD21-0		-		P4MD11-0		-		P4MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P4MD70	P47端子の機能選択 0: 汎用ポート機能(P47端子) 1: 特殊機能(TM11IO端子)
27-26	-	必ず"0"を読出します。
25-24	P4MD61-0	P46端子の機能選択 00: 汎用ポート機能(P46端子) 01: 特殊機能(TM10IO端子) 1X: 特殊機能(PWMBCST2端子)
23-22	-	必ず"0"を読出します。
21-20	P4MD51-0	P45端子の機能選択 00: 汎用ポート機能(P45端子) 01: 特殊機能(TM9IO端子) 1X: 特殊機能(PWMBCST1端子)
19-18	-	必ず"0"を読出します。
17-16	P4MD41-0	P44端子の機能選択 00: 汎用ポート機能(P44端子) 01: 特殊機能(TM8IO端子) 1X: 特殊機能(PWMBCST0端子)
15-14	-	必ず"0"を読出します。
13-12	P4MD31-0	P43端子の機能選択 00: 汎用ポート機能(P43端子) 01: 特殊機能(TM3IO端子) 10: 特殊機能(SBI4端子) 11: 特殊機能(CANRXD_B端子)
11-10	-	必ず"0"を読出します。
9-8	P4MD21-0	P42端子の機能選択 00: 汎用ポート機能(P42端子) 01: 特殊機能(TM2IO端子) 10: 特殊機能(SBO4端子) 11: 特殊機能(CANTXD_B端子)
7-6	-	必ず"0"を読出します。
5-4	P4MD11-0	P41端子の機能選択 00: 汎用ポート機能(P41端子) 01: 特殊機能(TM7IO端子) 1X: 特殊機能(SBT4端子)
3-2	-	必ず"0"を読出します。
1-0	P4MD01-0	P40端子の機能選択 00: 汎用ポート機能(P40端子) 01: 特殊機能(TM6IO端子) 1X: 特殊機能(SBCS3端子)

■ ポート4プルアップ制御レジスタ (P4PLU : 0x0000A034) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47R	P46R	P45R	P44R	P43R	P42R	P41R	P40R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47R	P47端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P46R	P46端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P45R	P45端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P44R	P44端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P43R	P43端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P42R	P42端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P41R	P41端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P40R	P40端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート4Nchオープンドレイン制御レジスタ (P4ODC : 0x0000A094) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P4ODC2	P4ODC1	P4ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R/W	R/W

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P4ODC2	P42端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO4端子、CANTXD_B端子選択時のみ有効
1	P4ODC1	P41端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT4端子選択時のみ有効
0	P4ODC0	P40端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBCS3端子選択時のみ有効

16.7 ポート5

ポート5の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P5MDレジスタ）（表16.7.1参照）

・端子の入出力制御が可能（P5DIRレジスタ）（表16.7.1参照）

・プルアップ抵抗付加の選択が可能（P5PLUレジスタ）

ポート5の端子機能とレジスタ設定値を表16.7.1に示します。

表 16.7.1 ポート 5 の端子機能とレジスタ設定値

端子名	端子機能	P5MDレジスタ/P5MD00ビット	P5DIRレジスタ/P50Dビット
P50	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM16AIO入力	1	0
	TM16AIO出力	1	1

端子名	端子機能	P5MDレジスタ/P5MD10ビット	P5DIRレジスタ/P51Dビット
P51	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM16BIO入力	1	0
	TM16BIO出力	1	1

端子名	端子機能	P5MDレジスタ/P5MD21, P5MD20ビット	P5DIRレジスタ/P52Dビット
P52	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16AO出力	01	1
	PWM10_B	1X	1

端子名	端子機能	P5MDレジスタ/P5MD31, P5MD30ビット	P5DIRレジスタ/P53Dビット
P53	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16BO出力	01	1
	PWM11_B	1X	1

端子名	端子機能	P5MDレジスタ/P5MD41, P5MD40 ビット	P5DIRレジスタ/P54Dビット
P54	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17AIO入力	01	0
	TM17AIO出力	01	1
	PWM12_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD51, P5MD50 ビット	P5DIRレジスタ/P55Dビット
P55	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17BIO入力	01	0
	TM17BIO出力	01	1
	PWM13_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD61, P5MD60 ビット	P5DIRレジスタ/P56Dビット
P56	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17AO出力	01	1
	PWM14_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD71, P5MD70 ビット	P5DIRレジスタ/P57Dビット
P57	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17BO出力	01	1
	PWM15_B出力	1X	1

16.7.1　ポート5の制御レジスタ

ポート5の制御レジスタの一覧を表16.7.2に示します。

表 16.7.2 ポート 5 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート5	P5OUT	0x0000A005	R/W	8	ポート5出力データレジスタ	XVI-43
	P5IN	0x0000A015	R	8	ポート5入力データレジスタ	XVI-44
	P5DIR	0x0000A025	R/W	8	ポート5入出力制御レジスタ	XVI-45
	P5MD	0x0000A054	R/W	8, 16, 32	ポート5モードレジスタ	XVI-46
	P5PLU	0x0000A035	R/W	8	ポート5プルアップ制御レジスタ	XVI-47

■ ポート5出力レジスタ (P5OUT : 0x0000A005) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P570	P560	P550	P540	P530	P520	P510	P500
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P570	P57端子の出力データを設定してください。
6	P560	P56端子の出力データを設定してください。
5	P550	P55端子の出力データを設定してください。
4	P540	P54端子の出力データを設定してください。
3	P530	P53端子の出力データを設定してください。
2	P520	P52端子の出力データを設定してください。
1	P510	P51端子の出力データを設定してください。
0	P500	P50端子の出力データを設定してください。

端子にデータを出力するときは、P5OUTレジスタにデータを書込んだ後、P5DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート5入力データレジスタ (P5IN : 0x0000A015) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57I	P56I	P55I	P54I	P53I	P52I	P51I	P50I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P57I	P57端子の入力データを読出します。
6	P56I	P56端子の入力データを読出します。
5	P55I	P55端子の入力データを読出します。
4	P54I	P54端子の入力データを読出します。
3	P53I	P53端子の入力データを読出します。
2	P52I	P52端子の入力データを読出します。
1	P51I	P51端子の入力データを読出します。
0	P50I	P50端子の入力データを読出します。

端子の入力データを読出す時は、P5DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P5INレジスタの値を読出してください。

■ ポート5入出力制御レジスタ (P5DIR : 0x0000A025) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P57D	P57端子の入出力制御 0 : 入力 1 : 出力
6	P56D	P56端子の入出力制御 0 : 入力 1 : 出力
5	P55D	P55端子の入出力制御 0 : 入力 1 : 出力
4	P54D	P54端子の入出力制御 0 : 入力 1 : 出力
3	P53D	P53端子の入出力制御 0 : 入力 1 : 出力
2	P52D	P52端子の入出力制御 0 : 入力 1 : 出力
1	P51D	P51端子の入出力制御 0 : 入力 1 : 出力
0	P50D	P50端子の入出力制御 0 : 入力 1 : 出力

■ ポート5モードレジスタ (P5MD : 0x0000A054) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-		P5MD71-0		-		P5MD61-0		-		P5MD51-0		-		P5MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P5MD31-0		-		P5MD21-0		-			P5MD10	-			P5MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-30	-	必ず"0"を読出します。
29-28	P5MD71-0	P57端子の機能選択 00: 汎用ポート機能(P57端子) 01: 特殊機能(TM17BO端子) 1X: 特殊機能(PWM15_B端子)
27-26	-	必ず"0"を読出します。
25-24	P5MD61-0	P56端子の機能選択 00: 汎用ポート機能(P56端子) 01: 特殊機能(TM17AO端子) 1X: 特殊機能(PWM14_B端子)
23-22	-	必ず"0"を読出します。
21-20	P5MD51-0	P55端子の機能選択 00: 汎用ポート機能(P55端子) 01: 特殊機能(TM17BIO端子) 1X: 特殊機能(PWM13_B端子)
19-18	-	必ず"0"を読出します。
17-16	P5MD41-0	P54端子の機能選択 00: 汎用ポート機能(P54端子) 01: 特殊機能(TM17AIO端子) 1X: 特殊機能(PWM12_B端子)
15-14	-	必ず"0"を読出します。
13-12	P5MD31-0	P53端子の機能選択 00: 汎用ポート機能(P53端子) 01: 特殊機能(TM16BO端子) 1X: 特殊機能(PWM11_B端子)
11-10	-	必ず"0"を読出します。
9-8	P5MD21-0	P52端子の機能選択 00: 汎用ポート機能(P52端子) 01: 特殊機能(TM16AO端子) 1X: 特殊機能(PWM10_B端子)
7-5	-	必ず"0"を読出します。
4	P5MD10	P51端子の機能選択 0: 汎用ポート機能(P51端子) 1: 特殊機能(TM16BIO端子)
3-1	-	必ず"0"を読出します。
0	P5MD00	P50端子の機能選択 0: 汎用ポート機能(P50端子) 1: 特殊機能(TM16AIO端子)

■ ポート5プルアップ制御レジスタ (P5PLU : 0x0000A035) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57R	P56R	P55R	P54R	P53R	P52R	P51R	P50R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P57R	P57端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P56R	P56端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P55R	P55端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P54R	P54端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P53R	P53端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P52R	P52端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P51R	P51端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P50R	P50端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.8 ポート6

ポート6の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P6MDレジスタ）（表16.8.1参照）

・端子の入出力制御が可能（P6DIRレジスタ）（表16.8.1参照）

・プルアップ抵抗付加の選択が可能（P6PLUレジスタ）

ポート6の端子機能とレジスタ設定値を表16.8.1に示します。

表 16.8.1 ポート 6 の端子機能とレジスタ設定値

端子名	端子機能	P6MDレジスタ/P6MD0ビット	P6DIRレジスタ/P60Dビット
P60	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM18AIO入力	1	0
	TM18AIO出力	1	1

端子名	端子機能	P6MDレジスタ/P6MD1ビット	P6DIRレジスタ/P61Dビット
P61	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM18BIO入力	1	0
	TM18BIO出力	1	1

端子名	端子機能	P6MDレジスタ/P6MD21, P6MD20ビット	P6DIRレジスタ/P62Dビット
P62	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18AO出力	01	1
	PWM00_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD31, P6MD30ビット	P6DIRレジスタ/P63Dビット
P63	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18BO出力	01	1
	PWM01_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD41, P6MD40 ビット	P6DIRレジスタ/P64Dビット
P64	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19AIO入力	01	0
	TM19AIO出力	01	1
	PWMO2_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD51, P6MD50 ビット	P6DIRレジスタ/P65Dビット
P65	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19BIO入力	01	0
	TM19BIO出力	01	1
	PWMO3_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD61, P6MD60 ビット	P6DIRレジスタ/P66Dビット
P66	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19AO出力	01	1
	PWMO4_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD71, P6MD70 ビット	P6DIRレジスタ/P67Dビット
P67	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19BO出力	01	1
	PWMO5_B出力	1X	1

16.8.1　ポート6の制御レジスタ

ポート6の制御レジスタの一覧を表16.8.2に示します。

表16.8.2 ポート6の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート6	P6OUT	0x0000A006	R/W	8	ポート6出力データレジスタ	XVI-50
	P6IN	0x0000A016	R	8	ポート6入力データレジスタ	XVI-51
	P6DIR	0x0000A026	R/W	8	ポート6入出力制御レジスタ	XVI-52
	P6MD	0x0000A058	R/W	8, 16, 32	ポート6モードレジスタ	XVI-53
	P6PLU	0x0000A036	R/W	8	ポート6プルアップ制御レジスタ	XVI-54

■ ポート6出力データレジスタ（P6OUT : 0x0000A006）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P670	P660	P650	P640	P630	P620	P610	P600
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P670	P67端子の出力データを設定してください。
6	P660	P66端子の出力データを設定してください。
5	P650	P65端子の出力データを設定してください。
4	P640	P64端子の出力データを設定してください。
3	P630	P63端子の出力データを設定してください。
2	P620	P62端子の出力データを設定してください。
1	P610	P61端子の出力データを設定してください。
0	P600	P60端子の出力データを設定してください。

端子にデータを出力するときは、P6OUTレジスタにデータを書込んだ後、P6DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート6入力データレジスタ (P6IN : 0x0000A016) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P67I	P66I	P65I	P64I	P63I	P62I	P61I	P60I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P67I	P67端子の入力データを読出します。
6	P66I	P66端子の入力データを読出します。
5	P65I	P65端子の入力データを読出します。
4	P64I	P64端子の入力データを読出します。
3	P63I	P63端子の入力データを読出します。
2	P62I	P62端子の入力データを読出します。
1	P61I	P61端子の入力データを読出します。
0	P60I	P60端子の入力データを読出します。

端子の入力データを読出す時は、P6DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P6INレジスタの値を読出してください。

■ ポート6入出力制御レジスタ (P6DIR : 0x0000A026) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P67D	P67端子の入出力制御 0 : 入力 1 : 出力
6	P66D	P66端子の入出力制御 0 : 入力 1 : 出力
5	P65D	P65端子の入出力制御 0 : 入力 1 : 出力
4	P64D	P64端子の入出力制御 0 : 入力 1 : 出力
3	P63D	P63端子の入出力制御 0 : 入力 1 : 出力
2	P62D	P62端子の入出力制御 0 : 入力 1 : 出力
1	P61D	P61端子の入出力制御 0 : 入力 1 : 出力
0	P60D	P60端子の入出力制御 0 : 入力 1 : 出力

■ ポート6モードレジスタ (P6MD : 0x0000A058) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-		P6MD71-0		-		P6MD61-0		-		P6MD51-0		-		P6MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P6MD31-0		-		P6MD21-0		-			P6MD10	-			P6MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-30	-	必ず"0"を読出します。
29-28	P6MD71-0	P67端子の機能選択 00: 汎用ポート機能(P67端子) 01: 特殊機能(TM19BO端子) 1X: 特殊機能(PWM05_B端子)
27-26	-	必ず"0"を読出します。
25-24	P6MD61-0	P66端子の機能選択 00: 汎用ポート機能(P66端子) 01: 特殊機能(TM19AO端子) 1X: 特殊機能(PWM04_B端子)
23-22	-	必ず"0"を読出します。
21-20	P6MD51-0	P65端子の機能選択 00: 汎用ポート機能(P65端子) 01: 特殊機能(TM19BIO端子) 1X: 特殊機能(PWM03_B端子)
19-18	-	必ず"0"を読出します。
17-16	P6MD41-0	P64端子の機能選択 00: 汎用ポート機能(P64端子) 01: 特殊機能(TM19AIO端子) 1X: 特殊機能(PWM02_B端子)
15-14	-	必ず"0"を読出します。
13-12	P6MD31-0	P63端子の機能選択 00: 汎用ポート機能(P63端子) 01: 特殊機能(TM18BO端子) 1X: 特殊機能(PWM01_B端子)
11-10	-	必ず"0"を読出します。
9-8	P6MD21-0	P62端子の機能選択 00: 汎用ポート機能(P62端子) 01: 特殊機能(TM18AO端子) 1X: 特殊機能(PWM00_B端子)
7-5	-	必ず"0"を読出します。
4	P6MD10	P61端子の機能選択 0: 汎用ポート機能(P61端子) 1: 特殊機能(TM18BIO端子)
3-1	-	必ず"0"を読出します。
0	P6MD00	P60端子の機能選択 0: 汎用ポート機能(P60端子) 1: 特殊機能(TM18AIO端子)

■ ポート6プルアップ制御レジスタ (P6PLU : 0x0000A036) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P67R	P66R	P65R	P64R	P63R	P62R	P61R	P60R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P67R	P67端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P66R	P66端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P65R	P65端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P64R	P64端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P63R	P63端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P62R	P62端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P61R	P61端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P60R	P60端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.9 ポート7

ポート7の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P7MDレジスタ）（表16.9.1参照）

・端子の入出力制御が可能（P7DIRレジスタ）（表16.9.1参照）

・プルアップ抵抗付加の選択が可能（P7PLUレジスタ）

ポート7の端子機能とレジスタ設定値を表16.9.1に示します。

表 16.9.1 ポート 7 の端子機能とレジスタ設定値

端子名	端子機能	P7MDレジスタ/P7MD00ビット	P7DIRレジスタ/P70Dビット
P70	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM20AIO入力	1	0
	TM20AIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD10ビット	P7DIRレジスタ/P71Dビット
P71	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM20BIO入力	1	0
	TM20BIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD20ビット	P7DIRレジスタ/P72Dビット
P72	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM21AIO入力	1	0
	TM21AIO出力	1	1

端子名	端子機能	P7MDレジスタ/P1MD30ビット	P7DIRレジスタ/P73Dビット
P73	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM21BIO入力	1	0
	TM21BIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD40ビット	P7DIRレジスタ/P74Dビット
P74	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM22AIO入力	1	0
	TM22AIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD50ビット	P7DIRレジスタ/P75Dビット
P75	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM22BIO入力	1	0
	TM22BIO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD60ビット	P7DIRレジスタ/P76Dビット
P76	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM28IO入力	1	0
	TM28IO出力	1	1

端子名	端子機能	P7MDレジスタ/P7MD70ビット	P7DIRレジスタ/P77Dビット
P77	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM29IO入力	1	0
	TM29IO出力	1	1

16.9.1　ポート7の制御レジスタ

ポート7の制御レジスタの一覧を表16.9.2に示します。

表 16.9.2 ポート 7 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート7	P7OUT	0x0000A007	R/W	8	ポート7出力データレジスタ	XVI-57
	P7IN	0x0000A017	R	8	ポート7入力データレジスタ	XVI-58
	P7DIR	0x0000A027	R/W	8	ポート7入出力制御レジスタ	XVI-59
	P7MD	0x0000A05C	R/W	8, 16, 32	ポート7モードレジスタ	XVI-60
	P7PLU	0x0000A037	R/W	8	ポート7プルアップ制御レジスタ	XVI-61

■ ポート7出力データレジスタ (P7OUT : 0x0000A007) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P770	P760	P750	P740	P730	P720	P710	P700
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P770	P77端子の出力データを設定してください。
6	P760	P76端子の出力データを設定してください。
5	P750	P75端子の出力データを設定してください。
4	P740	P74端子の出力データを設定してください。
3	P730	P73端子の出力データを設定してください。
2	P720	P72端子の出力データを設定してください。
1	P710	P71端子の出力データを設定してください。
0	P700	P70端子の出力データを設定してください。

端子にデータを出力するときは、P7OUTレジスタにデータを書込んだ後、P7DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート7入力データレジスタ (P7IN : 0x0000A017) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P77I	P76I	P75I	P74I	P73I	P72I	P71I	P70I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P77I	P77端子の入力データを読出します。
6	P76I	P76端子の入力データを読出します。
5	P75I	P75端子の入力データを読出します。
4	P74I	P74端子の入力データを読出します。
3	P73I	P73端子の入力データを読出します。
2	P72I	P72端子の入力データを読出します。
1	P71I	P71端子の入力データを読出します。
0	P70I	P70端子の入力データを読出します。

端子の入力データを読出す時は、P7DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P7INレジスタの値を読出してください。

■ ポート7入出力制御レジスタ (P7DIR : 0x0000A027) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P77D	P76D	P75D	P74D	P73D	P72D	P71D	P70D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P77D	P77端子の入出力制御 0 : 入力 1 : 出力
6	P76D	P76端子の入出力制御 0 : 入力 1 : 出力
5	P75D	P75端子の入出力制御 0 : 入力 1 : 出力
4	P74D	P74端子の入出力制御 0 : 入力 1 : 出力
3	P73D	P73端子の入出力制御 0 : 入力 1 : 出力
2	P72D	P72端子の入出力制御 0 : 入力 1 : 出力
1	P71D	P71端子の入出力制御 0 : 入力 1 : 出力
0	P70D	P70端子の入出力制御 0 : 入力 1 : 出力

■ ポート7モードレジスタ (P7MD : 0x0000A05C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P7MD70	-			P7MD60	-			P7MD50	-			P7MD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			P7MD30	-			P7MD20	-			P7MD10	-			P7MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P7MD70	P77端子の機能選択 0: 汎用ポート機能(P77端子) 1: 特殊機能(TM29IO端子)
27-25	-	必ず"0"を読出します。
24	P7MD60	P76端子の機能選択 0: 汎用ポート機能(P76端子) 1: 特殊機能(TM28IO端子)
23-21	-	必ず"0"を読出します。
20	P7MD50	P75端子の機能選択 0: 汎用ポート機能(P75端子) 1: 特殊機能(TM22BIO端子)
19-17	-	必ず"0"を読出します。
16	P7MD40	P74端子の機能選択 0: 汎用ポート機能(P74端子) 1: 特殊機能(TM22AIO端子)
15-13	-	必ず"0"を読出します。
12	P7MD30	P73端子の機能選択 0: 汎用ポート機能(P73端子) 1: 特殊機能(TM21BIO端子)
11-9	-	必ず"0"を読出します。
8	P7MD20	P72端子の機能選択 0: 汎用ポート機能(P72端子) 1: 特殊機能(TM21AIO端子)
7-5	-	必ず"0"を読出します。
4	P7MD10	P71端子の機能選択 0: 汎用ポート機能(P71端子) 1: 特殊機能(TM20BIO端子)
3-1	-	必ず"0"を読出します。
0	P7MD00	P70端子の機能選択 0: 汎用ポート機能(P70端子) 1: 特殊機能(TM20AIO端子)

■ ポート7プルアップ制御レジスタ (P7PLU : 0x0000A037) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P77R	P76R	P75R	P74R	P73R	P72R	P71R	P70R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P77R	P77端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P76R	P76端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P75R	P75端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P74R	P74端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P73R	P73端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P72R	P72端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P71R	P71端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P70R	P70端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.10ポート8

ポート8の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P8MDレジスタ）（表16.10.1参照）

・端子の入出力制御が可能（P8DIRレジスタ）（表16.10.1参照）

・プルアップ抵抗付加の選択が可能（P8PLUレジスタ）

ポート8の端子機能とレジスタ設定値を表16.10.1に示します。

表 16.10.1 ポート 8 の端子機能とレジスタ設定値

端子名	端子機能	P8MDレジスタ/P8MD01, P8MD00ビット	P8DIRレジスタ/P80Dビット
P80	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM00_A出力	01	1
	TM24AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD11, P8MD10ビット	P8DIRレジスタ/P81Dビット
P81	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM01_A出力	01	1
	TM24BO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD21, P8MD20ビット	P8DIRレジスタ/P82Dビット
P82	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM02_A出力	01	1
	TM18AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD31, P8MD30ビット	P8DIRレジスタ/P83Dビット
P83	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM03_A出力	01	1
	TM18BO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD41, P8MD40 ビット	P8DIRレジスタ/P84Dビット
P84	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM04_A出力	01	1
	TM19AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD51, P8MD50 ビット	P8DIRレジスタ/P85Dビット
P85	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM05_A出力	01	1
	TM19BO_HR出力	1X	1

16.10.1 ポート8の制御レジスタ

ポート8の制御レジスタの一覧を表16.10.2に示します。

表16.10.2 ポート8の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート8	P8OUT	0x0000A008	R/W	8	ポート8出力データレジスタ	XVI-64
	P8IN	0x0000A018	R	8	ポート8入力データレジスタ	XVI-65
	P8DIR	0x0000A028	R/W	8	ポート8入出力制御レジスタ	XVI-65
	P8MD	0x0000A060	R/W	8, 16, 32	ポート8モードレジスタ	XVI-66
	P8PLU	0x0000A038	R/W	8	ポート8プルアップ制御レジスタ	XVI-67

■ ポート8出力データレジスタ（P8OUT : 0x0000A008）[8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P850	P840	P830	P820	P810	P800
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P850	P85端子の出力データを設定してください。
4	P840	P84端子の出力データを設定してください。
3	P830	P83端子の出力データを設定してください。
2	P820	P82端子の出力データを設定してください。
1	P810	P81端子の出力データを設定してください。
0	P800	P80端子の出力データを設定してください。

端子にデータを出力するときは、P8OUTレジスタにデータを書込んだ後、P8DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート8入力データレジスタ (P8IN : 0x0000A018) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85I	P84I	P83I	P82I	P81I	P80I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85I	P85端子の入力データを読出します。
4	P84I	P84端子の入力データを読出します。
3	P83I	P83端子の入力データを読出します。
2	P82I	P82端子の入力データを読出します。
1	P81I	P81端子の入力データを読出します。
0	P80I	P80端子の入力データを読出します。

端子の入力データを読出す時は、P8DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P8INレジスタの値を読出してください。

■ ポート8入出力制御レジスタ (P8DIR : 0x0000A028) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85D	P84D	P83D	P82D	P81D	P80D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85D	P85端子の入出力制御 0 : 入力 1 : 出力
4	P84D	P84端子の入出力制御 0 : 入力 1 : 出力
3	P83D	P83端子の入出力制御 0 : 入力 1 : 出力
2	P82D	P82端子の入出力制御 0 : 入力 1 : 出力
1	P81D	P81端子の入出力制御 0 : 入力 1 : 出力
0	P80D	P80端子の入出力制御 0 : 入力 1 : 出力

■ ポート8モードレジスタ (P8MD : 0x0000A060) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P8MD51-0		-		P8MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P8MD31-0		-		P8MD21-0		-		P8MD11-0		-		P8MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P8MD51-0	P85端子の機能選択 00: 汎用ポート機能(P85端子) 01: 特殊機能(PWM05_A端子) 1X: 特殊機能(TM19BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P8MD41-0	P84端子の機能選択 00: 汎用ポート機能(P84端子) 01: 特殊機能(PWM04_A端子) 1X: 特殊機能(TM19AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P8MD31-0	P83端子の機能選択 00: 汎用ポート機能(P83端子) 01: 特殊機能(PWM03_A端子) 1X: 特殊機能(TM18BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P8MD21-0	P82端子の機能選択 00: 汎用ポート機能(P82端子) 01: 特殊機能(PWM02_A端子) 1X: 特殊機能(TM18AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P8MD11-0	P81端子の機能選択 00: 汎用ポート機能(P81端子) 01: 特殊機能(PWM01_A端子) 1X: 特殊機能(TM24BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P8MD01-0	P80端子の機能選択 00: 汎用ポート機能(P80端子) 01: 特殊機能(PWM00_A端子) 1X: 特殊機能(TM24AO_HR端子)

■ ポート8プルアップ制御レジスタ (P8PLU : 0x0000A038) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85R	P84R	P83R	P82R	P81R	P80R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85R	P85端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P84R	P84端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P83R	P83端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P82R	P82端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P81R	P81端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P80R	P80端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.11ポート9

ポート9の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P9MDレジスタ）（表16.11.1参照）

・端子の入出力制御が可能（P9DIRレジスタ）（表16.11.1参照）

・プルアップ抵抗付加の選択が可能（P9PLUレジスタ）

ポート9の端子機能とレジスタ設定値を表16.11.1に示します。

表 16.11.1 ポート 9 の端子機能とレジスタ設定値

端子名	端子機能	P9MDレジスタ/P9MD01, P9MD00ビット	P9DIRレジスタ/P90Dビット
P90	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM10_A出力	01	1
	TM16AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD11, P9MD10ビット	P9DIRレジスタ/P91Dビット
P91	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM11_A出力	01	1
	TM16BO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD21, P9MD20ビット	P9DIRレジスタ/P92Dビット
P92	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM12_A出力	01	1
	TM17AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD31, P9MD30ビット	P9DIRレジスタ/P93Dビット
P93	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM13_A出力	01	1
	TM17BO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD41, P9MD40 ビット	P9DIRレジスタ/P94Dビット
P94	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM14_A出力	01	1
	TM25AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD51, P9MD50 ビット	P9DIRレジスタ/P95Dビット
P95	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM15_A出力	01	1
	TM25BO_HR出力	1X	1

16.11.1 ポート9の制御レジスタ

ポート9の制御レジスタの一覧を表16.11.2に示します。

表 16.11.2 ポート 9 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート9	P9OUT	0x0000A009	R/W	8	ポート9出力データレジスタ	XVI-70
	P9IN	0x0000A019	R	8	ポート9入力データレジスタ	XVI-71
	P9DIR	0x0000A029	R/W	8	ポート9入出力制御レジスタ	XVI-71
	P9MD	0x0000A064	R/W	8, 16, 32	ポート9モードレジスタ	XVI-72
	P9PLU	0x0000A039	R/W	8	ポート9プルアップ制御レジスタ	XVI-73

■ ポート9出力データレジスタ (P9OUT : 0x0000A009) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P950	P940	P930	P920	P910	P900
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P950	P95端子の出力データを設定してください。
4	P940	P94端子の出力データを設定してください。
3	P930	P93端子の出力データを設定してください。
2	P920	P92端子の出力データを設定してください。
1	P910	P91端子の出力データを設定してください。
0	P900	P90端子の出力データを設定してください。

端子にデータを出力するときは、P9OUTレジスタにデータを書込んだ後、P9DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート9入力データレジスタ (P9IN : 0x0000A019) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95I	P94I	P93I	P92I	P91I	P90I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95I	P95端子の入力データを読出します。
4	P94I	P94端子の入力データを読出します。
3	P93I	P93端子の入力データを読出します。
2	P92I	P92端子の入力データを読出します。
1	P91I	P91端子の入力データを読出します。
0	P90I	P90端子の入力データを読出します。

端子の入力データを読出す時は、P9DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P9INレジスタの値を読出してください。

■ ポート9入出力制御レジスタ (P9DIR : 0x0000A029) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95D	P94D	P93D	P92D	P91D	P90D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95D	P95端子の入出力制御 0 : 入力 1 : 出力
4	P94D	P94端子の入出力制御 0 : 入力 1 : 出力
3	P93D	P93端子の入出力制御 0 : 入力 1 : 出力
2	P92D	P92端子の入出力制御 0 : 入力 1 : 出力
1	P91D	P91端子の入出力制御 0 : 入力 1 : 出力
0	P90D	P90端子の入出力制御 0 : 入力 1 : 出力

■ ポート9モードレジスタ (P9MD : 0x0000A064) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P9MD51-0		-		P9MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P9MD31-0		-		P9MD21-0		-		P9MD11-0		-		P9MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P9MD51-0	P95端子の機能選択 00: 汎用ポート機能(P95端子) 01: 特殊機能(PWM15_A端子) 1X: 特殊機能(TM25BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P9MD41-0	P94端子の機能選択 00: 汎用ポート機能(P94端子) 01: 特殊機能(PWM14_A端子) 1X: 特殊機能(TM25AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P9MD31-0	P93端子の機能選択 00: 汎用ポート機能(P93端子) 01: 特殊機能(PWM13_A端子) 1X: 特殊機能(TM17BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P9MD21-0	P92端子の機能選択 00: 汎用ポート機能(P92端子) 01: 特殊機能(PWM12_A端子) 1X: 特殊機能(TM17AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P9MD11-0	P91端子の機能選択 00: 汎用ポート機能(P91端子) 01: 特殊機能(PWM11_A端子) 1X: 特殊機能(TM16BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P9MD01-0	P90端子の機能選択 00: 汎用ポート機能(P90端子) 01: 特殊機能(PWM10_A端子) 1X: 特殊機能(TM16AO_HR端子)

■ ポート9プルアップ制御レジスタ (P9PLU : 0x0000A039) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95R	P94R	P93R	P92R	P91R	P90R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95R	P95端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P94R	P94端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P93R	P93端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P92R	P92端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P91R	P91端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P90R	P90端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.12ポートA

ポートAの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PAMDレジスタ）（表16.12.1参照）

・端子の入出力制御が可能（PADIRレジスタ）（表16.12.1参照）

・プルアップ抵抗付加の選択が可能（PAPLUレジスタ）

ポートAの端子機能とレジスタ設定値を表16.12.1に示します。

表 16.12.1 ポート A の端子機能とレジスタ設定値

端子名	端子機能	PAMDレジスタ/PAMD00ビット	PADIRレジスタ/PA0Dビット
PA0	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM20出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD10ビット	PADIRレジスタ/PA1Dビット
PA1	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM21出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD20ビット	PADIRレジスタ/PA2Dビット
PA2	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM22出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD30ビット	PADIRレジスタ/PA3Dビット
PA3	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM23出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD40ビット	PADIRレジスタ/PA4Dビット
PA4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM24出力	1	1

端子名	端子機能	PAMDレジスタ/PAMD50ビット	PADIRレジスタ/PA5Dビット
PA5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM25出力	1	1

16.12.1 ポートAの制御レジスタ

ポートAの制御レジスタの一覧を表16.12.2に示します。

表 16.12.2 ポート A の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートA	PAOUT	0x0000A00A	R/W	8	ポートA出力データレジスタ	XVI-76
	PAIN	0x0000A01A	R	8	ポートA入力データレジスタ	XVI-77
	PADIR	0x0000A02A	R/W	8	ポートA入出力制御レジスタ	XVI-77
	PAMD	0x0000A068	R/W	8, 16, 32	ポートAモードレジスタ	XVI-78
	PAPLU	0x0000A03A	R/W	8	ポートAプルアップ制御レジスタ	XVI-79

■ ポートA出力データレジスタ (PAOUT : 0x0000A00A) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA50	PA40	PA30	PA20	PA10	PA00
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA50	PA5端子の出力データを設定してください。
4	PA40	PA4端子の出力データを設定してください。
3	PA30	PA3端子の出力データを設定してください。
2	PA20	PA2端子の出力データを設定してください。
1	PA10	PA1端子の出力データを設定してください。
0	PA00	PA0端子の出力データを設定してください。

端子にデータを出力するときは、PAOUTレジスタにデータを書込んだ後、PADIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートA入力データレジスタ (PAIN : 0x0000A01A) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA5I	PA4I	PA3I	PA2I	PA1I	PA0I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA5I	PA5端子の入力データを読出します。
4	PA4I	PA4端子の入力データを読出します。
3	PA3I	PA3端子の入力データを読出します。
2	PA2I	PA2端子の入力データを読出します。
1	PA1I	PA1端子の入力データを読出します。
0	PA0I	PA0端子の入力データを読出します。

端子の入力データを読出す時は、PADIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PAINレジスタの値を読出してください。

■ ポートA入出力制御レジスタ (PADIR : 0x0000A02A) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA5D	PA5端子の入出力制御 0 : 入力 1 : 出力
4	PA4D	PA4端子の入出力制御 0 : 入力 1 : 出力
3	PA3D	PA3端子の入出力制御 0 : 入力 1 : 出力
2	PA2D	PA2端子の入出力制御 0 : 入力 1 : 出力
1	PA1D	PA1端子の入出力制御 0 : 入力 1 : 出力
0	PA0D	PA0端子の入出力制御 0 : 入力 1 : 出力

■ ポートAモードレジスタ (PAMD : 0x0000A068) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PAMD50	-			PAMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PAMD30	-			PAMD20	-			PAMD10	-			PAMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PAMD50	PA5端子の機能選択 0: 汎用ポート機能(PA5端子) 1: 特殊機能(PWM25端子)
19-17	-	必ず"0"を読出します。
16	PAMD40	PA4端子の機能選択 0: 汎用ポート機能(PA4端子) 1: 特殊機能(PWM24端子)
15-13	-	必ず"0"を読出します。
12	PAMD30	PA3端子の機能選択 0: 汎用ポート機能(PA3端子) 1: 特殊機能(PWM23端子)
11-9	-	必ず"0"を読出します。
8	PAMD20	PA2端子の機能選択 0: 汎用ポート機能(PA2端子) 1: 特殊機能(PWM22端子)
7-5	-	必ず"0"を読出します。
4	PAMD10	PA1端子の機能選択 0: 汎用ポート機能(PA1端子) 1: 特殊機能(PWM21端子)
3-1	-	必ず"0"を読出します。
0	PAMD00	PA0端子の機能選択 0: 汎用ポート機能(PA0端子) 1: 特殊機能(PWM20端子)

■ ポートAプルアップ制御レジスタ (PAPLU : 0x0000A03A) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PA5R	PA4R	PA3R	PA2R	PA1R	PA0R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PA5R	PA5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PA4R	PA4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	PA3R	PA3端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	PA2R	PA2端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	PA1R	PA1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PA0R	PA0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.13ポートB

ポートBの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PBMDレジスタ）（表16.13.1参照）

・端子の入出力制御が可能（PBDIRレジスタ）（表16.13.1参照）

・プルアップ抵抗付加の選択が可能（PBPLUレジスタ）

ポートBの端子機能とレジスタ設定値を表16.13.1に示します。

表 16.13.1 ポート B の端子機能とレジスタ設定値

端子名	端子機能	PBMDレジスタ/PBMD01, PBMD00ビット	PBDIRレジスタ/PB0Dビット
PB0	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23AIO入力	01	0
	TM23AIO出力	01	1
	ADTRG0出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD11, PBMD10ビット	PBDIRレジスタ/PB1Dビット
PB1	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23BIO入力	01	0
	TM23BIO出力	01	1
	ADTRG1出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD21, PBMD20ビット	PBDIRレジスタ/PB2Dビット
PB2	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM24AIO入力	01	0
	TM24AIO出力	01	1
	ADTRG2出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD30ビット	PBDIRレジスタ/PB3Dビット
PB3	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM24BIO入力	1	0
	TM24BIO出力	1	1

端子名	端子機能	PBMDレジスタ/PBMD40ビット	PBDIRレジスタ/PB4Dビット
PB4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM25AIO入力	1	0
	TM25AIO出力	1	1

端子名	端子機能	PBMDレジスタ/PBMD50ビット	PBDIRレジスタ/PB5Dビット
PB5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM25BIO入力	1	0
	TM25BIO出力	1	1

16.13.1 ポートBの制御レジスタ

ポートBの制御レジスタの一覧を表16.13.2に示します。

表16.13.2 ポートBの制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートB	PBOUT	0x0000A00B	R/W	8	ポートB出力データレジスタ	XVI-83
	PBIN	0x0000A01B	R	8	ポートB入力データレジスタ	XVI-83
	PBDIR	0x0000A02B	R/W	8	ポートB入出力制御レジスタ	XVI-84
	PBMD	0x0000A06C	R/W	8, 16, 32	ポートBモードレジスタ	XVI-85
	PBPLU	0x0000A03B	R/W	8	ポートBプルアップ制御レジスタ	XVI-86

■ ポートB出力データレジスタ (PBOUT : 0x0000A00B) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB50	PB40	PB30	PB20	PB10	PB00
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB50	PB5端子の出力データを設定してください。
4	PB40	PB4端子の出力データを設定してください。
3	PB30	PB3端子の出力データを設定してください。
2	PB20	PB2端子の出力データを設定してください。
1	PB10	PB1端子の出力データを設定してください。
0	PB00	PB0端子の出力データを設定してください。

端子にデータを出力するときは、PBOUTレジスタにデータを書込んだ後、PBDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートB入力データレジスタ (PBIN : 0x0000A01B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5I	PB4I	PB3I	PB2I	PB1I	PB0I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5I	PB5端子の入力データを読出します。
4	PB4I	PB4端子の入力データを読出します。
3	PB3I	PB3端子の入力データを読出します。
2	PB2I	PB2端子の入力データを読出します。
1	PB1I	PB1端子の入力データを読出します。
0	PB0I	PB0端子の入力データを読出します。

端子の入力データを読出す時は、PBDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PBINレジスタの値を読出してください。

■ ポートB入出力制御レジスタ (PBDIR : 0x0000A02B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5D	PB4D	PB3D	PB2D	PB1D	PB0D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5D	PB5端子の入出力制御 0 : 入力 1 : 出力
4	PB4D	PB4端子の入出力制御 0 : 入力 1 : 出力
3	PB3D	PB3端子の入出力制御 0 : 入力 1 : 出力
2	PB2D	PB2端子の入出力制御 0 : 入力 1 : 出力
1	PB1D	PB1端子の入出力制御 0 : 入力 1 : 出力
0	PB0D	PB0端子の入出力制御 0 : 入力 1 : 出力

■ ポートBモードレジスタ (PBMD : 0x0000A06C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PBMD50	-			PBMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PBMD30	-		PBMD21-0		-		PBMD11-0		-		PBMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PBMD50	PB5端子の機能選択 0: 汎用ポート機能(PB5端子) 1: 特殊機能(TM25BIO端子)
19-17	-	必ず"0"を読出します。
16	PBMD40	PB4端子の機能選択 0: 汎用ポート機能(PB4端子) 1: 特殊機能(TM25AIO端子)
15-13	-	必ず"0"を読出します。
12	PBMD30	PB3端子の機能選択 0: 汎用ポート機能(PB3端子) 1: 特殊機能(TM24BIO端子)
11-10	-	必ず"0"を読出します。
9-8	PBMD21-0	PB2端子の機能選択 00: 汎用ポート機能(PB2端子) 01: 特殊機能(TM24AIO端子) 1X: 特殊機能(ADTRG2端子)
7-6	-	必ず"0"を読出します。
5-4	PBMD11-0	PB1端子の機能選択 00: 汎用ポート機能(PB1端子) 01: 特殊機能(TM23BIO端子) 1X: 特殊機能(ADTRG1端子)
3-2	-	必ず"0"を読出します。
1-0	PBMD01-0	PB0端子の機能選択 00: 汎用ポート機能(PB0端子) 01: 特殊機能(TM23AIO端子) 1X: 特殊機能(ADTRG0端子)

■ ポートBプルアップ制御レジスタ (PBPLU : 0x0000A03B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5R	PB4R	PB3R	PB2R	PB1R	PB0R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5R	PB5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PB4R	PB4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	PB3R	PB3端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	PB2R	PB2端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	PB1R	PB1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PB0R	PB0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

16.14ポートC

ポートCの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PCMDレジスタ）（表16.14.1参照）

・端子の入出力制御が可能（PCDIRレジスタ）（表16.14.1参照）

・プルアップ抵抗付加の選択が可能（PCPLUレジスタ）

ポートCの端子機能とレジスタ設定値を表16.14.1に示します。

表 16.14.1 ポート C の端子機能とレジスタ設定値

端子名	端子機能	PCMDレジスタ/PCMD00ビット
PC0	汎用ポート入力	0
	ADIN00入力 VGAON入力(*1) CMPOREF入力	1

端子名	端子機能	PCMDレジスタ/PCMD10ビット
PC1	汎用ポート入力	0
	ADIN01入力 VGAOP0入力(*1) CMP0IN入力	1

端子名	端子機能	PCMDレジスタ/PCMD20ビット
PC2	汎用ポート入力	0
	ADIN02入力 VGAOP1入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD30ビット
PC3	汎用ポート入力	0
	ADIN03入力 VGAOP2入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD40ビット	PCDIRレジスタ/PC4Dビット
PC4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN04入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD50ビット	PCDIRレジスタ/PC5Dビット
PC5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN05入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD60ビット	PCDIRレジスタ/PC6Dビット
PC6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN06入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD70ビット	PCDIRレジスタ/PC7Dビット
PC7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN07入力	1	X

*1 MN103HF47シリーズでは、特殊機能(VGAON,VGAOP0,VGAOP1,VGAOP2)を使用できません。

16.14.1 ポートCの制御レジスタ

ポートCの制御レジスタの一覧を表16.14.2に示します。

表 16.14.2 ポート C の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートC	PCOUT	0x0000A00C	R/W	8	ポートC出力データレジスタ	XVI-89
	PCIN	0x0000A01C	R	8	ポートC入力データレジスタ	XVI-90
	PCDIR	0x0000A02C	R/W	8	ポートC入出力制御レジスタ	XVI-90
	PCMD	0x0000A070	R/W	8, 16, 32	ポートCモードレジスタ	XVI-91
	PCPLU	0x0000A03C	R/W	8	ポートCプルアップ制御レジスタ	XVI-92

■ ポートC出力データレジスタ (PCOUT : 0x0000A00C) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC70	PC60	PC50	PC40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC70	PC7端子の出力データを設定してください。
6	PC60	PC6端子の出力データを設定してください。
5	PC50	PC5端子の出力データを設定してください。
4	PC40	PC4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PCOUTレジスタにデータを書込んだ後、PCDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートC入力データレジスタ (PCIN : 0x0000A01C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7I	PC6I	PC5I	PC4I	PC3I	PC2I	PC1I	PC0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PC7I	PC7端子の入力データを読出します。
6	PC6I	PC6端子の入力データを読出します。
5	PC5I	PC5端子の入力データを読出します。
4	PC4I	PC4端子の入力データを読出します。
3	PC3I	PC3端子の入力データを読出します。
2	PC2I	PC2端子の入力データを読出します。
1	PC1I	PC1端子の入力データを読出します。
0	PC0I	PC0端子の入力データを読出します。

端子の入力データを読出す時は、PCDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PCINレジスタの値を読出してください。

■ ポートC入出力制御レジスタ (PCDIR : 0x0000A02C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7D	PC6D	PC5D	PC4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7D	PC7端子の入出力制御 0 : 入力 1 : 出力
6	PC6D	PC6端子の入出力制御 0 : 入力 1 : 出力
5	PC5D	PC5端子の入出力制御 0 : 入力 1 : 出力
4	PC4D	PC4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートCモードレジスタ (PCMD : 0x0000A070) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PCMD70	-			PCMD60	-			PCMD50	-			PCMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PCMD30	-			PCMD20	-			PCMD10	-			PCMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PCMD70	PC7端子の機能選択 0: 汎用ポート機能(PC7端子) 1: 特殊機能(ADIN07端子)
27-25	-	必ず"0"を読出します。
24	PCMD60	PC6端子の機能選択 0: 汎用ポート機能(PC6端子) 1: 特殊機能(ADIN06端子)
23-21	-	必ず"0"を読出します。
20	PCMD50	PC5端子の機能選択 0: 汎用ポート機能(PC5端子) 1: 特殊機能(ADIN05端子)
19-17	-	必ず"0"を読出します。
16	PCMD40	PC4端子の機能選択 0: 汎用ポート機能(PC4端子) 1: 特殊機能(ADIN04端子)
15-13	-	必ず"0"を読出します。
12	PCMD30	PC3端子の機能選択 0: 汎用ポート機能(PC3端子) 1: 特殊機能(ADIN03/VGAOP2端子)(*1)
11-9	-	必ず"0"を読出します。
8	PCMD20	PC2端子の機能選択 0: 汎用ポート機能(PC2端子) 1: 特殊機能(ADIN02/VGAOP1端子)(*1)
7-5	-	必ず"0"を読出します。
4	PCMD10	PC1端子の機能選択 0: 汎用ポート機能(PC1端子) 1: 特殊機能(ADIN01/VGAOP0/CMP0IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PCMD00	PC0端子の機能選択 0: 汎用ポート機能(PC0端子) 1: 特殊機能(ADIN00/VGAON/CMP0REF端子)(*1)

*1 MN103HF47シリーズでは、特殊機能(VGAON,VGAOP0,VGAOP1,VGAOP2)を使用できません。

■ ポートCプルアップ制御レジスタ (PCPLU : 0x0000A03C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7R	PC6R	PC5R	PC4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7R	PC7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PC6R	PC6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PC5R	PC5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PC4R	PC4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

16.15ポートD

ポートDの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PDMDレジスタ）（表16.15.1参照）

・端子の入出力制御が可能（PDDIRレジスタ）（表16.15.1参照）

・プルアップ抵抗付加の選択が可能（PDPLUレジスタ）

ポートDの端子機能とレジスタ設定値を表16.15.1に示します。

表 16.15.1 ポート D の端子機能とレジスタ設定値

端子名	端子機能	PDMDレジスタ/PDMD00ビット
PD0	汎用ポート入力	0
	ADIN08入力 VGA1N入力(*1) CMP1REF入力	1

端子名	端子機能	PDMDレジスタ/PDMD10ビット
PD1	汎用ポート入力	0
	ADIN09入力 VGA1P0入力(*1) CMP1IN入力	1

端子名	端子機能	PDMDレジスタ/PDMD20ビット
PD2	汎用ポート入力	0
	ADIN10入力 VGA1P1入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD30ビット
PD3	汎用ポート入力	0
	ADIN11入力 VGA1P2入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD40ビット	PDDIRレジスタ/PD4Dビット
PD4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN12入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD50ビット	PDDIRレジスタ/PD5Dビット
PD5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN13入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD60ビット	PDDIRレジスタ/PD6Dビット
PD6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN14入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD70ビット	PDDIRレジスタ/PD7Dビット
PD7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN15入力	1	X

*1 MN103HF47シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

16.15.1 ポートDの制御レジスタ

ポートDの制御レジスタの一覧を表16.15.2に示します。

表 16.15.2 ポート D の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートD	PDOUT	0x0000A00D	R/W	8	ポートD出力データレジスタ	XVI-95
	PDIN	0x0000A01D	R	8	ポートD入力データレジスタ	XVI-96
	PDDIR	0x0000A02D	R/W	8	ポートD入出力制御レジスタ	XVI-96
	PDMD	0x0000A074	R/W	8, 16, 32	ポートDモードレジスタ	XVI-97
	PDPLU	0x0000A03D	R/W	8	ポートDプルアップ制御レジスタ	XVI-98

■ ポートD出力データレジスタ (PDOUT : 0x0000A00D) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD70	PD60	PD50	PD40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD70	PD7端子の出力データを設定してください。
6	PD60	PD6端子の出力データを設定してください。
5	PD50	PD5端子の出力データを設定してください。
4	PD40	PD4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PDOUTレジスタにデータを書込んだ後、PDDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートD入力データレジスタ (PDIN : 0x0000A01D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7I	PD6I	PD5I	PD4I	PD3I	PD2I	PD1I	PD0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PD7I	PD7端子の入力データを読出します。
6	PD6I	PD6端子の入力データを読出します。
5	PD5I	PD5端子の入力データを読出します。
4	PD4I	PD4端子の入力データを読出します。
3	PD3I	PD3端子の入力データを読出します。
2	PD2I	PD2端子の入力データを読出します。
1	PD1I	PD1端子の入力データを読出します。
0	PD0I	PD0端子の入力データを読出します。

端子の入力データを読出す時は、PDDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PDINレジスタの値を読出してください。

■ ポートD入出力制御レジスタ (PDDIR : 0x0000A02D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7D	PD6D	PD5D	PD4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD7D	PD7端子の入出力制御 0 : 入力 1 : 出力
6	PD6D	PD6端子の入出力制御 0 : 入力 1 : 出力
5	PD5D	PD5端子の入出力制御 0 : 入力 1 : 出力
4	PD4D	PD4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートDモードレジスタ (PDMD : 0x0000A074) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PDMD70	-			PDMD60	-			PDMD50	-			PDMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PDMD30	-			PDMD20	-			PDMD10	-			PDMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PDMD70	PD7端子の機能選択 0: 汎用ポート機能(PD7端子) 1: 特殊機能(ADIN15端子)
27-25	-	必ず"0"を読出します。
24	PDMD60	PD6端子の機能選択 0: 汎用ポート機能(PD6端子) 1: 特殊機能(ADIN14端子)
23-21	-	必ず"0"を読出します。
20	PDMD50	PD5端子の機能選択 0: 汎用ポート機能(PD5端子) 1: 特殊機能(ADIN13端子)
19-17	-	必ず"0"を読出します。
16	PDMD40	PD4端子の機能選択 0: 汎用ポート機能(PD4端子) 1: 特殊機能(ADIN12端子)
15-13	-	必ず"0"を読出します。
12	PDMD30	PD3端子の機能選択 0: 汎用ポート機能(PD3端子) 1: 特殊機能(ADIN11/VGA1P2端子)
11-9	-	必ず"0"を読出します。
8	PDMD20	PD2端子の機能選択 0: 汎用ポート機能(PD2端子) 1: 特殊機能(ADIN10/VGA1P1端子)
7-5	-	必ず"0"を読出します。
4	PDMD10	PD1端子の機能選択 0: 汎用ポート機能(PD1端子) 1: 特殊機能(ADIN09/VGA1P0/CMP1IN端子)
3-1	-	必ず"0"を読出します。
0	PDMD00	PD0端子の機能選択 0: 汎用ポート機能(PD0端子) 1: 特殊機能(ADIN08/VGA1N/CMP1REF端子)

*1 MN103HF47シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

■ ポートDプルアップ制御レジスタ (PDPLU : 0x0000A03D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7R	PD6R	PD5R	PD4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD7R	PD7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PD6R	PD6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PD5R	PD5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PD4R	PD4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

16.16ポートE

ポートEの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PEMDレジスタ）（表16.16.1参照）

・端子の入出力制御が可能（PEDIRレジスタ）（表16.16.1参照）

・プルアップ抵抗付加の選択が可能（PEPLUレジスタ）

ポートEの端子機能とレジスタ設定値を表16.16.1に示します。

表 16.16.1 ポート E の端子機能とレジスタ設定値

端子名	端子機能	PEMDレジスタ/PEMD00ビット
PE0	汎用ポート入力	0
	ADIN16入力 VGA2N入力(*1) CMP2REF入力	1

端子名	端子機能	PEMDレジスタ/PEMD10ビット
PE1	汎用ポート入力	0
	ADIN17入力 VGA2P0入力(*1) CMP2IN入力	1

端子名	端子機能	PEMDレジスタ/PEMD20ビット
PE2	汎用ポート入力	0
	ADIN18入力 VGA2P1入力(*1)	1

端子名	端子機能	PEMDレジスタ/PEMD30ビット
PE3	汎用ポート入力	0
	ADIN19入力 VGA2P2入力(*1)	1

端子名	端子機能	PEMDレジスタ/PEMD40ビット	PEDIRレジスタ/PE4Dビット
PE4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN20入力	1	X

端子名	端子機能	PEMDレジスタ/PEMD50ビット	PEDIRレジスタ/PE5Dビット
PE5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN21入力	1	X

端子名	端子機能	PEMDレジスタ/PEMD60ビット	PEDIRレジスタ/PE6Dビット
PE6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN22入力 DA0OUT出力	1	X

端子名	端子機能	PEMDレジスタ/PEMD70ビット	PEDIRレジスタ/PE7Dビット
PE7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN23入力 DA1OUT出力	1	X

*1 MN103HF47シリーズでは、特殊機能(VGA2N,VGA2P0,VGA2P1,VGA2P2)を使用できません

16.16.1 ポートEの制御レジスタ

ポートEの制御レジスタの一覧を表16.16.2に示します。

表 16.16.2 ポート E の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートE	PEOUT	0x0000A00E	R/W	8	ポートE出力データレジスタ	XVI-101
	PEIN	0x0000A01E	R	8	ポートE入力データレジスタ	XVI-102
	PEDIR	0x0000A02E	R/W	8	ポートE入出力制御レジスタ	XVI-102
	PEMD	0x0000A078	R/W	8, 16, 32	ポートEモードレジスタ	XVI-103
	PEPLU	0x0000A03E	R/W	8	ポートEプルアップ制御レジスタ	XVI-104

■ ポートE出力データレジスタ (PEOUT : 0x0000A00E) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE70	PE60	PE50	PE40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PE70	PE7端子の出力データを設定してください。
6	PE60	PE6端子の出力データを設定してください。
5	PE50	PE5端子の出力データを設定してください。
4	PE40	PE4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PEOUTレジスタにデータを書込んだ後、PEDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートE入力データレジスタ (PEIN : 0x0000A01E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE7I	PE6I	PE5I	PE4I	PE3I	PE2I	PE1I	PE0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PE7I	PE7端子の入力データを読出します。
6	PE6I	PE6端子の入力データを読出します。
5	PE5I	PE5端子の入力データを読出します。
4	PE4I	PE4端子の入力データを読出します。
3	PE3I	PE3端子の入力データを読出します。
2	PE2I	PE2端子の入力データを読出します。
1	PE1I	PE1端子の入力データを読出します。
0	PE0I	PE0端子の入力データを読出します。

端子の入力データを読出す時は、PEDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PEINレジスタの値を読出してください。

■ ポートE入出力制御レジスタ (PEDIR : 0x0000A02E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE7D	PE6D	PE5D	PE4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PE7D	PE7端子の入出力制御 0 : 入力 1 : 出力
6	PE6D	PE6端子の入出力制御 0 : 入力 1 : 出力
5	PE5D	PE5端子の入出力制御 0 : 入力 1 : 出力
4	PE4D	PE4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートEモードレジスタ (PEMD : 0x0000A078) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PEMD70	-			PEMD60	-			PEMD50	-			PEMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PEMD30	-			PEMD20	-			PEMD10	-			PEMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PEMD70	PE7端子の機能選択 0: 汎用ポート機能(PE7端子) 1: 特殊機能(ADIN23/DA1OUT端子)
27-25	-	必ず"0"を読出します。
24	PEMD60	PE6端子の機能選択 0: 汎用ポート機能(PE6端子) 1: 特殊機能(ADIN22/DA0OUT端子)
23-21	-	必ず"0"を読出します。
20	PEMD50	PE5端子の機能選択 0: 汎用ポート機能(PE5端子) 1: 特殊機能(ADIN21端子)
19-17	-	必ず"0"を読出します。
16	PEMD40	PE4端子の機能選択 0: 汎用ポート機能(PE4端子) 1: 特殊機能(ADIN20端子)
15-13	-	必ず"0"を読出します。
12	PEMD30	PE3端子の機能選択 0: 汎用ポート機能(PE3端子) 1: 特殊機能(ADIN19/VGA2P2端子)(*1)
11-9	-	必ず"0"を読出します。
8	PEMD20	PE2端子の機能選択 0: 汎用ポート機能(PE2端子) 1: 特殊機能(ADIN18/VGA2P1端子)(*1)
7-5	-	必ず"0"を読出します。
4	PEMD10	PE1端子の機能選択 0: 汎用ポート機能(PE1端子) 1: 特殊機能(ADIN17/VGA2P0/CMP2IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PEMD00	PE0端子の機能選択 0: 汎用ポート機能(PE0端子) 1: 特殊機能(ADIN16/VGA2N/CMP2REF端子)(*1)

*1 MN103HF47シリーズでは、特殊機能(VGA2N,VGA2P0,VGA2P1,VGA2P2)を使用できません。

■ ポートEプルアップ制御レジスタ (PEPLU : 0x0000A03E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PE7R	PE6R	PE5R	PE4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PE7R	PE7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PE6R	PE6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PE5R	PE5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PE4R	PE4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

16.17ポートF

ポートFの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PFMDレジスタ）（表16.17.1参照）

・端子の入出力制御が可能（PFDIRレジスタ）（表16.17.1参照）

・プルアップ抵抗付加の選択が可能（PFPLUレジスタ）

ポートFの端子機能とレジスタ設定値を表16.17.1に示します。

表 16.17.1 ポート F の端子機能とレジスタ設定値

端子名	端子機能	PFMDレジスタ/PFMD00ビット	PFDIRレジスタ/PF0Dビット
PF0	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN24入力	1	X

端子名	端子機能	PFMDレジスタ/PFMD10ビット	PFDIRレジスタ/PF1Dビット
PF1	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN25入力	1	X

端子名	端子機能	PFMDレジスタ/PFMD20ビット	PFDIRレジスタ/PF2Dビット
PF2	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN26入力	1	X

端子名	端子機能	PFMDレジスタ/PFMD30ビット	PFDIRレジスタ/PF3Dビット
PF3	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN27入力	1	X

16.17.1 ポートFの制御レジスタ

ポートFの制御レジスタの一覧を表16.17.2に示します。

表 16.17.2 ポート F の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートF	PFOUT	0x0000A00F	R/W	8	ポートF出力データレジスタ	XVI-106
	PFIN	0x0000A01F	R	8	ポートF入力データレジスタ	XVI-107
	PFDIR	0x0000A02F	R/W	8	ポートF入出力制御レジスタ	XVI-107
	PFMD	0x0000A07C	R/W	8, 16, 32	ポートFモードレジスタ	XVI-108
	PFPLU	0x0000A03F	R/W	8	ポートFプルアップ制御レジスタ	XVI-109

■ ポートF出力データレジスタ (PFOUT : 0x0000A00F) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				PF30	PF20	PF10	PF00
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	PF30	PF3端子の出力データを設定してください。
2	PF20	PF2端子の出力データを設定してください。
1	PF10	PF1端子の出力データを設定してください。
0	PF00	PF0端子の出力データを設定してください。

端子にデータを出力するときは、PFOUTレジスタにデータを書込んだ後、PFDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートF入力データレジスタ (PFIN : 0x0000A01F) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				PF3I	PF2I	PF1I	PF0I
初期値	0	0	0	0	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	PF3I	PF3端子の入力データを読出します。
2	PF2I	PF2端子の入力データを読出します。
1	PF1I	PF1端子の入力データを読出します。
0	PF0I	PF0端子の入力データを読出します。

端子の入力データを読出す時は、PFDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PFINレジスタの値を読出してください。

■ ポートF入出力制御レジスタ (PFDIR : 0x0000A02F) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				PF3D	PF2D	PF1D	PF0D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	PF3D	PF3端子の入出力制御 0 : 入力 1 : 出力
2	PF2D	PF2端子の入出力制御 0 : 入力 1 : 出力
1	PF1D	PF1端子の入出力制御 0 : 入力 1 : 出力
0	PF0D	PF0端子の入出力制御 0 : 入力 1 : 出力

■ ポートFモードレジスタ (PFMD : 0x0000A07C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PFMD30	-			PFMD20	-			PFMD10	-			PFMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-13	-	必ず"0"を読出します。
12	PFMD30	PF3端子の機能選択 0: 汎用ポート機能(PF3端子) 1: 特殊機能(ADIN27端子)
11-9	-	必ず"0"を読出します。
8	PFMD20	PF2端子の機能選択 0: 汎用ポート機能(PF2端子) 1: 特殊機能(ADIN26端子)
7-5	-	必ず"0"を読出します。
4	PFMD10	PF1端子の機能選択 0: 汎用ポート機能(PF1端子) 1: 特殊機能(ADIN25端子)
3-1	-	必ず"0"を読出します。
0	PFMD00	PF0端子の機能選択 0: 汎用ポート機能(PF0端子) 1: 特殊機能(ADIN24端子)

■ ポートFプルアップ制御レジスタ (PFPLU : 0x0000A03F) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				PF3R	PF2R	PF1R	PF0R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	PF3R	PF3端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	PF2R	PF2端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	PF1R	PF1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PF0R	PF0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

第17章　I/Oポート（MN103HFx6シリーズ）

17

17.1 I/Oポートの概要

本LSIは、汎用ポート機能と特殊機能を兼用するI/Oポートを搭載しています。搭載数は計84本（ポート0～E)です。

17.1.1　I/Oポートの一覧

I/Oポートの一覧を表17.1.1に示します。

表 17.1.1　I/O ポートの一覧

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート0	P00	TM0IO/IRQ00/DA0OUT	I/O	入出力禁止	なし	汎用ポート
	P01	TM1IO/IRQ01/DA1OUT	I/O	入出力禁止	なし	汎用ポート
	P02	TM4IO/IRQ02/CANTXD_A	I/O	入出力禁止	なし	汎用ポート
	P03	TM5IO/IRQ03/CANRXD_A	I/O	入出力禁止	なし	汎用ポート
	P04	IRQ04	I/O	入出力禁止	なし	汎用ポート
	P05	IRQ05	I/O	入出力禁止	なし	汎用ポート
	P06	IRQ06	I/O	入出力禁止	なし	汎用ポート
	P07	IRQ07	I/O	入出力禁止	なし	汎用ポート
ポート1	P10	IRQ08	I/O	入出力禁止	なし	汎用ポート
	P11	IRQ09	I/O	入出力禁止	なし	汎用ポート
ポート2	P20	SBO0_A/SDA0_A/SBT0_B/SCL0_B	I/O	入出力禁止	なし	汎用ポート
	P21	SBT0_A/SCL0_A/SBO0_B/SDA0_B	I/O	入出力禁止	なし	汎用ポート
	P22	SBI0	I/O	入出力禁止	なし	汎用ポート
	P23	SBO1_A/SBT1_B/LINTXD_A	I/O	入出力禁止	なし	汎用ポート
	P24	SBT1_A/SBO1_B/LINTXD_B	I/O	入出力禁止	なし	汎用ポート
	P25	SBI1/LINRXD	I/O	入出力禁止	なし	汎用ポート
ポート3	P30	SBO2_A/SBT2_B	I/O	入出力禁止	なし	汎用ポート
	P31	SBT2_A/SBO2_B	I/O	入出力禁止	なし	汎用ポート
	P32	SBI2	I/O	入出力禁止	なし	汎用ポート
	P33	SBO3_A/SBT3_B	I/O	入出力禁止	なし	汎用ポート
	P34	SBT3_A/SBO3_B	I/O	入出力禁止	なし	汎用ポート
	P35	SBI3	I/O	入出力禁止	なし	汎用ポート
ポート4	P40	TM6IO/SBCS3	I/O	入出力禁止	なし	汎用ポート
	P41	TM7IO	I/O	入出力禁止	なし	汎用ポート
	P42	TM2IO/IRQ10/CANTXD_B	I/O	入出力禁止	なし	汎用ポート
	P43	TM3IO/IRQ11/CANRXD_B	I/O	入出力禁止	なし	汎用ポート
	P44	TM8IO/PWMBCST0	I/O	入出力禁止	なし	汎用ポート
	P45	TM9IO/PWMBCST1	I/O	入出力禁止	なし	汎用ポート
	P46	TM10IO	I/O	入出力禁止	なし	汎用ポート
	P47	TM11IO	I/O	入出力禁止	なし	汎用ポート
ポート5	P50	TM16AIO	I/O	入出力禁止	なし	汎用ポート
	P51	TM16BIO	I/O	入出力禁止	なし	汎用ポート
	P52	TM16AO/PWM10_B	I/O	入出力禁止	なし	汎用ポート
	P53	TM16BO/PWM11_B	I/O	入出力禁止	なし	汎用ポート
	P54	TM17AIO/PWM12_B	I/O	入出力禁止	なし	汎用ポート
	P55	TM17BIO/PWM13_B	I/O	入出力禁止	なし	汎用ポート
	P56	TM17AO/PWM14_B	I/O	入出力禁止	なし	汎用ポート
	P57	TM17BO/PWM15_B	I/O	入出力禁止	なし	汎用ポート

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート6	P60	TM18AIO	I/O	入出力禁止	なし	汎用ポート
	P61	TM18BIO	I/O	入出力禁止	なし	汎用ポート
	P64	TM19AIO	I/O	入出力禁止	なし	汎用ポート
	P65	TM19BIO	I/O	入出力禁止	なし	汎用ポート
ポート7	P70	TM20AIO/IRQ12/PWMO2_B	I/O	入出力禁止	なし	汎用ポート
	P71	TM20BIO/IRQ13/PWMO3_B	I/O	入出力禁止	なし	汎用ポート
	P72	TM21AIO/IRQ14/PWMO4_B	I/O	入出力禁止	なし	汎用ポート
	P73	TM21BIO/IRQ15/PWMO5_B	I/O	入出力禁止	なし	汎用ポート
ポート8	P80	PWMO0	I/O	入出力禁止	なし	汎用ポート
	P81	PWMO1	I/O	入出力禁止	なし	汎用ポート
	P82	PWMO2_A/TM18AO_HR	I/O	入出力禁止	なし	汎用ポート
	P83	PWMO3_A/TM18BO_HR	I/O	入出力禁止	なし	汎用ポート
	P84	PWMO4_A/TM19AO_HR	I/O	入出力禁止	なし	汎用ポート
	P85	PWMO5_A/TM19BO_HR	I/O	入出力禁止	なし	汎用ポート
ポート9	P90	PWM10_A/TM16AO_HR	I/O	入出力禁止	なし	汎用ポート
	P91	PWM11_A/TM16BO_HR	I/O	入出力禁止	なし	汎用ポート
	P92	PWM12_A/TM17AO_HR	I/O	入出力禁止	なし	汎用ポート
	P93	PWM13_A/TM17BO_HR	I/O	入出力禁止	なし	汎用ポート
	P94	PWM14_A/TM22AIO	I/O	入出力禁止	なし	汎用ポート
	P95	PWM15_A/TM22BIO	I/O	入出力禁止	なし	汎用ポート
ポートB	PB0	TM23AIO/ADTRG0	I/O	入出力禁止	なし	汎用ポート
	PB1	TM23BIO/ADTRG1	I/O	入出力禁止	なし	汎用ポート
	PB2	ADTRG2	I/O	入出力禁止	なし	汎用ポート
	PB3	CMP0OUT	I/O	入出力禁止	なし	汎用ポート
	PB4	CMP1OUT	I/O	入出力禁止	なし	汎用ポート
	PB5	CMP2OUT	I/O	入出力禁止	なし	汎用ポート
ポートC	PC0	ADIN00/VGAON(*1)/CMP0REF	I	入力禁止	なし	汎用ポート
	PC1	ADIN01/VGAOP0(*1)/CMP0IN	I	入力禁止	なし	汎用ポート
	PC2	ADIN02/VGAOP1(*1)	I	入力禁止	なし	汎用ポート
	PC3	ADIN03/VGAOP2(*1)	I	入力禁止	なし	汎用ポート
	PC4	ADIN04	I/O	入出力禁止	なし	汎用ポート
	PC5	ADIN05	I/O	入出力禁止	なし	汎用ポート
	PC6	ADIN06	I/O	入出力禁止	なし	汎用ポート
	PC7	ADIN07	I/O	入出力禁止	なし	汎用ポート
ポートD	PD0	ADIN08/VGA1N(*1)/CMP1REF	I	入力禁止	なし	汎用ポート
	PD1	ADIN09/VGA1P0(*1)/CMP1IN	I	入力禁止	なし	汎用ポート
	PD2	ADIN10/VGA1P1(*1)	I	入力禁止	なし	汎用ポート
	PD3	ADIN11/VGA1P2(*1)	I	入力禁止	なし	汎用ポート
	PD4	ADIN12	I/O	入出力禁止	なし	汎用ポート
	PD5	ADIN13	I/O	入出力禁止	なし	汎用ポート
	PD6	ADIN14	I/O	入出力禁止	なし	汎用ポート
	PD7	ADIN15	I/O	入出力禁止	なし	汎用ポート
ポートE	PE0	ADIN16/VGA2N(*1)/CMP2REF	I	入力禁止	なし	汎用ポート
	PE1	ADIN17/VGA2P(*1)/CMP2IN	I	入力禁止	なし	汎用ポート
	PE4	ADIN20	I/O	入出力禁止	なし	汎用ポート
	PE5	ADIN21	I/O	入出力禁止	なし	汎用ポート

*1 MN103HF46シリーズでは、特殊機能
(VGAON, VGA1N, VGA2N, VGAOP0, VGAOP1, VGAOP2, VGA1P0, VGA1P1, VGA1P2, VGA2P)を使用できません。

17.2 ポート0

ポート0の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能 (P0MDレジスタ)(表17.2.1参照)

・端子の入出力制御が可能 (P0DIRレジスタ)(表17.2.1参照)

・プルアップ抵抗付加の選択が可能 (P0PLUレジスタ)

・Nchオープンドレイン出力の選択が可能 (P00DCレジスタ)

ポート0の端子機能とレジスタ設定値を表17.2.1に示します。

表 17.2.1 ポート 0 の端子機能とレジスタ設定値

端子名	端子機能	P0MDレジスタ/P0MD01, P0MD00 ビット	P0DIRレジスタ/P00Dビット
P00	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ00入力	01	0
	TM0IO入力	10	0
	TM0IO出力	10	1
	DA0OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD11, P0MD10 ビット	P0DIRレジスタ/P01Dビット
P01	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ01入力	01	0
	TM1IO入力	10	0
	TM1IO出力	10	1
	DA1OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD21, P0MD20 ビット	P0DIRレジスタ/P02Dビット
P02	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ02入力	01	0
	TM4IO入力	10	0
	TM4IO出力	10	1
	CANTXD_A出力	11	1

端子名	端子機能	POMDレジスタ/POMD31, POMD30 ビット	PODIRレジスタ/P03Dビット
P03	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ03入力	01	0
	TM5IO入力	10	0
	TM5IO出力	10	1
	CANRXD_A入力	11	0

端子名	端子機能	POMDレジスタ/POMD40ビット	PODIRレジスタ/P04Dビット
P04	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ04入力	1	0

端子名	端子機能	POMDレジスタ/POMD50ビット	PODIRレジスタ/P05Dビット
P05	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ05入力	1	0

端子名	端子機能	POMDレジスタ/POMD60ビット	PODIRレジスタ/P06Dビット
P06	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ06入力	1	0

端子名	端子機能	POMDレジスタ/POMD70ビット	PODIRレジスタ/P07Dビット
P07	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ07入力	1	0

17.2.1　ポート0の制御レジスタ

ポート0の制御レジスタの一覧を表17.2.2に示します。

表 17.2.2 ポート 0 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート0	P0OUT	0x0000A000	R/W	8	ポート0出力データレジスタ	XVII-6
	P0IN	0x0000A010	R	8	ポート0入力データレジスタ	XVII-7
	P0DIR	0x0000A020	R/W	8	ポート0入出力制御レジスタ	XVII-7
	P0MD	0x0000A040	R/W	8, 16, 32	ポート0モードレジスタ	XVII-8
	P0PLU	0x0000A030	R/W	8	ポート0プルアップ制御レジスタ	XVII-9
	P0ODC	0x0000A090	R/W	8	ポート0Nchオープンドレイン制御レジスタ	XVII-9

■ ポート0出力データレジスタ (P0OUT : 0x0000A000) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P070	P060	P050	P040	P030	P020	P010	P000
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P070	P07端子の出力データを設定してください。
6	P060	P06端子の出力データを設定してください。
5	P050	P05端子の出力データを設定してください。
4	P040	P04端子の出力データを設定してください。
3	P030	P03端子の出力データを設定してください。
2	P020	P02端子の出力データを設定してください。
1	P010	P01端子の出力データを設定してください。
0	P000	P00端子の出力データを設定してください。

端子にデータを出力するときは、P0OUTレジスタにデータを書込んだ後、P0DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート0入力データレジスタ (P0IN : 0x0000A010) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07I	P06I	P05I	P04I	P03I	P02I	P01I	P00I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P07I	P07端子の入力データを読出します。
6	P06I	P06端子の入力データを読出します。
5	P05I	P05端子の入力データを読出します。
4	P04I	P04端子の入力データを読出します。
3	P03I	P03端子の入力データを読出します。
2	P02I	P02端子の入力データを読出します。
1	P01I	P01端子の入力データを読出します。
0	P00I	P00端子の入力データを読出します。

端子の入力データを読出す時は、P0DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P0INレジスタの値を読出してください。

■ ポート0入出力制御レジスタ (P0DIR : 0x0000A020) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07D	P07端子の入出力制御 0 : 入力 1 : 出力
6	P06D	P06端子の入出力制御 0 : 入力 1 : 出力
5	P05D	P05端子の入出力制御 0 : 入力 1 : 出力
4	P04D	P04端子の入出力制御 0 : 入力 1 : 出力
3	P03D	P03端子の入出力制御 0 : 入力 1 : 出力
2	P02D	P02端子の入出力制御 0 : 入力 1 : 出力
1	P01D	P01端子の入出力制御 0 : 入力 1 : 出力
0	P00D	P00端子の入出力制御 0 : 入力 1 : 出力

■ ポート0モードレジスタ (POMD : 0x0000A040) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			POMD70	-			POMD60	-			POMD50	-			POMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		POMD31-0		-		POMD21-0		-		POMD11-0		-		POMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	POMD70	P07端子の機能選択 0: 汎用ポート機能(P07端子) 1: 特殊機能(IRQ07端子)
27-25	-	必ず"0"を読出します。
24	POMD60	P06端子の機能選択 0: 汎用ポート機能(P06端子) 1: 特殊機能(IRQ06端子)
23-21	-	必ず"0"を読出します。
20	POMD50	P05端子の機能選択 0: 汎用ポート機能(P05端子) 1: 特殊機能(IRQ05端子)
19-17	-	必ず"0"を読出します。
16	POMD40	P04端子の機能選択 0: 汎用ポート機能(P04端子) 1: 特殊機能(IRQ04端子)
15-14	-	必ず"0"を読出します。
13-12	POMD31-0	P03端子の機能選択 00: 汎用ポート機能(P03端子) 01: 特殊機能(IRQ03端子) 10: 特殊機能(TM5IO端子) 11: 特殊機能(CANRXD_A端子)
11-10	-	必ず"0"を読出します。
9-8	POMD21-0	P02端子の機能選択 00: 汎用ポート機能(P02端子) 01: 特殊機能(IRQ02端子) 10: 特殊機能(TM4IO端子) 11: 特殊機能(CANTXD_A端子)
7-6	-	必ず"0"を読出します。
5-4	POMD11-0	P01端子の機能選択 00: 汎用ポート機能(P01端子) 01: 特殊機能(IRQ01端子) 10: 特殊機能(TM1IO端子) 11: 特殊機能(DA1OUT端子)
3-2	-	必ず"0"を読出します。
1-0	POMD01-0	P00端子の機能選択 00: 汎用ポート機能(P00端子) 01: 特殊機能(IRQ00端子) 10: 特殊機能(TM0IO端子) 11: 特殊機能(DA0OUT端子)

■ ポート0プルアップ制御レジスタ (P0PLU : 0x0000A030) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07R	P06R	P05R	P04R	P03R	P02R	P01R	P00R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07R	P07端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P06R	P06端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P05R	P05端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P04R	P04端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P03R	P03端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P02R	P02端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P01R	P01端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P00R	P00端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート0Nchオープンドレイン制御レジスタ (P0ODC : 0x0000A090) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P0ODC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P0ODC2	P02端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_A端子選択時のみ有効
1-0	-	必ず"0"を読出します。

17.3 ポート1

ポート1の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P1MDレジスタ）（表17.3.1参照）

・端子の入出力制御が可能（P1DIRレジスタ）（表17.3.1参照）

・プルアップ抵抗付加の選択が可能（P1PLUレジスタ）

ポート1の端子機能とレジスタ設定値を表17.3.1に示します。

表 17.3.1 ポート 1 の端子機能とレジスタ設定値

端子名	端子機能	P1MDレジスタ/P1MD00ビット	P1DIRレジスタ/P10Dビット
P10	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ08入力	1	0

端子名	端子機能	P1MDレジスタ/P1MD10ビット	P1DIRレジスタ/P11Dビット
P11	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ09入力	1	0

17.3.1　ポート1の制御レジスタ

ポート1の制御レジスタの一覧を表17.3.2に示します。

表 17.3.2 ポート 1 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート1	P1OUT	0x0000A001	R/W	8	ポート1出力データレジスタ	XVII-11
	P1IN	0x0000A011	R	8	ポート1入力データレジスタ	XVII-12
	P1DIR	0x0000A021	R/W	8	ポート1入出力制御レジスタ	XVII-12
	P1MD	0x0000A044	R/W	8, 16, 32	ポート1モードレジスタ	XVII-13
	P1PLU	0x0000A031	R/W	8	ポート1プルアップ制御レジスタ	XVII-13

■ ポート1出力データレジスタ (P1OUT : 0x0000A001) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	–						P110	P100
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	–	必ず"0"を読出します。
1	P110	P11端子の出力データを設定してください。
0	P100	P10端子の出力データを設定してください。

端子にデータを出力するときは、P1OUTレジスタにデータを書込んだ後、P1DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート1入力データレジスタ (P1IN : 0x0000A011) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P11I	P10I
初期値	0	0	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P11I	P11端子の入力データを読出します。
0	P10I	P10端子の入力データを読出します。

端子の入力データを読出す時は、P1DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P1INレジスタの値を読出してください。

■ ポート1入出力制御レジスタ (P1DIR : 0x0000A021) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P11D	P10D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P11D	P11端子の入出力制御 0 : 入力 1 : 出力
0	P10D	P10端子の入出力制御 0 : 入力 1 : 出力

■ ポート1モードレジスタ (P1MD : 0x0000A044) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-											P1MD10	-			P1MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-5	-	必ず"0"を読出します。
4	P1MD10	P11端子の機能選択 0: 汎用ポート機能(P11端子) 1: 特殊機能(IRQ09端子)
3-1	-	必ず"0"を読出します。
0	P1MD00	P10端子の機能選択 0: 汎用ポート機能(P10端子) 1: 特殊機能(IRQ08端子)

■ ポート1プルアップ制御レジスタ (P1PLU : 0x0000A031) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P11R	P10R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P11R	P11端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P10R	P10端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

17.4 ポート2

ポート2の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P2MDレジスタ）（表17.4.1参照）

・端子の入出力制御が可能（P2DIRレジスタ）（表17.4.1参照）

・プルアップ抵抗付加の選択が可能（P2PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P2ODCレジスタ）

ポート2の端子機能とレジスタ設定値を表17.4.1に示します。

表 17.4.1 ポート 2 の端子機能とレジスタ設定値

端子名	端子機能	P2MDレジスタ/P2MD01，P2MD00ビット	P2DIRレジスタ/P20Dビット
P20	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO0_A/SDA0_A入力（*1）	10	0
	SBO0_A/SDA0_A出力（*1）	10	1
	SBT0_B/SCL0_B入力（*1）	11	0
	SBT0_B/SCL0_B出力（*1）	11	1

端子名	端子機能	P2MDレジスタ/P2MD11，P2MD10ビット	P2DIRレジスタ/P21Dビット
P21	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT0_A/SCL0_A入力（*1）	10	0
	SBT0_A/SCL0_A出力（*1）	10	1
	SBO0_B/SDA0_B入力（*1）	11	0
	SBO0_B/SDA0_B出力（*1）	11	1

端子名	端子機能	P2MDレジスタ/P2MD20ビット	P2DIRレジスタ/P22Dビット
P22	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI0入力（*1）	1	0

端子名	端子機能	P2MDレジスタ/P2MD31, P2MD30 ビット	P2DIRレジスタ/P23Dビット
P23	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO1_A/LINTXD_A入力 (*1)	10	0
	SBO1_A/LINTXD_A出力 (*1)	10	1
	SBT1_B入力 (*1)	11	0
	SBT1_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD41, P2MD40 ビット	P2DIRレジスタ/P24Dビット
P24	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT1_A入力 (*1)	10	0
	SBT1_A出力 (*1)	10	1
	SBO1_B/LINTXD_B入力 (*1)	11	0
	SBO1_B/LINTXD_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD50ビット	P2DIRレジスタ/P25Dビット
P25	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI1/LINRXD入力 (*1)	1	0

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

17.4.1 ポート2の制御レジスタ

ポート2の制御レジスタの一覧を表17.4.2に示します。

表 17.4.2 ポート 2 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート2	P2OUT	0x0000A002	R/W	8	ポート2出力データレジスタ	XVII-16
	P2IN	0x0000A012	R	8	ポート2入力データレジスタ	XVII-17
	P2DIR	0x0000A022	R/W	8	ポート2入出力制御レジスタ	XVII-17
	P2MD	0x0000A048	R/W	8, 16, 32	ポート2モードレジスタ	XVII-18
	P2PLU	0x0000A032	R/W	8	ポート2プルアップ制御レジスタ	XVII-19
	P2ODC	0x0000A092	R/W	8	ポート2Nchオープンドレイン制御レジスタ	XVII-19

■ ポート2出力データレジスタ (P2OUT : 0x0000A002) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P250	P240	P230	P220	P210	P200
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P250	P25端子の出力データを設定してください。
4	P240	P24端子の出力データを設定してください。
3	P230	P23端子の出力データを設定してください。
2	P220	P22端子の出力データを設定してください。
1	P210	P21端子の出力データを設定してください。
0	P200	P20端子の出力データを設定してください。

端子にデータを出力するときは、P2OUTレジスタにデータを書込んだ後、P2DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート2入力データレジスタ (P2IN : 0x0000A012) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25I	P24I	P23I	P22I	P21I	P20I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25I	P25端子の入力データを読出します。
4	P24I	P24端子の入力データを読出します。
3	P23I	P23端子の入力データを読出します。
2	P22I	P22端子の入力データを読出します。
1	P21I	P21端子の入力データを読出します。
0	P20I	P20端子の入力データを読出します。

端子の入力データを読出す時は、P2DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P2INレジスタの値を読出してください。

■ ポート2入出力制御レジスタ (P2DIR : 0x0000A022) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25D	P24D	P23D	P22D	P21D	P20D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25D	P25端子の入出力制御 0 : 入力 1 : 出力
4	P24D	P24端子の入出力制御 0 : 入力 1 : 出力
3	P23D	P23端子の入出力制御 0 : 入力 1 : 出力
2	P22D	P22端子の入出力制御 0 : 入力 1 : 出力
1	P21D	P21端子の入出力制御 0 : 入力 1 : 出力
0	P20D	P20端子の入出力制御 0 : 入力 1 : 出力

■ ポート2モードレジスタ (P2MD : 0x0000A048) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P2MD50	-		P2MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P2MD31-0		-			P2MD20	-		P2MD11-0		-		P2MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P2MD50	P25端子の機能選択 0: 汎用ポート機能(P25端子) 1: 特殊機能(SBI1/LINRXD端子)
19-18	-	必ず"0"を読出します。
17-16	P2MD41-0	P24端子の機能選択 0X: 汎用ポート機能(P24端子) 10: 特殊機能(SBT1_A端子) 11: 特殊機能(SBO1_B/LINTXD_B端子)
15-14	-	必ず"0"を読出します。
13-12	P2MD31-0	P23端子の機能選択 0X: 汎用ポート機能(P23端子) 10: 特殊機能(SBO1_A/LINTXD_A端子) 11: 特殊機能(SBT1_B端子)
11-9	-	必ず"0"を読出します。
8	P2MD20	P22端子の機能選択 0: 汎用ポート機能(P22端子) 1: 特殊機能(SBI0端子)
7-6	-	必ず"0"を読出します。
5-4	P2MD11-0	P21端子の機能選択 0X: 汎用ポート機能(P21端子) 10: 特殊機能(SBT0_A/SCL0_A端子) 11: 特殊機能(SBO0_B/SDA0_B端子)
3-2	-	必ず"0"を読出します。
1-0	P2MD01-0	P20端子の機能選択 0X: 汎用ポート機能(P20端子) 10: 特殊機能(SBO0_A/SDA0_A端子) 11: 特殊機能(SBT0_B/SCL0_B端子)

■ ポート2プルアップ制御レジスタ (P2PLU : 0x0000A032) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25R	P24R	P23R	P22R	P21R	P20R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25R	P25端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P24R	P24端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P23R	P23端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P22R	P22端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P21R	P21端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P20R	P20端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート2Nchオープンドレイン制御レジスタ (P2ODC : 0x0000A092) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P2ODC4	P2ODC3	-	P2ODC1	P2ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P2ODC4	P24端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT1_A、SBO1_B端子選択時のみ有効
3	P2ODC3	P23端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO1_A、SBT1_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P2ODC1	P21端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT0_A、SBO0_B端子選択時のみ有効
0	P2ODC0	P20端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO0_A、SBT0_B端子選択時のみ有効

17.5 ポート3

ポート3の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P3MDレジスタ）（表17.5.1参照）

・端子の入出力制御が可能（P3DIRレジスタ）（表17.5.1参照）

・プルアップ抵抗付加の選択が可能（P3PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P3ODCレジスタ）

ポート3の端子機能とレジスタ設定値を表17.5.1に示します。

表 17.5.1 ポート 3 の端子機能とレジスタ設定値

端子名	端子機能	P3MDレジスタ/P3MD01，P3MD00ビット	P3DIRレジスタ/P30Dビット
P30	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO2_A入力（*1）	10	0
	SBO2_A出力（*1）	10	1
	SBT2_B入力（*1）	11	0
	SBT2_B出力（*1）	11	1

端子名	端子機能	P3MDレジスタ/P3MD11，P3MD10ビット	P3DIRレジスタ/P31Dビット
P31	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT2_A入力（*1）	10	0
	SBT2_A出力（*1）	10	1
	SBO2_B入力（*1）	11	0
	SBO2_B出力（*1）	11	1

端子名	端子機能	P3MDレジスタ/P3MD20ビット	P3DIRレジスタ/P32Dビット
P32	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI2入力（*1）	1	0

端子名	端子機能	P3MDレジスタ/P3MD31, P3MD30 ビット	P3DIRレジスタ/P33Dビット
P33	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO3_A入力 (*1)	10	0
	SBO3_A出力 (*1)	10	1
	SBT3_B入力 (*1)	11	0
	SBT3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD41, P1MD40 ビット	P3DIRレジスタ/P34Dビット
P34	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT3_A入力 (*1)	10	0
	SBT3_A出力 (*1)	10	1
	SBO3_B入力 (*1)	11	0
	SBO3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD50ビット	P3DIRレジスタ/P35Dビット
P35	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI3入力 (*1)	1	0

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

17.5.1 ポート3の制御レジスタ

ポート3の制御レジスタの一覧を表17.5.2に示します。

表 17.5.2 ポート 3 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート3	P3OUT	0x0000A003	R/W	8	ポート3出力データレジスタ	XVII-22
	P3IN	0x0000A013	R	8	ポート3入力データレジスタ	XVII-23
	P3DIR	0x0000A023	R/W	8	ポート3入出力制御レジスタ	XVII-23
	P3MD	0x0000A04C	R/W	8, 16, 32	ポート3モードレジスタ	XVII-24
	P3PLU	0x0000A033	R/W	8	ポート3プルアップ制御レジスタ	XVII-25
	P3ODC	0x0000A093	R/W	8	ポート3Nchオープンドレイン制御レジスタ	XVII-25

■ ポート3出力データレジスタ (P3OUT : 0x0000A003) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P350	P340	P330	P320	P310	P300
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P350	P35端子の出力データを設定してください。
4	P340	P34端子の出力データを設定してください。
3	P330	P33端子の出力データを設定してください。
2	P320	P32端子の出力データを設定してください。
1	P310	P31端子の出力データを設定してください。
0	P300	P30端子の出力データを設定してください。

端子にデータを出力するときは、P3OUTレジスタにデータを書込んだ後、P3DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート3入力データレジスタ (P3IN : 0x0000A013) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P35I	P34I	P33I	P32I	P31I	P30I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P35I	P35端子の入力データを読出します。
4	P34I	P34端子の入力データを読出します。
3	P33I	P33端子の入力データを読出します。
2	P32I	P32端子の入力データを読出します。
1	P31I	P31端子の入力データを読出します。
0	P30I	P30端子の入力データを読出します。

端子の入力データを読出す時は、P3DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P3INレジスタの値を読出してください。

■ ポート3入出力制御レジスタ (P3DIR : 0x0000A023) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P35D	P34D	P33D	P32D	P31D	P30D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P35D	P35端子の入出力制御 0 : 入力 1 : 出力
4	P34D	P34端子の入出力制御 0 : 入力 1 : 出力
3	P33D	P33端子の入出力制御 0 : 入力 1 : 出力
2	P32D	P32端子の入出力制御 0 : 入力 1 : 出力
1	P31D	P31端子の入出力制御 0 : 入力 1 : 出力
0	P30D	P30端子の入出力制御 0 : 入力 1 : 出力

■ ポート3モードレジスタ (P3MD : 0x0000A04C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P3MD50	-		P3MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P3MD31-0		-			P3MD20	-		P3MD11-0		-		P3MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P3MD50	P35端子の機能選択 0: 汎用ポート機能(P35端子) 1: 特殊機能(SBI3端子)
19-18	-	必ず"0"を読出します。
17-16	P3MD41-0	P34端子の機能選択 0X: 汎用ポート機能(P34端子) 10: 特殊機能(SBT3_A端子) 11: 特殊機能(SBO3_B端子)
15-14	-	必ず"0"を読出します。
13-12	P3MD31-0	P33端子の機能選択 0X: 汎用ポート機能(P33端子) 10: 特殊機能(SBO3_A端子) 11: 特殊機能(SBT3_B端子)
11-9	-	必ず"0"を読出します。
8	P3MD20	P32端子の機能選択 0: 汎用ポート機能(P32端子) 1: 特殊機能(SBI2端子)
7-6	-	必ず"0"を読出します。
5-4	P3MD11-0	P31端子の機能選択 0X: 汎用ポート機能(P31端子) 10: 特殊機能(SBT2_A端子) 11: 特殊機能(SBO2_B端子)
3-2	-	必ず"0"を読出します。
1-0	P3MD01-0	P30端子の機能選択 0X: 汎用ポート機能(P30端子) 10: 特殊機能(SBO2_A端子) 11: 特殊機能(SBT2_B端子)

■ ポート3プルアップ制御レジスタ (P3PLU : 0x0000A033) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P35R	P34R	P33R	P32R	P31R	P30R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P35R	P35端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P34R	P34端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P33R	P33端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P32R	P32端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P31R	P31端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P30R	P30端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート3Nchオープンドレイン制御レジスタ (P3ODC : 0x0000A093) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P3ODC4	P3ODC3	-	P3ODC1	P3ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P3ODC4	P34端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT3_A、SBO3_B端子選択時のみ有効
3	P3ODC3	P33端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO3_A、SBT3_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P3ODC1	P31端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT2_A、SBO2_B端子選択時のみ有効
0	P3ODC0	P30端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO2_A、SBT2_B端子選択時のみ有効

17.6 ポート4

ポート4の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P4MDレジスタ）（表17.6.1参照）

・端子の入出力制御が可能（P4DIRレジスタ）（表17.6.1参照）

・プルアップ抵抗付加の選択が可能（P4PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P4ODCレジスタ）

ポート4の端子機能とレジスタ設定値を表17.6.1に示します。

表 17.6.1 ポート 4 の端子機能とレジスタ設定値

端子名	端子機能	P4MDレジスタ/P4MD01，P4MD00ビット	P4DIRレジスタ/P40Dビット
P40	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM6IO入力	01	0
	TM6IO出力	01	1
	SBCS3入力	1X	0
	SBCS3出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD10ビット	P4DIRレジスタ/P41Dビット
P41	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM7IO入力	1	0
	TM7IO出力	1	1

端子名	端子機能	P4MDレジスタ/P4MD21，P4MD20ビット	P4DIRレジスタ/P42Dビット
P42	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM2IO入力	01	0
	TM2IO出力	01	1
	IRQ10入力	10	0
	CANTXD_B出力	11	1

端子名	端子機能	P4MDレジスタ/P4MD31, P4MD30 ビット	P4DIRレジスタ/P43Dビット
P43	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM3IO入力	01	0
	TM3IO出力	01	1
	IRQ11入力	10	0
	CANRXD_B入力	11	0

端子名	端子機能	P4MDレジスタ/P4MD41, P4MD40 ビット	P4DIRレジスタ/P44Dビット
P44	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM8IO入力	01	0
	TM8IO出力	01	1
	PWMBCST0出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD51, P4MD50 ビット	P4DIRレジスタ/P45Dビット
P45	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM9IO入力	01	0
	TM9IO出力	01	1
	PWMBCST1出力	1X	1

端子名	端子機能	P4MDレジスタ/P4MD60ビット	P4DIRレジスタ/P46Dビット
P46	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM10IO入力	1	0
	TM10IO出力	1	1

端子名	端子機能	P4MDレジスタ/P4MD70ビット	P4DIRレジスタ/P47Dビット
P47	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM11IO入力	1	0
	TM11IO出力	1	1

17.6.1　ポート4の制御レジスタ

ポート4の制御レジスタの一覧を表17.6.2に示します。

表 17.6.2 ポート 4 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート4	P4OUT	0x0000A004	R/W	8	ポート4出力データレジスタ	XVII-28
	P4IN	0x0000A014	R	8	ポート4入力データレジスタ	XVII-29
	P4DIR	0x0000A024	R/W	8	ポート4入出力制御レジスタ	XVII-29
	P4MD	0x0000A050	R/W	8, 16, 32	ポート4モードレジスタ	XVII-30
	P4PLU	0x0000A034	R/W	8	ポート4プルアップ制御レジスタ	XVII-31
	P4ODC	0x0000A094	R/W	8	ポート4Nchオープンドレイン制御レジスタ	XVII-31

■ ポート4出力データレジスタ (P4OUT : 0x0000A004) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P470	P460	P450	P440	P430	P420	P410	P400
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P470	P47端子の出力データを設定してください。
6	P460	P46端子の出力データを設定してください。
5	P450	P45端子の出力データを設定してください。
4	P440	P44端子の出力データを設定してください。
3	P430	P43端子の出力データを設定してください。
2	P420	P42端子の出力データを設定してください。
1	P410	P41端子の出力データを設定してください。
0	P400	P40端子の出力データを設定してください。

端子にデータを出力するときは、P4OUTレジスタにデータを書込んだ後、P4DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート4入力データレジスタ (P4IN : 0x0000A014) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47I	P46I	P45I	P44I	P43I	P42I	P41I	P40I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P47I	P47端子の入力データを読出します。
6	P46I	P46端子の入力データを読出します。
5	P45I	P45端子の入力データを読出します。
4	P44I	P44端子の入力データを読出します。
3	P43I	P43端子の入力データを読出します。
2	P42I	P42端子の入力データを読出します。
1	P41I	P41端子の入力データを読出します。
0	P40I	P40端子の入力データを読出します。

端子の入力データを読出す時は、P4DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P4INレジスタの値を読出してください。

■ ポート4入出力制御レジスタ (P4DIR : 0x0000A024) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47D	P47端子の入出力制御 0 : 入力 1 : 出力
6	P46D	P46端子の入出力制御 0 : 入力 1 : 出力
5	P45D	P45端子の入出力制御 0 : 入力 1 : 出力
4	P44D	P44端子の入出力制御 0 : 入力 1 : 出力
3	P43D	P43端子の入出力制御 0 : 入力 1 : 出力
2	P42D	P42端子の入出力制御 0 : 入力 1 : 出力
1	P41D	P41端子の入出力制御 0 : 入力 1 : 出力
0	P40D	P40端子の入出力制御 0 : 入力 1 : 出力

■ ポート4モードレジスタ (P4MD : 0x0000A050) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P4MD70	-			P4MD60	-		P4MD51-0		-		P4MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P4MD31-0		-		P4MD21-0		-			P4MD10	-		P4MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P4MD70	P47端子の機能選択 0: 汎用ポート機能(P47端子) 1: 特殊機能(TM11IO端子)
27-25	-	必ず"0"を読出します。
24	P4MD60	P46端子の機能選択 0: 汎用ポート機能(P46端子) 1: 特殊機能(TM10IO端子)
23-22	-	必ず"0"を読出します。
21-20	P4MD51-0	P45端子の機能選択 00: 汎用ポート機能(P45端子) 01: 特殊機能(TM9IO端子) 1X: 特殊機能(PWMBCST1端子)
19-18	-	必ず"0"を読出します。
17-16	P4MD41-0	P44端子の機能選択 00: 汎用ポート機能(P44端子) 01: 特殊機能(TM8IO端子) 1X: 特殊機能(PWMBCST0端子)
15-14	-	必ず"0"を読出します。
13-12	P4MD31-0	P43端子の機能選択 00: 汎用ポート機能(P43端子) 01: 特殊機能(TM3IO端子) 10: 特殊機能(IRQ11端子) 11: 特殊機能(CANRXD_B端子)
11-10	-	必ず"0"を読出します。
9-8	P4MD21-0	P42端子の機能選択 00: 汎用ポート機能(P42端子) 01: 特殊機能(TM2IO端子) 10: 特殊機能(IRQ10端子) 11: 特殊機能(CANTXD_B端子)
7-5	-	必ず"0"を読出します。
4	P4MD10	P41端子の機能選択 0: 汎用ポート機能(P41端子) 1: 特殊機能(TM7IO端子)
3-2	-	必ず"0"を読出します。
1-0	P4MD01-0	P40端子の機能選択 00: 汎用ポート機能(P40端子) 01: 特殊機能(TM6IO端子) 1X: 特殊機能(SBCS3端子)

■ ポート4プルアップ制御レジスタ (P4PLU : 0x0000A034) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47R	P46R	P45R	P44R	P43R	P42R	P41R	P40R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47R	P47端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P46R	P46端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P45R	P45端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P44R	P44端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P43R	P43端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P42R	P42端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P41R	P41端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P40R	P40端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート4Nchオープンドレイン制御レジスタ (P4ODC : 0x0000A094) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P4ODC2	-	P4ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R/W

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P4ODC2	P42端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_B端子選択時のみ有効
1	-	必ず"0"を読出します。
0	P4ODC0	P40端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBCS3端子選択時のみ有効

17.7 ポート5

ポート5の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P5MDレジスタ）（表17.7.1参照）

・端子の入出力制御が可能（P5DIRレジスタ）（表17.7.1参照）

・プルアップ抵抗付加の選択が可能（P5PLUレジスタ）

ポート5の端子機能とレジスタ設定値を表17.7.1に示します。

表 17.7.1 ポート 5 の端子機能とレジスタ設定値

端子名	端子機能	P5MDレジスタ/P5MD00ビット	P5DIRレジスタ/P50Dビット
P50	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM16AIO入力	1	0
	TM16AIO出力	1	1

端子名	端子機能	P5MDレジスタ/P5MD10ビット	P5DIRレジスタ/P51Dビット
P51	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM16BIO入力	1	0
	TM16BIO出力	1	1

端子名	端子機能	P5MDレジスタ/P5MD21, P5MD20ビット	P5DIRレジスタ/P52Dビット
P52	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16AO出力	01	1
	PWM10_B	1X	1

端子名	端子機能	P5MDレジスタ/P5MD31, P5MD30ビット	P5DIRレジスタ/P53Dビット
P53	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16BO出力	01	1
	PWM11_B	1X	1

端子名	端子機能	P5MDレジスタ/P5MD41, P5MD40 ビット	P5DIRレジスタ/P54Dビット
P54	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17AIO入力	01	0
	TM17AIO出力	01	1
	PWM12_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD51, P5MD50 ビット	P5DIRレジスタ/P55Dビット
P55	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17BIO入力	01	0
	TM17BIO出力	01	1
	PWM13_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD61, P5MD60 ビット	P5DIRレジスタ/P56Dビット
P56	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17AO出力	01	1
	PWM14_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD71, P5MD70 ビット	P5DIRレジスタ/P57Dビット
P57	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17BO出力	01	1
	PWM15_B出力	1X	1

17.7.1　ポート5の制御レジスタ

ポート5の制御レジスタの一覧を表17.7.2に示します。

表 17.7.2 ポート 5 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート5	P5OUT	0x0000A005	R/W	8	ポート5出力データレジスタ	XVII-34
	P5IN	0x0000A015	R	8	ポート5入力データレジスタ	XVII-35
	P5DIR	0x0000A025	R/W	8	ポート5入出力制御レジスタ	XVII-35
	P5MD	0x0000A054	R/W	8, 16, 32	ポート5モードレジスタ	XVII-36
	P5PLU	0x0000A035	R/W	8	ポート5プルアップ制御レジスタ	XVII-37

■ ポート5出力レジスタ (P5OUT : 0x0000A005) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P570	P560	P550	P540	P530	P520	P510	P500
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P570	P57端子の出力データを設定してください。
6	P560	P56端子の出力データを設定してください。
5	P550	P55端子の出力データを設定してください。
4	P540	P54端子の出力データを設定してください。
3	P530	P53端子の出力データを設定してください。
2	P520	P52端子の出力データを設定してください。
1	P510	P51端子の出力データを設定してください。
0	P500	P50端子の出力データを設定してください。

端子にデータを出力するときは、P5OUTレジスタにデータを書込んだ後、P5DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート5入力データレジスタ (P5IN : 0x0000A015) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57I	P56I	P55I	P54I	P53I	P52I	P51I	P50I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P57I	P57端子の入力データを読出します。
6	P56I	P56端子の入力データを読出します。
5	P55I	P55端子の入力データを読出します。
4	P54I	P54端子の入力データを読出します。
3	P53I	P53端子の入力データを読出します。
2	P52I	P52端子の入力データを読出します。
1	P51I	P51端子の入力データを読出します。
0	P50I	P50端子の入力データを読出します。

端子の入力データを読出す時は、P5DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P5INレジスタの値を読出してください。

■ ポート5入出力制御レジスタ (P5DIR : 0x0000A025) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P57D	P57端子の入出力制御 0 : 入力 1 : 出力
6	P56D	P56端子の入出力制御 0 : 入力 1 : 出力
5	P55D	P55端子の入出力制御 0 : 入力 1 : 出力
4	P54D	P54端子の入出力制御 0 : 入力 1 : 出力
3	P53D	P53端子の入出力制御 0 : 入力 1 : 出力
2	P52D	P52端子の入出力制御 0 : 入力 1 : 出力
1	P51D	P51端子の入出力制御 0 : 入力 1 : 出力
0	P50D	P50端子の入出力制御 0 : 入力 1 : 出力

■ ポート5モードレジスタ (P5MD : 0x0000A054) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-		P5MD71-0		-		P5MD61-0		-		P5MD51-0		-		P5MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P5MD31-0		-		P5MD21-0		-			P5MD10	-			P5MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-30	-	必ず"0"を読出します。
29-28	P5MD71-0	P57端子の機能選択 00: 汎用ポート機能(P57端子) 01: 特殊機能(TM17BO端子) 1X: 特殊機能(PWM15_B端子)
27-26	-	必ず"0"を読出します。
25-24	P5MD61-0	P56端子の機能選択 00: 汎用ポート機能(P56端子) 01: 特殊機能(TM17AO端子) 1X: 特殊機能(PWM14_B端子)
23-22	-	必ず"0"を読出します。
21-20	P5MD51-0	P55端子の機能選択 00: 汎用ポート機能(P55端子) 01: 特殊機能(TM17BIO端子) 1X: 特殊機能(PWM13_B端子)
19-18	-	必ず"0"を読出します。
17-16	P5MD41-0	P54端子の機能選択 00: 汎用ポート機能(P54端子) 01: 特殊機能(TM17AIO端子) 1X: 特殊機能(PWM12_B端子)
15-14	-	必ず"0"を読出します。
13-12	P5MD31-0	P53端子の機能選択 00: 汎用ポート機能(P53端子) 01: 特殊機能(TM16BO端子) 1X: 特殊機能(PWM11_B端子)
11-10	-	必ず"0"を読出します。
9-8	P5MD21-0	P52端子の機能選択 00: 汎用ポート機能(P52端子) 01: 特殊機能(TM16AO端子) 1X: 特殊機能(PWM10_B端子)
7-5	-	必ず"0"を読出します。
4	P5MD10	P51端子の機能選択 0: 汎用ポート機能(P51端子) 1: 特殊機能(TM16BIO端子)
3-1	-	必ず"0"を読出します。
0	P5MD00	P50端子の機能選択 0: 汎用ポート機能(P50端子) 1: 特殊機能(TM16AIO端子)

■ ポート5プルアップ制御レジスタ (P5PLU : 0x0000A035) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P57R	P56R	P55R	P54R	P53R	P52R	P51R	P50R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P57R	P57端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P56R	P56端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P55R	P55端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P54R	P54端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P53R	P53端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P52R	P52端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P51R	P51端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P50R	P50端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

17.8 ポート6

ポート6の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P6MDレジスタ）（表17.8.1参照）

・端子の入出力制御が可能（P6DIRレジスタ）（表17.8.1参照）

・プルアップ抵抗付加の選択が可能（P6PLUレジスタ）

ポート6の端子機能とレジスタ設定値を表17.8.1に示します。

表 17.8.1 ポート 6 の端子機能とレジスタ設定値

端子名	端子機能	P6MDレジスタ/P6MD0Oビット	P6DIRレジスタ/P60Dビット
P60	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM18AIO入力	1	0
	TM18AIO出力	1	1

端子名	端子機能	P6MDレジスタ/P6MD1Oビット	P6DIRレジスタ/P61Dビット
P61	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM18BIO入力	1	0
	TM18BIO出力	1	1

端子名	端子機能	P6MDレジスタ/P6MD4Oビット	P6DIRレジスタ/P64Dビット
P64	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM19AIO入力	1	0
	TM19AIO出力	1	1

端子名	端子機能	P6MDレジスタ/P6MD5Oビット	P6DIRレジスタ/P65Dビット
P65	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM19BIO入力	1	0
	TM19BIO出力	1	1

17.8.1 ポート6の制御レジスタ

ポート6の制御レジスタの一覧を表17.8.2に示します。

表 17.8.2 ポート 6 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート6	P6OUT	0x0000A006	R/W	8	ポート6出力データレジスタ	XVII-39
	P6IN	0x0000A016	R	8	ポート6入力データレジスタ	XVII-40
	P6DIR	0x0000A026	R/W	8	ポート6入出力制御レジスタ	XVII-40
	P6MD	0x0000A058	R/W	8, 16, 32	ポート6モードレジスタ	XVII-41
	P6PLU	0x0000A036	R/W	8	ポート6プルアップ制御レジスタ	XVII-41

■ ポート6出力データレジスタ (P6OUT : 0x0000A006) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P650	P640	-		P610	P600
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P650	P65端子の出力データを設定してください。
4	P640	P64端子の出力データを設定してください。
3-2	-	必ず"0"を読出します。
1	P610	P61端子の出力データを設定してください。
0	P600	P60端子の出力データを設定してください。

端子にデータを出力するときは、P6OUTレジスタにデータを書込んだ後、P6DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート6入力データレジスタ (P6IN : 0x0000A016) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65I	P64I	-		P61I	P60I
初期値	0	0	X	X	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65I	P65端子の入力データを読出します。
4	P64I	P64端子の入力データを読出します。
3-2	-	必ず"0"を読出します。
1	P61I	P61端子の入力データを読出します。
0	P60I	P60端子の入力データを読出します。

端子の入力データを読出す時は、P6DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P6INレジスタの値を読出してください。

■ ポート6入出力制御レジスタ (P6DIR : 0x0000A026) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65D	P64D	-		P61D	P60D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65D	P65端子の入出力制御 0 : 入力 1 : 出力
4	P64D	P64端子の入出力制御 0 : 入力 1 : 出力
3-2	-	必ず"0"を読出します。
1	P61D	P61端子の入出力制御 0 : 入力 1 : 出力
0	P60D	P60端子の入出力制御 0 : 入力 1 : 出力

■ ポート6モードレジスタ (P6MD : 0x0000A058) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P6MD50	-			P6MD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-											P6MD10	-			P6MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P6MD50	P65端子の機能選択 0: 汎用ポート機能(P65端子) 1: 特殊機能(TM19BIO端子)
19-17	-	必ず"0"を読出します。
16	P6MD40	P64端子の機能選択 0: 汎用ポート機能(P64端子) 1: 特殊機能(TM19AIO端子)
15-5	-	必ず"0"を読出します。
4	P6MD10	P61端子の機能選択 0: 汎用ポート機能(P61端子) 1: 特殊機能(TM18BIO端子)
3-1	-	必ず"0"を読出します。
0	P6MD00	P60端子の機能選択 0: 汎用ポート機能(P60端子) 1: 特殊機能(TM18AIO端子)

■ ポート6プルアップ制御レジスタ (P6PLU : 0x0000A036) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65R	P64R	-		P61R	P60R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65R	P65端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P64R	P64端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-2	-	必ず"0"を読出します。
1	P61R	P61端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P60R	P60端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

17.9 ポート7

ポート7の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P7MDレジスタ）（表17.9.1参照）

・端子の入出力制御が可能（P7DIRレジスタ）（表17.9.1参照）

・プルアップ抵抗付加の選択が可能（P7PLUレジスタ）

ポート7の端子機能とレジスタ設定値を表17.9.1に示します。

表 17.9.1 ポート 7 の端子機能とレジスタ設定値

端子名	端子機能	P7MDレジスタ/P7MD01, P7MD00 ビット	P7DIRレジスタ/P70Dビット
P70	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM20AIO入力	01	0
	TM20AIO出力	01	1
	IRQ12入力	10	0
	PWM02_B出力	11	1

端子名	端子機能	P7MDレジスタ/P7MD11, P7MD10 ビット	P7DIRレジスタ/P71Dビット
P71	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM20BIO入力	01	0
	TM20BIO出力	01	1
	IRQ13入力	10	0
	PWM03_B出力	11	1

端子名	端子機能	P7MDレジスタ/P7MD21, P7MD20 ビット	P7DIRレジスタ/P72Dビット
P72	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM21AIO入力	01	0
	TM21AIO出力	01	1
	IRQ14入力	10	0
	PWM04_B出力	11	1

端子名	端子機能	P7MDレジスタ/P7MD31, P7MD30 ビット	P7DIRレジスタ/P73Dビット
P73	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM21BIO入力	01	0
	TM21BIO出力	01	1
	IRQ15入力	10	0
	PWM05_B出力	11	1

17.9.1 ポート7の制御レジスタ

ポート7の制御レジスタの一覧を表17.9.2に示します。

表 17.9.2 ポート 7 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート7	P7OUT	0x0000A007	R/W	8	ポート7出力データレジスタ	XVII-44
	P7IN	0x0000A017	R	8	ポート7入力データレジスタ	XVII-45
	P7DIR	0x0000A027	R/W	8	ポート7入出力制御レジスタ	XVII-45
	P7MD	0x0000A05C	R/W	8, 16, 32	ポート7モードレジスタ	XVII-46
	P7PLU	0x0000A037	R/W	8	ポート7プルアップ制御レジスタ	XVII-47

■ ポート7出力データレジスタ (P7OUT : 0x0000A007) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P730	P720	P710	P700
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P730	P73端子の出力データを設定してください。
2	P720	P72端子の出力データを設定してください。
1	P710	P71端子の出力データを設定してください。
0	P700	P70端子の出力データを設定してください。

端子にデータを出力するときは、P7OUTレジスタにデータを書込んだ後、P7DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート7入力データレジスタ (P7IN : 0x0000A017) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P73I	P72I	P71I	P70I
初期値	0	0	0	0	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P73I	P73端子の入力データを読出します。
2	P72I	P72端子の入力データを読出します。
1	P71I	P71端子の入力データを読出します。
0	P70I	P70端子の入力データを読出します。

端子の入力データを読出す時は、P7DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P7INレジスタの値を読出してください。

■ ポート7入出力制御レジスタ (P7DIR : 0x0000A027) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P73D	P72D	P71D	P70D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P73D	P73端子の入出力制御 0 : 入力 1 : 出力
2	P72D	P72端子の入出力制御 0 : 入力 1 : 出力
1	P71D	P71端子の入出力制御 0 : 入力 1 : 出力
0	P70D	P70端子の入出力制御 0 : 入力 1 : 出力

■ ポート7モードレジスタ (P7MD : 0x0000A05C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P7MD31-0		-		P7MD21-0		-		P7MD11-0		-		P7MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-14	-	必ず"0"を読出します。
13-12	P7MD31-0	P73端子の機能選択 00: 汎用ポート機能(P73端子) 01: 特殊機能(TM21BIO端子) 10: 特殊機能(IRQ15端子) 11: 特殊機能(PWM05_B端子)
11-10	-	必ず"0"を読出します。
9-8	P7MD21-0	P72端子の機能選択 00: 汎用ポート機能(P72端子) 01: 特殊機能(TM21AIO端子) 10: 特殊機能(IRQ14端子) 11: 特殊機能(PWM04_B端子)
7-6	-	必ず"0"を読出します。
5-4	P7MD11-0	P71端子の機能選択 00: 汎用ポート機能(P71端子) 01: 特殊機能(TM20BIO端子) 10: 特殊機能(IRQ13端子) 11: 特殊機能(PWM03_B端子)
3-2	-	必ず"0"を読出します。
1-0	P7MD01-0	P70端子の機能選択 00: 汎用ポート機能(P70端子) 01: 特殊機能(TM20AIO端子) 10: 特殊機能(IRQ12端子) 11: 特殊機能(PWM02_B端子)

■ ポート7プルアップ制御レジスタ (P7PLU : 0x0000A037) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P73R	P72R	P71R	P70R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P73R	P73端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P72R	P72端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P71R	P71端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P70R	P70端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

17.10ポート8

ポート8の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P8MDレジスタ）（表17.10.1参照）

・端子の入出力制御が可能（P8DIRレジスタ）（表17.10.1参照）

・プルアップ抵抗付加の選択が可能（P8PLUレジスタ）

ポート8の端子機能とレジスタ設定値を表17.10.1に示します。

表 17.10.1 ポート 8 の端子機能とレジスタ設定値

端子名	端子機能	P8MDレジスタ/P8MD01, P8MD00ビット	P8DIRレジスタ/P80Dビット
P80	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM00出力	01	1

端子名	端子機能	P8MDレジスタ/P8MD11, P8MD10ビット	P8DIRレジスタ/P81Dビット
P81	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM01出力	01	1

端子名	端子機能	P8MDレジスタ/P8MD21, P8MD20ビット	P8DIRレジスタ/P82Dビット
P82	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM02_A出力	01	1
	TM18A0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD31, P8MD30ビット	P8DIRレジスタ/P83Dビット
P83	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM03_A出力	01	1
	TM18B0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD41, P8MD40 ビット	P8DIRレジスタ/P84Dビット
P84	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM04_A出力	01	1
	TM19AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD51, P8MD50 ビット	P8DIRレジスタ/P85Dビット
P85	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM05_A出力	01	1
	TM19BO_HR出力	1X	1

17.10.1 ポート8の制御レジスタ

ポート8の制御レジスタの一覧を表17.10.2に示します。

表 17.10.2 ポート 8 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート8	P8OUT	0x0000A008	R/W	8	ポート8出力データレジスタ	XVII-50
	P8IN	0x0000A018	R	8	ポート8入力データレジスタ	XVII-51
	P8DIR	0x0000A028	R/W	8	ポート8入出力制御レジスタ	XVII-51
	P8MD	0x0000A060	R/W	8, 16, 32	ポート8モードレジスタ	XVII-52
	P8PLU	0x0000A038	R/W	8	ポート8プルアップ制御レジスタ	XVII-53

■ ポート8出力データレジスタ (P8OUT : 0x0000A008) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P850	P840	P830	P820	P810	P800
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P850	P85端子の出力データを設定してください。
4	P840	P84端子の出力データを設定してください。
3	P830	P83端子の出力データを設定してください。
2	P820	P82端子の出力データを設定してください。
1	P810	P81端子の出力データを設定してください。
0	P800	P80端子の出力データを設定してください。

端子にデータを出力するときは、P8OUTレジスタにデータを書込んだ後、P8DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート8入力データレジスタ (P8IN : 0x0000A018) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85I	P84I	P83I	P82I	P81I	P80I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85I	P85端子の入力データを読出します。
4	P84I	P84端子の入力データを読出します。
3	P83I	P83端子の入力データを読出します。
2	P82I	P82端子の入力データを読出します。
1	P81I	P81端子の入力データを読出します。
0	P80I	P80端子の入力データを読出します。

端子の入力データを読出す時は、P8DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P8INレジスタの値を読出してください。

■ ポート8入出力制御レジスタ (P8DIR : 0x0000A028) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85D	P84D	P83D	P82D	P81D	P80D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85D	P85端子の入出力制御 0 : 入力 1 : 出力
4	P84D	P84端子の入出力制御 0 : 入力 1 : 出力
3	P83D	P83端子の入出力制御 0 : 入力 1 : 出力
2	P82D	P82端子の入出力制御 0 : 入力 1 : 出力
1	P81D	P81端子の入出力制御 0 : 入力 1 : 出力
0	P80D	P80端子の入出力制御 0 : 入力 1 : 出力

■ ポート8モードレジスタ (P8MD : 0x0000A060) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P8MD51-0		-		P8MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P8MD31-0		-		P8MD21-0		-		P8MD11-0		-		P8MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P8MD51-0	P85端子の機能選択 00: 汎用ポート機能(P85端子) 01: 特殊機能(PWM05_A端子) 1X: 特殊機能(TM19BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P8MD41-0	P84端子の機能選択 00: 汎用ポート機能(P84端子) 01: 特殊機能(PWM04_A端子) 1X: 特殊機能(TM19AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P8MD31-0	P83端子の機能選択 00: 汎用ポート機能(P83端子) 01: 特殊機能(PWM03_A端子) 1X: 特殊機能(TM18BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P8MD21-0	P82端子の機能選択 00: 汎用ポート機能(P82端子) 01: 特殊機能(PWM02_A端子) 1X: 特殊機能(TM18AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P8MD11-0	P81端子の機能選択 00: 汎用ポート機能(P81端子) 01: 特殊機能(PWM01端子) 1X: 設定禁止
3-2	-	必ず"0"を読出します。
1-0	P8MD01-0	P80端子の機能選択 00: 汎用ポート機能(P80端子) 01: 特殊機能(PWM00端子) 1X: 設定禁止

■ ポート8プルアップ制御レジスタ (P8PLU : 0x0000A038) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85R	P84R	P83R	P82R	P81R	P80R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85R	P85端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P84R	P84端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P83R	P83端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P82R	P82端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P81R	P81端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P80R	P80端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

17.11ポート9

ポート9の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P9MDレジスタ）（表17.11.1参照）

・端子の入出力制御が可能（P9DIRレジスタ）（表17.11.1参照）

・プルアップ抵抗付加の選択が可能（P9PLUレジスタ）

ポート9の端子機能とレジスタ設定値を表17.11.1に示します。

表 17.11.1 ポート 9 の端子機能とレジスタ設定値

端子名	端子機能	P9MDレジスタ/P9MD01, P9MD00 ビット	P9DIRレジスタ/P90Dビット
P90	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM10_A出力	01	1
	TM16AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD11, P9MD10 ビット	P9DIRレジスタ/P91Dビット
P91	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM11_A出力	01	1
	TM16BO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD21, P9MD20 ビット	P9DIRレジスタ/P92Dビット
P92	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM12_A出力	01	1
	TM17AO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD31, P9MD30 ビット	P9DIRレジスタ/P93Dビット
P93	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM13_A出力	01	1
	TM17BO_HR出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD41, P9MD40 ビット	P9DIRレジスタ/P94Dビット
P94	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM14_A出力	01	1
	TM22AIO入力	1X	0
	TM22AIO出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD51, P9MD50 ビット	P9DIRレジスタ/P95Dビット
P95	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM15_A出力	01	1
	TM22BIO入力	1X	0
	TM22BIO出力	1X	1

17.11.1 ポート9の制御レジスタ

ポート9の制御レジスタの一覧を表17.11.2に示します。

表 17.11.2 ポート 9 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート9	P9OUT	0x0000A009	R/W	8	ポート9出力データレジスタ	XVII-56
	P9IN	0x0000A019	R	8	ポート9入力データレジスタ	XVII-57
	P9DIR	0x0000A029	R/W	8	ポート9入出力制御レジスタ	XVII-57
	P9MD	0x0000A064	R/W	8, 16, 32	ポート9モードレジスタ	XVII-58
	P9PLU	0x0000A039	R/W	8	ポート9プルアップ制御レジスタ	XVII-59

■ ポート9出力データレジスタ (P9OUT : 0x0000A009) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P950	P940	P930	P920	P910	P900
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P950	P95端子の出力データを設定してください。
4	P940	P94端子の出力データを設定してください。
3	P930	P93端子の出力データを設定してください。
2	P920	P92端子の出力データを設定してください。
1	P910	P91端子の出力データを設定してください。
0	P900	P90端子の出力データを設定してください。

端子にデータを出力するときは、P9OUTレジスタにデータを書込んだ後、P9DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート9入力データレジスタ (P9IN : 0x0000A019) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95I	P94I	P93I	P92I	P91I	P90I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95I	P95端子の入力データを読出します。
4	P94I	P94端子の入力データを読出します。
3	P93I	P93端子の入力データを読出します。
2	P92I	P92端子の入力データを読出します。
1	P91I	P91端子の入力データを読出します。
0	P90I	P90端子の入力データを読出します。

端子の入力データを読出す時は、P9DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P9INレジスタの値を読出してください。

■ ポート9入出力制御レジスタ (P9DIR : 0x0000A029) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95D	P94D	P93D	P92D	P91D	P90D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95D	P95端子の入出力制御 0 : 入力 1 : 出力
4	P94D	P94端子の入出力制御 0 : 入力 1 : 出力
3	P93D	P93端子の入出力制御 0 : 入力 1 : 出力
2	P92D	P92端子の入出力制御 0 : 入力 1 : 出力
1	P91D	P91端子の入出力制御 0 : 入力 1 : 出力
0	P90D	P90端子の入出力制御 0 : 入力 1 : 出力

■ ポート9モードレジスタ (P9MD : 0x0000A064) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P9MD51-0		-		P9MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P9MD31-0		-		P9MD21-0		-		P9MD11-0		-		P9MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P9MD51-0	P95端子の機能選択 00: 汎用ポート機能(P95端子) 01: 特殊機能(PWM15_A端子) 1X: 特殊機能(TM22BIO端子)
19-18	-	必ず"0"を読出します。
17-16	P9MD41-0	P94端子の機能選択 00: 汎用ポート機能(P94端子) 01: 特殊機能(PWM14_A端子) 1X: 特殊機能(TM22AIO端子)
15-14	-	必ず"0"を読出します。
13-12	P9MD31-0	P93端子の機能選択 00: 汎用ポート機能(P93端子) 01: 特殊機能(PWM13_A端子) 1X: 特殊機能(TM17BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P9MD21-0	P92端子の機能選択 00: 汎用ポート機能(P92端子) 01: 特殊機能(PWM12_A端子) 1X: 特殊機能(TM17AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P9MD11-0	P91端子の機能選択 00: 汎用ポート機能(P91端子) 01: 特殊機能(PWM11_A端子) 1X: 特殊機能(TM16BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P9MD01-0	P90端子の機能選択 00: 汎用ポート機能(P90端子) 01: 特殊機能(PWM10_A端子) 1X: 特殊機能(TM16AO_HR端子)

■ ポート9プルアップ制御レジスタ (P9PLU : 0x0000A039) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95R	P94R	P93R	P92R	P91R	P90R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95R	P95端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P94R	P94端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P93R	P93端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P92R	P92端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P91R	P91端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P90R	P90端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

17.12ポートB

ポートBの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PBMDレジスタ）（表17.12.1参照）

・端子の入出力制御が可能（PBDIRレジスタ）（表17.12.1参照）

・プルアップ抵抗付加の選択が可能（PBPLUレジスタ）

ポートBの端子機能とレジスタ設定値を表17.12.1に示します。

表 17.12.1 ポート B の端子機能とレジスタ設定値

端子名	端子機能	PBMDレジスタ/PBMD01，PBMD00ビット	PBDIRレジスタ/PB0Dビット
PB0	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23AIO入力	01	0
	TM23AIO出力	01	1
	ADTRG0出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD11，PBMD10ビット	PBDIRレジスタ/PB1Dビット
PB1	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23BIO入力	01	0
	TM23BIO出力	01	1
	ADTRG1出力	1X	1

端子名	端子機能	PBMDレジスタ/PBMD20ビット	PBDIRレジスタ/PB2Dビット
PB2	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADTRG2出力	1	1

端子名	端子機能	PBMDレジスタ/PBMD30ビット	PBDIRレジスタ/PB3Dビット
PB3	汎用ポート入力	0	0
	汎用ポート出力	0	1
	CMP0OUT出力	1	X

端子名	端子機能	PBMDレジスタ/PBMD40ビット	PBDIRレジスタ/PB4Dビット
PB4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	CMP1OUT出力	1	X

端子名	端子機能	PBMDレジスタ/PBMD50ビット	PBDIRレジスタ/PB5Dビット
PB5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	CMP2OUT出力	1	X

17.12.1 ポートBの制御レジスタ

ポートBの制御レジスタの一覧を表17.12.2に示します。

表 17.12.2 ポート B の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートB	PBOUT	0x0000A00B	R/W	8	ポートB出力データレジスタ	XVII-62
	PBIN	0x0000A01B	R	8	ポートB入力データレジスタ	XVII-63
	PBDIR	0x0000A02B	R/W	8	ポートB入出力制御レジスタ	XVII-63
	PBMD	0x0000A06C	R/W	8, 16, 32	ポートBモードレジスタ	XVII-64
	PBPLU	0x0000A03B	R/W	8	ポートBプルアップ制御レジスタ	XVII-65

■ ポートB出力データレジスタ (PBOUT : 0x0000A00B) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB50	PB40	PB30	PB20	PB10	PB00
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB50	PB5端子の出力データを設定してください。
4	PB40	PB4端子の出力データを設定してください。
3	PB30	PB3端子の出力データを設定してください。
2	PB20	PB2端子の出力データを設定してください。
1	PB10	PB1端子の出力データを設定してください。
0	PB00	PB0端子の出力データを設定してください。

端子にデータを出力するときは、PBOUTレジスタにデータを書込んだ後、PBDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートB入力データレジスタ (PBIN : 0x0000A01B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5I	PB4I	PB3I	PB2I	PB1I	PB0I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5I	PB5端子の入力データを読出します。
4	PB4I	PB4端子の入力データを読出します。
3	PB3I	PB3端子の入力データを読出します。
2	PB2I	PB2端子の入力データを読出します。
1	PB1I	PB1端子の入力データを読出します。
0	PB0I	PB0端子の入力データを読出します。

端子の入力データを読出す時は、PBDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PBINレジスタの値を読出してください。

■ ポートB入出力制御レジスタ (PBDIR : 0x0000A02B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5D	PB4D	PB3D	PB2D	PB1D	PB0D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5D	PB5端子の入出力制御 0 : 入力 1 : 出力
4	PB4D	PB4端子の入出力制御 0 : 入力 1 : 出力
3	PB3D	PB3端子の入出力制御 0 : 入力 1 : 出力
2	PB2D	PB2端子の入出力制御 0 : 入力 1 : 出力
1	PB1D	PB1端子の入出力制御 0 : 入力 1 : 出力
0	PB0D	PB0端子の入出力制御 0 : 入力 1 : 出力

■ ポートBモードレジスタ (PBMD : 0x0000A06C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PBMD50	-			PBMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PBMD30	-			PBMD20	-		PBMD11-0		-		PBMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PBMD50	PB5端子の機能選択 0: 汎用ポート機能(PB5端子) 1: 特殊機能(CMP2OUT端子)
19-17	-	必ず"0"を読出します。
16	PBMD40	PB4端子の機能選択 0: 汎用ポート機能(PB4端子) 1: 特殊機能(CMP1OUT端子)
15-13	-	必ず"0"を読出します。
12	PBMD30	PB3端子の機能選択 0: 汎用ポート機能(PB3端子) 1: 特殊機能(CMP0OUT端子)
11-9	-	必ず"0"を読出します。
8	PBMD20	PB2端子の機能選択 0: 汎用ポート機能(PB2端子) 1: 特殊機能(ADTRG2端子)
7-6	-	必ず"0"を読出します。
5-4	PBMD11-0	PB1端子の機能選択 00: 汎用ポート機能(PB1端子) 01: 特殊機能(TM23BIO端子) 1X: 特殊機能(ADTRG1端子)
3-2	-	必ず"0"を読出します。
1-0	PBMD01-0	PB0端子の機能選択 00: 汎用ポート機能(PB0端子) 01: 特殊機能(TM23AIO端子) 1X: 特殊機能(ADTRG0端子)

■ ポートBプルアップ制御レジスタ (PBPLU : 0x0000A03B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PB5R	PB4R	PB3R	PB2R	PB1R	PB0R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PB5R	PB5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PB4R	PB4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	PB3R	PB3端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	PB2R	PB2端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	PB1R	PB1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PB0R	PB0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

17.13ポートC

ポートCの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PCMDレジスタ）（表17.13.1参照）

・端子の入出力制御が可能（PCDIRレジスタ）（表17.13.1参照）

・プルアップ抵抗付加の選択が可能（PCPLUレジスタ）

ポートCの端子機能とレジスタ設定値を表17.13.1に示します。

表 17.13.1 ポート C の端子機能とレジスタ設定値

端子名	端子機能	PCMDレジスタ/PCMD00ビット
PC0	汎用ポート入力	0
	ADIN00入力 VGAON入力(*1) CMPOREF入力	1

端子名	端子機能	PCMDレジスタ/PCMD10ビット
PC1	汎用ポート入力	0
	ADIN01入力 VGAOP0入力(*1) CMP0IN入力	1

端子名	端子機能	PCMDレジスタ/PCMD20ビット
PC2	汎用ポート入力	0
	ADIN02入力 VGAOP1入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD30ビット
PC3	汎用ポート入力	0
	ADIN03入力 VGAOP2入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD40ビット	PCDIRレジスタ/PC4Dビット
PC4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN04入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD50ビット	PCDIRレジスタ/PC5Dビット
PC5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN05入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD60ビット	PCDIRレジスタ/PC6Dビット
PC6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN06入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD70ビット	PCDIRレジスタ/PC7Dビット
PC7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN07入力	1	X

*1 MN103HF46シリーズでは、特殊機能(VGAON,VGAOP0,VGAOP1,VGAOP2)を使用できません。

17.13.1 ポートCの制御レジスタ

ポートCの制御レジスタの一覧を表17.13.2に示します。

表17.13.2 ポートCの制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートC	PCOUT	0x0000A00C	R/W	8	ポートC出力データレジスタ	XVII-68
	PCIN	0x0000A01C	R	8	ポートC入力データレジスタ	XVII-69
	PCDIR	0x0000A02C	R/W	8	ポートC入出力制御レジスタ	XVII-69
	PCMD	0x0000A070	R/W	8, 16, 32	ポートCモードレジスタ	XVII-70
	PCPLU	0x0000A03C	R/W	8	ポートCプルアップ制御レジスタ	XVII-71

■ ポートC出力データレジスタ（PCOUT : 0x0000A00C）[8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC70	PC60	PC50	PC40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC70	PC7端子の出力データを設定してください。
6	PC60	PC6端子の出力データを設定してください。
5	PC50	PC5端子の出力データを設定してください。
4	PC40	PC4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PCOUTレジスタにデータを書込んだ後、PCDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートC入力データレジスタ (PCIN : 0x0000A01C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7I	PC6I	PC5I	PC4I	PC3I	PC2I	PC1I	PC0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PC7I	PC7端子の入力データを読出します。
6	PC6I	PC6端子の入力データを読出します。
5	PC5I	PC5端子の入力データを読出します。
4	PC4I	PC4端子の入力データを読出します。
3	PC3I	PC3端子の入力データを読出します。
2	PC2I	PC2端子の入力データを読出します。
1	PC1I	PC1端子の入力データを読出します。
0	PC0I	PC0端子の入力データを読出します。

端子の入力データを読出す時は、PCDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PCINレジスタの値を読出してください。

■ ポートC入出力制御レジスタ (PCDIR : 0x0000A02C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7D	PC6D	PC5D	PC4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7D	PC7端子の入出力制御 0 : 入力 1 : 出力
6	PC6D	PC6端子の入出力制御 0 : 入力 1 : 出力
5	PC5D	PC5端子の入出力制御 0 : 入力 1 : 出力
4	PC4D	PC4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートCモードレジスタ (PCMD : 0x0000A070) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PCMD70	-			PCMD60	-			PCMD50	-			PCMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PCMD30	-			PCMD20	-			PCMD10	-			PCMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PCMD70	PC7端子の機能選択 0: 汎用ポート機能(PC7端子) 1: 特殊機能(ADIN07端子)
27-25	-	必ず"0"を読出します。
24	PCMD60	PC6端子の機能選択 0: 汎用ポート機能(PC6端子) 1: 特殊機能(ADIN06端子)
23-21	-	必ず"0"を読出します。
20	PCMD50	PC5端子の機能選択 0: 汎用ポート機能(PC5端子) 1: 特殊機能(ADIN05端子)
19-17	-	必ず"0"を読出します。
16	PCMD40	PC4端子の機能選択 0: 汎用ポート機能(PC4端子) 1: 特殊機能(ADIN04端子)
15-13	-	必ず"0"を読出します。
12	PCMD30	PC3端子の機能選択 0: 汎用ポート機能(PC3端子) 1: 特殊機能(ADIN03/VGAOP2端子) (*1)
11-9	-	必ず"0"を読出します。
8	PCMD20	PC2端子の機能選択 0: 汎用ポート機能(PC2端子) 1: 特殊機能(ADIN02/VGAOP1端子) (*1)
7-5	-	必ず"0"を読出します。
4	PCMD10	PC1端子の機能選択 0: 汎用ポート機能(PC1端子) 1: 特殊機能(ADIN01/VGAOP0/CMP0IN端子) (*1)
3-1	-	必ず"0"を読出します。
0	PCMD00	PC0端子の機能選択 0: 汎用ポート機能(PC0端子) 1: 特殊機能(ADIN00/VGAON/CMP0REF端子) (*1)

*1 MN103HF46シリーズでは、特殊機能(VGAON, VGAOP0, VGAOP1, VGAOP2)を使用できません。

■ ポートCプルアップ制御レジスタ (PCPLU : 0x0000A03C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7R	PC6R	PC5R	PC4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7R	PC7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PC6R	PC6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PC5R	PC5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PC4R	PC4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

17.14ポートD

ポートDの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PDMDレジスタ）（表17.14.1参照）

・端子の入出力制御が可能（PDDIRレジスタ）（表17.14.1参照）

・プルアップ抵抗付加の選択が可能（PDPLUレジスタ）

ポートDの端子機能とレジスタ設定値を表17.14.1に示します。

表 17.14.1 ポート D の端子機能とレジスタ設定値

端子名	端子機能	PDMDレジスタ/PDMD00ビット
PD0	汎用ポート入力	0
	ADIN08入力 VGA1N入力(*1) CMP1REF入力	1

端子名	端子機能	PDMDレジスタ/PDMD10ビット
PD1	汎用ポート入力	0
	ADIN09入力 VGA1P0入力(*1) CMP1IN入力	1

端子名	端子機能	PDMDレジスタ/PDMD20ビット
PD2	汎用ポート入力	0
	ADIN10入力 VGA1P1入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD30ビット
PD3	汎用ポート入力	0
	ADIN11入力 VGA1P2入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD40ビット	PDDIRレジスタ/PD4Dビット
PD4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN12入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD50ビット	PDDIRレジスタ/PD5Dビット
PD5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN13入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD60ビット	PDDIRレジスタ/PD6Dビット
PD6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN14入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD70ビット	PDDIRレジスタ/PD7Dビット
PD7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN15入力	1	X

*1 MN103HF46シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

17.14.1 ポートDの制御レジスタ

ポートDの制御レジスタの一覧を表17.14.2に示します。

表 17.14.2 ポート D の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートD	PDOUT	0x0000A00D	R/W	8	ポートD出力データレジスタ	XVII-74
	PDIN	0x0000A01D	R	8	ポートD入力データレジスタ	XVII-75
	PDDIR	0x0000A02D	R/W	8	ポートD入出力制御レジスタ	XVII-75
	PDMD	0x0000A074	R/W	8, 16, 32	ポートDモードレジスタ	XVII-76
	PDPLU	0x0000A03D	R/W	8	ポートDプルアップ制御レジスタ	XVII-77

■ ポートD出力データレジスタ (PDOUT : 0x0000A00D) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD70	PD60	PD50	PD40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD70	PD7端子の出力データを設定してください。
6	PD60	PD6端子の出力データを設定してください。
5	PD50	PD5端子の出力データを設定してください。
4	PD40	PD4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PDOUTレジスタにデータを書込んだ後、PDDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートD入力データレジスタ (PDIN : 0x0000A01D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7I	PD6I	PD5I	PD4I	PD3I	PD2I	PD1I	PD0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PD7I	PD7端子の入力データを読出します。
6	PD6I	PD6端子の入力データを読出します。
5	PD5I	PD5端子の入力データを読出します。
4	PD4I	PD4端子の入力データを読出します。
3	PD3I	PD3端子の入力データを読出します。
2	PD2I	PD2端子の入力データを読出します。
1	PD1I	PD1端子の入力データを読出します。
0	PD0I	PD0端子の入力データを読出します。

端子の入力データを読出す時は、PDDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PDINレジスタの値を読出してください。

■ ポートD入出力制御レジスタ (PDDIR : 0x0000A02D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7D	PD6D	PD5D	PD4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD7D	PD7端子の入出力制御 0 : 入力 1 : 出力
6	PD6D	PD6端子の入出力制御 0 : 入力 1 : 出力
5	PD5D	PD5端子の入出力制御 0 : 入力 1 : 出力
4	PD4D	PD4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートDモードレジスタ (PDMD : 0x0000A074) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PDMD70	-			PDMD60	-			PDMD50	-			PDMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PDMD30	-			PDMD20	-			PDMD10	-			PDMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PDMD70	PD7端子の機能選択 0: 汎用ポート機能(PD7端子) 1: 特殊機能(ADIN15端子)
27-25	-	必ず"0"を読出します。
24	PDMD60	PD6端子の機能選択 0: 汎用ポート機能(PD6端子) 1: 特殊機能(ADIN14端子)
23-21	-	必ず"0"を読出します。
20	PDMD50	PD5端子の機能選択 0: 汎用ポート機能(PD5端子) 1: 特殊機能(ADIN13端子)
19-17	-	必ず"0"を読出します。
16	PDMD40	PD4端子の機能選択 0: 汎用ポート機能(PD4端子) 1: 特殊機能(ADIN12端子)
15-13	-	必ず"0"を読出します。
12	PDMD30	PD3端子の機能選択 0: 汎用ポート機能(PD3端子) 1: 特殊機能(ADIN11/VGA1P2端子) (*1)
11-9	-	必ず"0"を読出します。
8	PDMD20	PD2端子の機能選択 0: 汎用ポート機能(PD2端子) 1: 特殊機能(ADIN10/VGA1P1端子) (*1)
7-5	-	必ず"0"を読出します。
4	PDMD10	PD1端子の機能選択 0: 汎用ポート機能(PD1端子) 1: 特殊機能(ADIN09/VGA1P0/CMP1IN端子) (*1)
3-1	-	必ず"0"を読出します。
0	PDMD00	PD0端子の機能選択 0: 汎用ポート機能(PD0端子) 1: 特殊機能(ADIN08/VGA1N/CMP1REF端子)(*1)

*1 MN103HF46シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

■ ポートDプルアップ制御レジスタ (PDPLU : 0x0000A03D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7R	PD6R	PD5R	PD4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PD7R	PD7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PD6R	PD6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PD5R	PD5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PD4R	PD4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

17.15ポートE

ポートEの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PEMDレジスタ）（表17.15.1参照）

・端子の入出力制御が可能（PEDIRレジスタ）（表17.15.1参照）

・プルアップ抵抗付加の選択が可能（PEPLUレジスタ）

ポートEの端子機能とレジスタ設定値を表17.15.1に示します。

表 17.15.1 ポート E の端子機能とレジスタ設定値

端子名	端子機能	PEMDレジスタ/PEMD00ビット
PE0	汎用ポート入力	0
	ADIN16入力 VGA2N入力(*1) CMP2REF入力	1

端子名	端子機能	PEMDレジスタ/PEMD10ビット
PE1	汎用ポート入力	0
	ADIN17入力 VGA2P入力(*1) CMP2IN入力	1

端子名	端子機能	PEMDレジスタ/PEMD40ビット	PEDIRレジスタ/PE4Dビット
PE4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN20入力	1	X

端子名	端子機能	PEMDレジスタ/PEMD50ビット	PEDIRレジスタ/PE5Dビット
PE5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN21入力	1	X

*1 MN103HF46シリーズでは、特殊機能(VGA2N,VGA2P)を使用できません。

17.15.1 ポートEの制御レジスタ

ポートEの制御レジスタの一覧を表17.15.2に示します。

表 17.15.2 ポート E の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートE	PEOUT	0x0000A00E	R/W	8	ポートE出力データレジスタ	XVII-79
	PEIN	0x0000A01E	R	8	ポートE入力データレジスタ	XVII-80
	PEDIR	0x0000A02E	R/W	8	ポートE入出力制御レジスタ	XVII-80
	PEMD	0x0000A078	R/W	8, 16, 32	ポートEモードレジスタ	XVII-81
	PEPLU	0x0000A03E	R/W	8	ポートEプルアップ制御レジスタ	XVII-81

■ ポートE出力データレジスタ (PEOUT : 0x0000A00E) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PE50	PE40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PE50	PE5端子の出力データを設定してください。
4	PE40	PE4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PEOUTレジスタにデータを書込んだ後、PEDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートE入力データレジスタ (PEIN : 0x0000A01E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PE5I	PE4I	-		PE1I	PE0I
初期値	0	0	X	X	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PE5I	PE5端子の入力データを読出します。
4	PE4I	PE4端子の入力データを読出します。
3-2	-	必ず"0"を読出します。
1	PE1I	PE1端子の入力データを読出します。
0	PE0I	PE0端子の入力データを読出します。

端子の入力データを読出す時は、PEDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PEINレジスタの値を読出してください。

■ ポートE入出力制御レジスタ (PEDIR : 0x0000A02E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PE5D	PE4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PE5D	PE5端子の入出力制御 0 : 入力 1 : 出力
4	PE4D	PE4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートEモードレジスタ (PEMD : 0x0000A078) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PEMD50	-			PEMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-											PEMD10	-			PEMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PEMD50	PE5端子の機能選択 0: 汎用ポート機能(PE5端子) 1: 特殊機能(ADIN21端子)
19-17	-	必ず"0"を読出します。
16	PEMD40	PE4端子の機能選択 0: 汎用ポート機能(PE4端子) 1: 特殊機能(ADIN20端子)
15-5	-	必ず"0"を読出します。
4	PEMD10	PE1端子の機能選択 0: 汎用ポート機能(PE1端子) 1: 特殊機能(ADIN17/VGA2P/CMP2IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PEMD00	PE0端子の機能選択 0: 汎用ポート機能(PE0端子) 1: 特殊機能(ADIN16/VGA2N/CMP2REF端子)(*1)

*1 MN103HF46シリーズでは、特殊機能(VGA2N,VGA2P)を使用できません。

■ ポートEプルアップ制御レジスタ (PEPLU : 0x0000A03E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PE5R	PE4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PE5R	PE5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PE4R	PE4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

第18章　I/Oポート（MN103HFx5シリーズ）

18

18.1 I/Oポートの概要

本LSIは、汎用ポート機能と特殊機能を兼用するI/Oポートを搭載しています。搭載数は計64本（ポート0、2～6、8、9、B～E)です。

18.1.1　I/Oポートの一覧

I/Oポートの一覧を表18.1.1に示します。

表 18.1.1　I/O ポートの一覧

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート0	P00	TM0IO/IRQ00/DA0OUT	I/O	入出力禁止	なし	汎用ポート
	P01	TM1IO/IRQ01/DA1OUT	I/O	入出力禁止	なし	汎用ポート
	P02	TM4IO/IRQ02/CANTXD_A	I/O	入出力禁止	なし	汎用ポート
	P03	TM5IO/IRQ03/CANRXD_A	I/O	入出力禁止	なし	汎用ポート
	P04	IRQ04	I/O	入出力禁止	なし	汎用ポート
	P05	IRQ05	I/O	入出力禁止	なし	汎用ポート
	P06	IRQ06	I/O	入出力禁止	なし	汎用ポート
	P07	IRQ07	I/O	入出力禁止	なし	汎用ポート
ポート2	P20	SBO0_A/SDA0_A/SBT0_B/SCL0_B	I/O	入出力禁止	なし	汎用ポート
	P21	SBT0_A/SCL0_A/SBO0_B/SDA0_B	I/O	入出力禁止	なし	汎用ポート
	P22	SBI0	I/O	入出力禁止	なし	汎用ポート
	P23	SBO1_A/SBT1_B/LINTXD_A	I/O	入出力禁止	なし	汎用ポート
	P24	SBT1_A/SBO1_B/LINTXD_B	I/O	入出力禁止	なし	汎用ポート
	P25	SBI1/LINRXD	I/O	入出力禁止	なし	汎用ポート
ポート3	P30	SBO3_A/SBT3_B	I/O	入出力禁止	なし	汎用ポート
	P31	SBT3_A/SBO3_B	I/O	入出力禁止	なし	汎用ポート
	P32	SBI3	I/O	入出力禁止	なし	汎用ポート
	P33	SBCS3/ADTRG2	I/O	入出力禁止	なし	汎用ポート
ポート4	P40	TM6IO/IRQ08	I/O	入出力禁止	なし	汎用ポート
	P41	TM7IO/IRQ09	I/O	入出力禁止	なし	汎用ポート
	P42	TM2IO/IRQ10/CANTXD_B	I/O	入出力禁止	なし	汎用ポート
	P43	TM3IO/IRQ11/CANRXD_B	I/O	入出力禁止	なし	汎用ポート
	P44	TM8IO/SBO2_A/SBT2_B	I/O	入出力禁止	なし	汎用ポート
	P45	TM9IO/SBT2_A/SBO2_B	I/O	入出力禁止	なし	汎用ポート
	P46	TM10IO/SBI2	I/O	入出力禁止	なし	汎用ポート
	P47	TM11IO	I/O	入出力禁止	なし	汎用ポート
ポート5	P50	TM16AIO/PWMO2_B	I/O	入出力禁止	なし	汎用ポート
	P51	TM16BIO/PWMO3_B	I/O	入出力禁止	なし	汎用ポート
	P54	TM17AIO/PWMO4_B	I/O	入出力禁止	なし	汎用ポート
	P55	TM17BIO/PWMO5_B	I/O	入出力禁止	なし	汎用ポート
ポート6	P60	TM18AIO/PWM10_B	I/O	入出力禁止	なし	汎用ポート
	P61	TM18BIO/PWM11_B/CMP2OUT	I/O	入出力禁止	なし	汎用ポート
	P64	TM19AIO/PWMBCST0/CMP0OUT	I/O	入出力禁止	なし	汎用ポート
	P65	TM19BIO/PWMBCST1/CMP1OUT	I/O	入出力禁止	なし	汎用ポート

ポート	汎用 ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート8	P80	PWM00	I/O	入出力禁止	なし	汎用ポート
	P81	PWM01	I/O	入出力禁止	なし	汎用ポート
	P82	PWM02_A/TM18AO_HR	I/O	入出力禁止	なし	汎用ポート
	P83	PWM03_A/TM18BO_HR	I/O	入出力禁止	なし	汎用ポート
	P84	PWM04_A/TM19AO_HR	I/O	入出力禁止	なし	汎用ポート
	P85	PWM05_A/TM19BO_HR	I/O	入出力禁止	なし	汎用ポート
ポート9	P90	PWM10_A/TM20AIO/TM16AO_HR	I/O	入出力禁止	なし	汎用ポート
	P91	PWM11_A/TM20BIO/TM16BO_HR	I/O	入出力禁止	なし	汎用ポート
	P92	PWM12_A/TM21AIO/TM17AO_HR	I/O	入出力禁止	なし	汎用ポート
	P93	PWM13_A/TM21BIO/TM17BO_HR	I/O	入出力禁止	なし	汎用ポート
	P94	PWM14/TM22AIO	I/O	入出力禁止	なし	汎用ポート
	P95	PWM15/TM22BIO	I/O	入出力禁止	なし	汎用ポート
ポートB	PB0	TM23AIO/PWM12_B/ADTRG0	I/O	入出力禁止	なし	汎用ポート
	PB1	TM23BIO/PWM13_B/ADTRG1	I/O	入出力禁止	なし	汎用ポート
ポートC	PC0	ADIN00/VGAON(*1)/CMPOREF	I	入力禁止	なし	汎用ポート
	PC1	ADIN01/VGA0P0(*1)/CMP0IN	I	入力禁止	なし	汎用ポート
	PC2	ADIN02/VGA0P1(*1)	I	入力禁止	なし	汎用ポート
	PC3	ADIN03/VGA0P2(*1)	I	入力禁止	なし	汎用ポート
	PC4	ADIN04	I/O	入出力禁止	なし	汎用ポート
	PC5	ADIN05	I/O	入出力禁止	なし	汎用ポート
	PC6	ADIN06	I/O	入出力禁止	なし	汎用ポート
	PC7	ADIN07	I/O	入出力禁止	なし	汎用ポート
ポートD	PD0	ADIN08/VGA1N(*1)/CMP1REF	I	入力禁止	なし	汎用ポート
	PD1	ADIN09/VGA1P0(*1)/CMP1IN	I	入力禁止	なし	汎用ポート
	PD2	ADIN10/VGA1P1(*1)	I	入力禁止	なし	汎用ポート
	PD3	ADIN11/VGA1P2(*1)	I	入力禁止	なし	汎用ポート
	PD4	ADIN12	I/O	入出力禁止	なし	汎用ポート
	PD5	ADIN13	I/O	入出力禁止	なし	汎用ポート
ポートE	PE0	ADIN16/VGA2N(*1)/CMP2REF	I	入力禁止	なし	汎用ポート
	PE1	ADIN17/VGA2P(*1)/CMP2IN	I	入力禁止	なし	汎用ポート

*1 MN103HF45シリーズでは、特殊機能
(VGAON, VGA1N, VGA2N, VGA0P0, VGA0P1, VGA0P2, VGA1P0, VGA1P1, VGA1P2, VGA2P)を使用できません。

18.2 ポート0

ポート0の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能 (P0MDレジスタ)(表18.2.1参照)

・端子の入出力制御が可能 (P0DIRレジスタ)(表18.2.1参照)

・プルアップ抵抗付加の選択が可能 (P0PLUレジスタ)

・Nchオープンドレイン出力の選択が可能 (P00DCレジスタ)

ポート0の端子機能とレジスタ設定値を表18.2.1に示します。

表 18.2.1 ポート 0 の端子機能とレジスタ設定値

端子名	端子機能	P0MDレジスタ/P0MD01, P0MD00 ビット	P0DIRレジスタ/P00Dビット
P00	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ00入力	01	0
	TM0IO入力	10	0
	TM0IO出力	10	1
	DA0OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD11, P0MD10 ビット	P0DIRレジスタ/P01Dビット
P01	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ01入力	01	0
	TM1IO入力	10	0
	TM1IO出力	10	1
	DA1OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD21, P0MD20 ビット	P0DIRレジスタ/P02Dビット
P02	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ02入力	01	0
	TM4IO入力	10	0
	TM4IO出力	10	1
	CANTXD_A出力	11	1

端子名	端子機能	POMDレジスタ/POMD31, POMD30ビット	PODIRレジスタ/P03Dビット
P03	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ03入力	01	0
	TM5IO入力	10	0
	TM5IO出力	10	1
	CANRXD_A入力	11	0

端子名	端子機能	POMDレジスタ/POMD40ビット	PODIRレジスタ/P04Dビット
P04	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ04入力	1	0

端子名	端子機能	POMDレジスタ/POMD50ビット	PODIRレジスタ/P05Dビット
P05	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ05入力	1	0

端子名	端子機能	POMDレジスタ/POMD60ビット	PODIRレジスタ/P06Dビット
P06	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ06入力	1	0

端子名	端子機能	POMDレジスタ/POMD70ビット	PODIRレジスタ/P07Dビット
P07	汎用ポート入力	0	0
	汎用ポート出力	0	1
	IRQ07入力	1	0

18.2.1　ポート0の制御レジスタ

ポート0の制御レジスタの一覧を表18.2.2に示します。

表 18.2.2 ポート 0 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート0	P0OUT	0x0000A000	R/W	8	ポート0出力データレジスタ	XVIII-6
	P0IN	0x0000A010	R	8	ポート0入力データレジスタ	XVIII-7
	P0DIR	0x0000A020	R/W	8	ポート0入出力制御レジスタ	XVIII-7
	P0MD	0x0000A040	R/W	8, 16, 32	ポート0モードレジスタ	XVIII-8
	P0PLU	0x0000A030	R/W	8	ポート0プルアップ制御レジスタ	XVIII-9
	P0ODC	0x0000A090	R/W	8	ポート0Nchオープンドレイン制御レジスタ	XVIII-9

■ ポート0出力データレジスタ (P0OUT : 0x0000A000) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P070	P060	P050	P040	P030	P020	P010	P000
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P070	P07端子の出力データを設定してください。
6	P060	P06端子の出力データを設定してください。
5	P050	P05端子の出力データを設定してください。
4	P040	P04端子の出力データを設定してください。
3	P030	P03端子の出力データを設定してください。
2	P020	P02端子の出力データを設定してください。
1	P010	P01端子の出力データを設定してください。
0	P000	P00端子の出力データを設定してください。

端子にデータを出力するときは、P0OUTレジスタにデータを書込んだ後、P0DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート0入力データレジスタ (P0IN : 0x0000A010) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07I	P06I	P05I	P04I	P03I	P02I	P01I	P00I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P07I	P07端子の入力データを読出します。
6	P06I	P06端子の入力データを読出します。
5	P05I	P05端子の入力データを読出します。
4	P04I	P04端子の入力データを読出します。
3	P03I	P03端子の入力データを読出します。
2	P02I	P02端子の入力データを読出します。
1	P01I	P01端子の入力データを読出します。
0	P00I	P00端子の入力データを読出します。

端子の入力データを読出す時は、P0DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P0INレジスタの値を読出してください。

■ ポート0入出力制御レジスタ (P0DIR : 0x0000A020) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07D	P07端子の入出力制御 0 : 入力 1 : 出力
6	P06D	P06端子の入出力制御 0 : 入力 1 : 出力
5	P05D	P05端子の入出力制御 0 : 入力 1 : 出力
4	P04D	P04端子の入出力制御 0 : 入力 1 : 出力
3	P03D	P03端子の入出力制御 0 : 入力 1 : 出力
2	P02D	P02端子の入出力制御 0 : 入力 1 : 出力
1	P01D	P01端子の入出力制御 0 : 入力 1 : 出力
0	P00D	P00端子の入出力制御 0 : 入力 1 : 出力

■ ポート0モードレジスタ (POMD : 0x0000A040) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			POMD70	-			POMD60	-			POMD50	-			POMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		POMD31-0		-		POMD21-0		-		POMD11-0		-		POMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	POMD70	P07端子の機能選択 0: 汎用ポート機能(P07端子) 1: 特殊機能(IRQ07端子)
27-25	-	必ず"0"を読出します。
24	POMD60	P06端子の機能選択 0: 汎用ポート機能(P06端子) 1: 特殊機能(IRQ06端子)
23-21	-	必ず"0"を読出します。
20	POMD50	P05端子の機能選択 0: 汎用ポート機能(P05端子) 1: 特殊機能(IRQ05端子)
19-17	-	必ず"0"を読出します。
16	POMD40	P04端子の機能選択 0: 汎用ポート機能(P04端子) 1: 特殊機能(IRQ04端子)
15-14	-	必ず"0"を読出します。
13-12	POMD31-0	P03端子の機能選択 00: 汎用ポート機能(P03端子) 01: 特殊機能(IRQ03端子) 10: 特殊機能(TM5IO端子) 11: 特殊機能(CANRXD_A端子)
11-10	-	必ず"0"を読出します。
9-8	POMD21-0	P02端子の機能選択 00: 汎用ポート機能(P02端子) 01: 特殊機能(IRQ02端子) 10: 特殊機能(TM4IO端子) 11: 特殊機能(CANTXD_A端子)
7-6	-	必ず"0"を読出します。
5-4	POMD11-0	P01端子の機能選択 00: 汎用ポート機能(P01端子) 01: 特殊機能(IRQ01端子) 10: 特殊機能(TM1IO端子) 11: 特殊機能(DA1OUT端子)
3-2	-	必ず"0"を読出します。
1-0	POMD01-0	P00端子の機能選択 00: 汎用ポート機能(P00端子) 01: 特殊機能(IRQ00端子) 10: 特殊機能(TM0IO端子) 11: 特殊機能(DA0OUT端子)

■ ポート0プルアップ制御レジスタ (P0PLU : 0x0000A030) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P07R	P06R	P05R	P04R	P03R	P02R	P01R	P00R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P07R	P07端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P06R	P06端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P05R	P05端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P04R	P04端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P03R	P03端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P02R	P02端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P01R	P01端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P00R	P00端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート0Nchオープンドレイン制御レジスタ (P0ODC : 0x0000A090) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P0ODC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P0ODC2	P02端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_A端子選択時のみ有効
1-0	-	必ず"0"を読出します。

18.3 ポート2

ポート2の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P2MDレジスタ）（表18.3.1参照）

・端子の入出力制御が可能（P2DIRレジスタ）（表18.3.1参照）

・プルアップ抵抗付加の選択が可能（P2PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P2ODCレジスタ）

ポート2の端子機能とレジスタ設定値を表18.3.1に示します。

表 18.3.1 ポート 2 の端子機能とレジスタ設定値

端子名	端子機能	P2MDレジスタ/P2MD01, P2MD00 ビット	P2DIRレジスタ/P20Dビット
P20	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO0_A/SDA0_A入力 (*1)	10	0
	SBO0_A/SDA0_A出力 (*1)	10	1
	SBT0_B/SCL0_B入力 (*1)	11	0
	SBT0_B/SCL0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD11, P2MD10 ビット	P2DIRレジスタ/P21Dビット
P21	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT0_A/SCL0_A入力 (*1)	10	0
	SBT0_A/SCL0_A出力 (*1)	10	1
	SBO0_B/SDA0_B入力 (*1)	11	0
	SBO0_B/SDA0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD20ビット	P2DIRレジスタ/P22Dビット
P22	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI0入力 (*1)	1	0

端子名	端子機能	P2MDレジスタ/P2MD31, P2MD30 ビット	P2DIRレジスタ/P23Dビット
P23	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO1_A/LINTXD_A入力 (*1)	10	0
	SBO1_A/LINTXD_A出力 (*1)	10	1
	SBT1_B入力 (*1)	11	0
	SBT1_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD41, P2MD40 ビット	P2DIRレジスタ/P24Dビット
P24	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT1_A入力 (*1)	10	0
	SBT1_A出力 (*1)	10	1
	SBO1_B/LINTXD_B入力 (*1)	11	0
	SBO1_B/LINTXD_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD50ビット	P2DIRレジスタ/P25Dビット
P25	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI1/LINRXD入力 (*1)	1	0

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、[第25章 シリアルインタフェース]を参照してください。

18.3.1 ポート2の制御レジスタ

ポート2の制御レジスタの一覧を表18.3.2に示します。

表 18.3.2 ポート 2 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート2	P2OUT	0x0000A002	R/W	8	ポート2出力データレジスタ	XVIII-12
	P2IN	0x0000A012	R	8	ポート2入力データレジスタ	XVIII-13
	P2DIR	0x0000A022	R/W	8	ポート2入出力制御レジスタ	XVIII-13
	P2MD	0x0000A048	R/W	8, 16, 32	ポート2モードレジスタ	XVIII-14
	P2PLU	0x0000A032	R/W	8	ポート2プルアップ制御レジスタ	XVIII-15
	P2ODC	0x0000A092	R/W	8	ポート2Nchオープンドレイン制御レジスタ	XVIII-15

■ ポート2出力データレジスタ (P2OUT : 0x0000A002) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P250	P240	P230	P220	P210	P200
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P250	P25端子の出力データを設定してください。
4	P240	P24端子の出力データを設定してください。
3	P230	P23端子の出力データを設定してください。
2	P220	P22端子の出力データを設定してください。
1	P210	P21端子の出力データを設定してください。
0	P200	P20端子の出力データを設定してください。

端子にデータを出力するときは、P2OUTレジスタにデータを書込んだ後、P2DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート2入力データレジスタ (P2IN : 0x0000A012) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25I	P24I	P23I	P22I	P21I	P20I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25I	P25端子の入力データを読出します。
4	P24I	P24端子の入力データを読出します。
3	P23I	P23端子の入力データを読出します。
2	P22I	P22端子の入力データを読出します。
1	P21I	P21端子の入力データを読出します。
0	P20I	P20端子の入力データを読出します。

端子の入力データを読出す時は、P2DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P2INレジスタの値を読出してください。

■ ポート2入出力制御レジスタ (P2DIR : 0x0000A022) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25D	P24D	P23D	P22D	P21D	P20D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25D	P25端子の入出力制御 0 : 入力 1 : 出力
4	P24D	P24端子の入出力制御 0 : 入力 1 : 出力
3	P23D	P23端子の入出力制御 0 : 入力 1 : 出力
2	P22D	P22端子の入出力制御 0 : 入力 1 : 出力
1	P21D	P21端子の入出力制御 0 : 入力 1 : 出力
0	P20D	P20端子の入出力制御 0 : 入力 1 : 出力

■ ポート2モードレジスタ (P2MD : 0x0000A048) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P2MD50	-		P2MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P2MD31-0		-			P2MD20	-		P2MD11-0		-		P2MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P2MD50	P25端子の機能選択 0: 汎用ポート機能(P25端子) 1: 特殊機能(SBI1/LINRXD端子)
19-18	-	必ず"0"を読出します。
17-16	P2MD41-0	P24端子の機能選択 0X: 汎用ポート機能(P24端子) 10: 特殊機能(SBT1_A端子) 11: 特殊機能(SBO1_B/LINTXD_B端子)
15-14	-	必ず"0"を読出します。
13-12	P2MD31-0	P23端子の機能選択 0X: 汎用ポート機能(P23端子) 10: 特殊機能(SBO1_A/LINTXD_A端子) 11: 特殊機能(SBT1_B端子)
11-9	-	必ず"0"を読出します。
8	P2MD20	P22端子の機能選択 0: 汎用ポート機能(P22端子) 1: 特殊機能(SBI0端子)
7-6	-	必ず"0"を読出します。
5-4	P2MD11-0	P21端子の機能選択 0X: 汎用ポート機能(P21端子) 10: 特殊機能(SBT0_A/SCL0_A端子) 11: 特殊機能(SBO0_B/SDA0_B端子)
3-2	-	必ず"0"を読出します。
1-0	P2MD01-0	P20端子の機能選択 0X: 汎用ポート機能(P20端子) 10: 特殊機能(SBO0_A/SDA0_A端子) 11: 特殊機能(SBT0_B/SCL0_B端子)

■ ポート2プルアップ制御レジスタ (P2PLU : 0x0000A032) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25R	P24R	P23R	P22R	P21R	P20R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25R	P25端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P24R	P24端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P23R	P23端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P22R	P22端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P21R	P21端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P20R	P20端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート2Nchオープンドレイン制御レジスタ (P2ODC : 0x0000A092) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P2ODC4	P2ODC3	-	P2ODC1	P2ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P2ODC4	P24端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT1_A、SBO1_B端子選択時のみ有効
3	P2ODC3	P23端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO1_A、SBT1_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P2ODC1	P21端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT0_A、SBO0_B端子選択時のみ有効
0	P2ODC0	P20端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO0_A、SBT0_B端子選択時のみ有効

18.4 ポート3

ポート3の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P3MDレジスタ）（表18.4.1参照）

・端子の入出力制御が可能（P3DIRレジスタ）（表18.4.1参照）

・プルアップ抵抗付加の選択が可能（P3PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P3ODCレジスタ）

ポート3の端子機能とレジスタ設定値を表18.4.1に示します。

表 18.4.1 ポート 3 の端子機能とレジスタ設定値

端子名	端子機能	P3MDレジスタ/P3MD01, P3MD00ビット	P3DIRレジスタ/P30Dビット
P30	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO3_A入力 (*1)	10	0
	SBO3_A出力 (*1)	10	1
	SBT3_B入力 (*1)	11	0
	SBT3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD11, P3MD10ビット	P3DIRレジスタ/P31Dビット
P31	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT3_A入力 (*1)	10	0
	SBT3_A出力 (*1)	10	1
	SBO3_B入力 (*1)	11	0
	SBO3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD20ビット	P3DIRレジスタ/P32Dビット
P32	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI3入力 (*1)	1	0

端子名	端子機能	P3MDレジスタ/P3MD31, P3MD30ビット	P3DIRレジスタ/P33Dビット
P33	汎用ポート入力	00	0
	汎用ポート出力	00	1
	ADTRG2出力	01	1
	SBCS3入力	1X	0
	SBCS3出力	1X	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、[第25章 シリアルインタフェース]を参照してください。

18.4.1　ポート3の制御レジスタ

ポート3の制御レジスタの一覧を表18.4.2に示します。

表 18.4.2 ポート 3 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセス サイズ	レジスタ名称	参照 ページ
ポート3	P3OUT	0x0000A003	R/W	8	ポート3出力データレジスタ	XVIII-17
	P3IN	0x0000A013	R	8	ポート3入力データレジスタ	XVIII-18
	P3DIR	0x0000A023	R/W	8	ポート3入出力制御レジスタ	XVIII-18
	P3MD	0x0000A04C	R/W	8, 16, 32	ポート3モードレジスタ	XVIII-19
	P3PLU	0x0000A033	R/W	8	ポート3プルアップ制御レジスタ	XVIII-20
	P3ODC	0x0000A093	R/W	8	ポート3Nchオープンドレイン制御レジスタ	XVIII-20

■ ポート3出力データレジスタ (P3OUT : 0x0000A003) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P330	P320	P310	P300
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P330	P33端子の出力データを設定してください。
2	P320	P32端子の出力データを設定してください。
1	P310	P31端子の出力データを設定してください。
0	P300	P30端子の出力データを設定してください。

端子にデータを出力するときは、P3OUTレジスタにデータを書込んだ後、P3DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート3入力データレジスタ (P3IN : 0x0000A013) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P33I	P32I	P31I	P30I
初期値	0	0	0	0	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P33I	P33端子の入力データを読出します。
2	P32I	P32端子の入力データを読出します。
1	P31I	P31端子の入力データを読出します。
0	P30I	P30端子の入力データを読出します。

端子の入力データを読出す時は、P3DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P3INレジスタの値を読出してください。

■ ポート3入出力制御レジスタ (P3DIR : 0x0000A023) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P33D	P32D	P31D	P30D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P33D	P33端子の入出力制御 0 : 入力 1 : 出力
2	P32D	P32端子の入出力制御 0 : 入力 1 : 出力
1	P31D	P31端子の入出力制御 0 : 入力 1 : 出力
0	P30D	P30端子の入出力制御 0 : 入力 1 : 出力

■ ポート3モードレジスタ (P3MD : 0x0000A04C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P3MD31-0		-			P3MD20	-		P3MD11-0		-		P3MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-14	-	必ず"0"を読出します。
13-12	P3MD31-0	P33端子の機能選択 00: 汎用ポート機能(P33端子) 01: 特殊機能(ADTRG2端子) 1X: 特殊機能(SBCS3端子)
11-9	-	必ず"0"を読出します。
8	P3MD20	P32端子の機能選択 0: 汎用ポート機能(P32端子) 1: 特殊機能(SBI3端子)
7-6	-	必ず"0"を読出します。
5-4	P3MD11-0	P31端子の機能選択 0X: 汎用ポート機能(P31端子) 10: 特殊機能(SBT3_A端子) 11: 特殊機能(SBO3_B端子)
3-2	-	必ず"0"を読出します。
1-0	P3MD01-0	P30端子の機能選択 0X: 汎用ポート機能(P30端子) 10: 特殊機能(SBO3_A端子) 11: 特殊機能(SBT3_B端子)

■ ポート3プルアップ制御レジスタ (P3PLU : 0x0000A033) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P33R	P32R	P31R	P30R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P33R	P33端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P32R	P32端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P31R	P31端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P30R	P30端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート3Nchオープンドレイン制御レジスタ (P3ODC : 0x0000A093) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P3ODC3	-	P3ODC1	P3ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P3ODC3	P33端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBCS3端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P3ODC1	P31端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT3_A、SBO3_B端子選択時のみ有効
0	P3ODC0	P30端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO3_A、SBT3_B端子選択時のみ有効

18.5 ポート4

ポート4の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P4MDレジスタ）（表18.5.1参照）

・端子の入出力制御が可能（P4DIRレジスタ）（表18.5.1参照）

・プルアップ抵抗付加の選択が可能（P4PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P4ODCレジスタ）

ポート4の端子機能とレジスタ設定値を表18.5.1に示します。

表 18.5.1 ポート 4 の端子機能とレジスタ設定値

端子名	端子機能	P4MDレジスタ/P4MD01, P4MD00ビット	P4DIRレジスタ/P40Dビット
P40	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM6IO入力	01	0
	TM6IO出力	01	1
	IRQ08入力	1X	0

端子名	端子機能	P4MDレジスタ/P4MD11, P4MD10ビット	P4DIRレジスタ/P41Dビット
P41	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM7IO入力	01	0
	TM7IO出力	01	1
	IRQ09入力	1X	0

端子名	端子機能	P4MDレジスタ/P4MD21, P4MD20ビット	P4DIRレジスタ/P42Dビット
P42	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM2IO入力	01	0
	TM2IO出力	01	1
	IRQ10入力	10	0
	CANTXD_B出力	11	1

端子名	端子機能	P4MDレジスタ/P4MD31, P4MD30ビット	P4DIRレジスタ/P43Dビット
P43	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM3IO入力	01	0
	TM3IO出力	01	1
	IRQ11入力	10	0
	CANRXD_B入力	11	0

端子名	端子機能	P4MDレジスタ/P4MD41, P4MD40ビット	P4DIRレジスタ/P44Dビット
P44	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM8IO入力	01	0
	TM8IO出力	01	1
	SBO2_A入力 (*1)	10	0
	SBO2_A出力 (*1)	10	1
	SBT2_B入力 (*1)	11	0
	SBT2_B出力 (*1)	11	1

端子名	端子機能	P4MDレジスタ/P4MD51, P4MD50ビット	P4DIRレジスタ/P45Dビット
P45	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM9IO入力	01	0
	TM9IO出力	01	1
	SBT2_A入力 (*1)	10	0
	SBT2_A出力 (*1)	10	1
	SBO2_B入力 (*1)	11	0
	SBO2_B出力 (*1)	11	1

端子名	端子機能	P4MDレジスタ/P4MD61, P4MD60ビット	P4DIRレジスタ/P46Dビット
P46	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM10IO入力	01	0
	TM10IO出力	01	1
	SBI2入力 (*1)	1X	0

端子名	端子機能	P4MDレジスタ/P4MD70ビット	P4DIRレジスタ/P47Dビット
P47	汎用ポート入力	0	0
	汎用ポート出力	0	1
	TM11IO入力	1	0
	TM11IO出力	1	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、[第25章 シリアルインタフェース]を参照してください。

18.5.1　ポート4の制御レジスタ

ポート4の制御レジスタの一覧を表18.5.2に示します。

表 18.5.2 ポート 4 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート4	P4OUT	0x0000A004	R/W	8	ポート4出力データレジスタ	XVIII-23
	P4IN	0x0000A014	R	8	ポート4入力データレジスタ	XVIII-24
	P4DIR	0x0000A024	R/W	8	ポート4入出力制御レジスタ	XVIII-24
	P4MD	0x0000A050	R/W	8, 16, 32	ポート4モードレジスタ	XVIII-25
	P4PLU	0x0000A034	R/W	8	ポート4プルアップ制御レジスタ	XVIII-26
	P4ODC	0x0000A094	R/W	8	ポート4Nchオープンドレイン制御レジスタ	XVIII-26

■ ポート4出力データレジスタ (P4OUT : 0x0000A004) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P470	P460	P450	P440	P430	P420	P410	P400
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P470	P47端子の出力データを設定してください。
6	P460	P46端子の出力データを設定してください。
5	P450	P45端子の出力データを設定してください。
4	P440	P44端子の出力データを設定してください。
3	P430	P43端子の出力データを設定してください。
2	P420	P42端子の出力データを設定してください。
1	P410	P41端子の出力データを設定してください。
0	P400	P40端子の出力データを設定してください。

端子にデータを出力するときは、P4OUTレジスタにデータを書込んだ後、P4DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート4入力データレジスタ (P4IN : 0x0000A014) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47I	P46I	P45I	P44I	P43I	P42I	P41I	P40I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P47I	P47端子の入力データを読出します。
6	P46I	P46端子の入力データを読出します。
5	P45I	P45端子の入力データを読出します。
4	P44I	P44端子の入力データを読出します。
3	P43I	P43端子の入力データを読出します。
2	P42I	P42端子の入力データを読出します。
1	P41I	P41端子の入力データを読出します。
0	P40I	P40端子の入力データを読出します。

端子の入力データを読出す時は、P4DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P4INレジスタの値を読出してください。

■ ポート4入出力制御レジスタ (P4DIR : 0x0000A024) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47D	P47端子の入出力制御 0 : 入力 1 : 出力
6	P46D	P46端子の入出力制御 0 : 入力 1 : 出力
5	P45D	P45端子の入出力制御 0 : 入力 1 : 出力
4	P44D	P44端子の入出力制御 0 : 入力 1 : 出力
3	P43D	P43端子の入出力制御 0 : 入力 1 : 出力
2	P42D	P42端子の入出力制御 0 : 入力 1 : 出力
1	P41D	P41端子の入出力制御 0 : 入力 1 : 出力
0	P40D	P40端子の入出力制御 0 : 入力 1 : 出力

■ ポート4モードレジスタ (P4MD : 0x0000A050) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			P4MD70	-		P4MD61-0		-		P4MD51-0		-		P4MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P4MD31-0		-		P4MD21-0		-		P4MD11-0		-		P4MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	P4MD70	P47端子の機能選択 0: 汎用ポート機能(P47端子) 1: 特殊機能(TM11IO端子)
27-26	-	必ず"0"を読出します。
25-24	P4MD61-0	P46端子の機能選択 00: 汎用ポート機能(P46端子) 01: 特殊機能(TM10IO端子) 1X: 特殊機能(SBI2端子)
23-22	-	必ず"0"を読出します。
21-20	P4MD51-0	P45端子の機能選択 00: 汎用ポート機能(P45端子) 01: 特殊機能(TM9IO端子) 10: 特殊機能(SBT2_A端子) 11: 特殊機能(SBO2_B端子)
19-18	-	必ず"0"を読出します。
17-16	P4MD41-0	P44端子の機能選択 00: 汎用ポート機能(P44端子) 01: 特殊機能(TM8IO端子) 10: 特殊機能(SBO2_A端子) 11: 特殊機能(SBT2_B端子)
15-14	-	必ず"0"を読出します。
13-12	P4MD31-0	P43端子の機能選択 00: 汎用ポート機能(P43端子) 01: 特殊機能(TM3IO端子) 10: 特殊機能(IRQ11端子) 11: 特殊機能(CANRXD_B端子)
11-10	-	必ず"0"を読出します。
9-8	P4MD21-0	P42端子の機能選択 00: 汎用ポート機能(P42端子) 01: 特殊機能(TM2IO端子) 10: 特殊機能(IRQ10端子) 11: 特殊機能(CANTXD_B端子)
7-6	-	必ず"0"を読出します。
5-4	P4MD11-0	P41端子の機能選択 00: 汎用ポート機能(P41端子) 01: 特殊機能(TM7IO端子) 1X: 特殊機能(IRQ09端子)
3-2	-	必ず"0"を読出します。
1-0	P4MD01-0	P40端子の機能選択 00: 汎用ポート機能(P40端子) 01: 特殊機能(TM6IO端子) 1X: 特殊機能(IRQ08端子)

■ ポート4プルアップ制御レジスタ (P4PLU : 0x0000A034) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47R	P46R	P45R	P44R	P43R	P42R	P41R	P40R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47R	P47端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P46R	P46端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	P45R	P45端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P44R	P44端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P43R	P43端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P42R	P42端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P41R	P41端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P40R	P40端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート4Nchオープンドレイン制御レジスタ (P4ODC : 0x0000A094) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P4ODC5	P4ODC4	-	P4ODC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R/W	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P4ODC5	P45端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT2_A、SBO2_B端子選択時のみ有効
4	P4ODC4	P44端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO2_A、SBT2_B端子選択時のみ有効
3	-	必ず"0"を読出します。
2	P4ODC2	P42端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_B端子選択時のみ有効
1-0	-	必ず"0"を読出します。

18.6 ポート5

ポート5の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P5MDレジスタ）（表18.6.1参照）

・端子の入出力制御が可能（P5DIRレジスタ）（表18.6.1参照）

・プルアップ抵抗付加の選択が可能（P5PLUレジスタ）

ポート5の端子機能とレジスタ設定値を表18.6.1に示します。

表 18.6.1 ポート 5 の端子機能とレジスタ設定値

端子名	端子機能	P5MDレジスタ/P5MD01, P5MD00 ビット	P5DIRレジスタ/P50Dビット
P50	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16AIO入力	01	0
	TM16AIO出力	01	1
	PWM02_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD11, P5MD10 ビット	P5DIRレジスタ/P51Dビット
P51	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16BIO入力	01	0
	TM16BIO出力	01	1
	PWM03_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD41, P5MD40 ビット	P5DIRレジスタ/P54Dビット
P54	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17AIO入力	01	0
	TM17AIO出力	01	1
	PWM04_B出力	1X	1

端子名	端子機能	P5MDレジスタ/P5MD51, P5MD50 ビット	P5DIRレジスタ/P55Dビット
P55	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM17BIO入力	01	0
	TM17BIO出力	01	1
	PWM05_B出力	1X	1

18.6.1 ポート5の制御レジスタ

ポート5の制御レジスタの一覧を表18.6.2に示します。

表 18.6.2 ポート 5 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート5	P5OUT	0x0000A005	R/W	8	ポート5出力データレジスタ	XVIII-28
	P5IN	0x0000A015	R	8	ポート5入力データレジスタ	XVIII-29
	P5DIR	0x0000A025	R/W	8	ポート5入出力制御レジスタ	XVIII-29
	P5MD	0x0000A054	R/W	8, 16, 32	ポート5モードレジスタ	XVIII-30
	P5PLU	0x0000A035	R/W	8	ポート5プルアップ制御レジスタ	XVIII-30

■ ポート5出力レジスタ (P5OUT : 0x0000A005) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P550	P540	-		P510	P500
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P550	P55端子の出力データを設定してください。
4	P540	P54端子の出力データを設定してください。
3-2	-	必ず"0"を読出します。
1	P510	P51端子の出力データを設定してください。
0	P500	P50端子の出力データを設定してください。

端子にデータを出力するときは、P5OUTレジスタにデータを書込んだ後、P5DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート5入力データレジスタ (P5IN : 0x0000A015) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P55I	P54I	-		P51I	P50I
初期値	0	0	X	X	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P55I	P55端子の入力データを読出します。
4	P54I	P54端子の入力データを読出します。
3-2	-	必ず"0"を読出します。
1	P51I	P51端子の入力データを読出します。
0	P50I	P50端子の入力データを読出します。

端子の入力データを読出す時は、P5DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P5INレジスタの値を読出してください。

■ ポート5入出力制御レジスタ (P5DIR : 0x0000A025) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P55D	P54D	-		P51D	P50D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P55D	P55端子の入出力制御 0 : 入力 1 : 出力
4	P54D	P54端子の入出力制御 0 : 入力 1 : 出力
3-2	-	必ず"0"を読出します。
1	P51D	P51端子の入出力制御 0 : 入力 1 : 出力
0	P50D	P50端子の入出力制御 0 : 入力 1 : 出力

■ ポート5モードレジスタ (P5MD : 0x0000A054) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P5MD51-0		-		P5MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-										P5MD11-0		-		P5MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P5MD51-0	P55端子の機能選択 00: 汎用ポート機能(P55端子) 01: 特殊機能(TM17BIO端子) 1X: 特殊機能(PWM05_B端子)
19-18	-	必ず"0"を読出します。
17-16	P5MD41-0	P54端子の機能選択 00: 汎用ポート機能(P54端子) 01: 特殊機能(TM17AIO端子) 1X: 特殊機能(PWM04_B端子)
15-6	-	必ず"0"を読出します。
5-4	P5MD11-0	P51端子の機能選択 00: 汎用ポート機能(P51端子) 01: 特殊機能(TM16BIO端子) 1X: 特殊機能(PWM03_B端子)
3-2	-	必ず"0"を読出します。
1-0	P5MD01-0	P50端子の機能選択 00: 汎用ポート機能(P50端子) 01: 特殊機能(TM16AIO端子) 1X: 特殊機能(PWM02_B端子)

■ ポート5プルアップ制御レジスタ (P5PLU : 0x0000A035) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P55R	P54R	-		P51R	P50R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P55R	P55端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P54R	P54端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-2	-	必ず"0"を読出します。
1	P51R	P51端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P50R	P50端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

18.7 ポート6

ポート6の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P6MDレジスタ）（表18.7.1参照）

・端子の入出力制御が可能（P6DIRレジスタ）（表18.7.1参照）

・プルアップ抵抗付加の選択が可能（P6PLUレジスタ）

ポート6の端子機能とレジスタ設定値を表18.7.1に示します。

表 18.7.1 ポート 6 の端子機能とレジスタ設定値

端子名	端子機能	P6MDレジスタ/P6MD01, P6MD00ビット	P6DIRレジスタ/P60Dビット
P60	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18AIO入力	01	0
	TM18AIO出力	01	1
	PWM10_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD11, P6MD10ビット	P6DIRレジスタ/P61Dビット
P61	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18BIO入力	01	0
	TM18BIO出力	01	1
	CMP2OUT出力	10	X
	PWM11_B出力	11	1

端子名	端子機能	P6MDレジスタ/P6MD41, P6MD40ビット	P6DIRレジスタ/P64Dビット
P64	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19AIO入力	01	0
	TM19AIO出力	01	1
	PWMBCST0出力	10	1
	CMP0OUT出力	11	X

端子名	端子機能	P6MDレジスタ/P6MD51, P6MD50ビット	P6DIRレジスタ/P65Dビット
P65	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19BIO入力	01	0
	TM19BIO出力	01	1
	PWMBCST1出力	10	1
	CMP1OUT出力	11	X

18.7.1 ポート6の制御レジスタ

ポート6の制御レジスタの一覧を表18.7.2に示します。

表 18.7.2 ポート 6 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート6	P6OUT	0x0000A006	R/W	8	ポート6出力データレジスタ	XVIII-32
	P6IN	0x0000A016	R	8	ポート6入力データレジスタ	XVIII-33
	P6DIR	0x0000A026	R/W	8	ポート6入出力制御レジスタ	XVIII-33
	P6MD	0x0000A058	R/W	8, 16, 32	ポート6モードレジスタ	XVIII-34
	P6PLU	0x0000A036	R/W	8	ポート6プルアップ制御レジスタ	XVIII-35

■ ポート6出力データレジスタ (P6OUT : 0x0000A006) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P650	P640	-		P610	P600
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P650	P65端子の出力データを設定してください。
4	P640	P64端子の出力データを設定してください。
3-2	-	必ず"0"を読出します。
1	P610	P61端子の出力データを設定してください。
0	P600	P60端子の出力データを設定してください。

端子にデータを出力するときは、P6OUTレジスタにデータを書込んだ後、P6DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート6入力データレジスタ (P6IN : 0x0000A016) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65I	P64I	-		P61I	P60I
初期値	0	0	X	X	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65I	P65端子の入力データを読出します。
4	P64I	P64端子の入力データを読出します。
3-2	-	必ず"0"を読出します。
1	P61I	P61端子の入力データを読出します。
0	P60I	P60端子の入力データを読出します。

端子の入力データを読出す時は、P6DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P6INレジスタの値を読出してください。

■ ポート6入出力制御レジスタ (P6DIR : 0x0000A026) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65D	P64D	-		P61D	P60D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65D	P65端子の入出力制御 0 : 入力 1 : 出力
4	P64D	P64端子の入出力制御 0 : 入力 1 : 出力
3-2	-	必ず"0"を読出します。
1	P61D	P61端子の入出力制御 0 : 入力 1 : 出力
0	P60D	P60端子の入出力制御 0 : 入力 1 : 出力

■ ポート6モードレジスタ (P6MD : 0x0000A058) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P6MD51-0		-		P6MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-										P6MD11-0		-		P6MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P6MD51-0	P65端子の機能選択 00: 汎用ポート機能(P65端子) 01: 特殊機能(TM19BIO端子) 10: 特殊機能(PWMBCST1端子) 11: 特殊機能(CMP1OUT端子)
19-18	-	必ず"0"を読出します。
17-16	P6MD41-0	P64端子の機能選択 00: 汎用ポート機能(P64端子) 01: 特殊機能(TM19AIO端子) 10: 特殊機能(PWMBCST0端子) 11: 特殊機能(CMP0OUT端子)
15-6	-	必ず"0"を読出します。
5-4	P6MD11-0	P61端子の機能選択 00: 汎用ポート機能(P61端子) 01: 特殊機能(TM18BIO端子) 10: 特殊機能(CMP2OUT端子) 11: 特殊機能(PWM11_B端子)
3-2	-	必ず"0"を読出します。
1-0	P6MD01-0	P60端子の機能選択 00: 汎用ポート機能(P60端子) 01: 特殊機能(TM18AIO端子) 1X: 特殊機能(PWM10_B端子)

■ ポート6プルアップ制御レジスタ (P6PLU : 0x0000A036) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65R	P64R	-		P61R	P60R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65R	P65端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P64R	P64端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-2	-	必ず"0"を読出します。
1	P61R	P61端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P60R	P60端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

18.8 ポート8

ポート8の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P8MDレジスタ）（表18.8.1参照）

・端子の入出力制御が可能（P8DIRレジスタ）（表18.8.1参照）

・プルアップ抵抗付加の選択が可能（P8PLUレジスタ）

ポート8の端子機能とレジスタ設定値を表18.8.1に示します。

表 18.8.1 ポート 8 の端子機能とレジスタ設定値

端子名	端子機能	P8MDレジスタ/P8MD00ビット	P8DIRレジスタ/P80Dビット
P80	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM00出力	1	1

端子名	端子機能	P8MDレジスタ/P8MD10ビット	P8DIRレジスタ/P81Dビット
P81	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM01出力	1	1

端子名	端子機能	P8MDレジスタ/P8MD21, P8MD20ビット	P8DIRレジスタ/P82Dビット
P82	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM02_A出力	01	1
	TM18AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD31, P8MD30ビット	P8DIRレジスタ/P83Dビット
P83	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM03_A出力	01	1
	TM18BO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD41, P8MD40ビット	P8DIRレジスタ/P84Dビット
P84	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM04_A出力	01	1
	TM19AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD51, P8MD50ビット	P8DIRレジスタ/P85Dビット
P85	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM05_A出力	01	1
	TM19BO_HR出力	1X	1

18.8.1 ポート8の制御レジスタ

ポート8の制御レジスタの一覧を表18.8.2に示します。

表 18.8.2 ポート 8 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート8	P8OUT	0x0000A008	R/W	8	ポート8出力データレジスタ	XVIII-37
	P8IN	0x0000A018	R	8	ポート8入力データレジスタ	XVIII-38
	P8DIR	0x0000A028	R/W	8	ポート8入出力制御レジスタ	XVIII-38
	P8MD	0x0000A060	R/W	8, 16, 32	ポート8モードレジスタ	XVIII-39
	P8PLU	0x0000A038	R/W	8	ポート8プルアップ制御レジスタ	XVIII-40

■ ポート8出力データレジスタ (P8OUT : 0x0000A008) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P850	P840	P830	P820	P810	P800
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P850	P85端子の出力データを設定してください。
4	P840	P84端子の出力データを設定してください。
3	P830	P83端子の出力データを設定してください。
2	P820	P82端子の出力データを設定してください。
1	P810	P81端子の出力データを設定してください。
0	P800	P80端子の出力データを設定してください。

端子にデータを出力するときは、P8OUTレジスタにデータを書込んだ後、P8DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート8入力データレジスタ (P8IN : 0x0000A018) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85I	P84I	P83I	P82I	P81I	P80I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85I	P85端子の入力データを読出します。
4	P84I	P84端子の入力データを読出します。
3	P83I	P83端子の入力データを読出します。
2	P82I	P82端子の入力データを読出します。
1	P81I	P81端子の入力データを読出します。
0	P80I	P80端子の入力データを読出します。

端子の入力データを読出す時は、P8DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P8INレジスタの値を読出してください。

■ ポート8入出力制御レジスタ (P8DIR : 0x0000A028) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85D	P84D	P83D	P82D	P81D	P80D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85D	P85端子の入出力制御 0 : 入力 1 : 出力
4	P84D	P84端子の入出力制御 0 : 入力 1 : 出力
3	P83D	P83端子の入出力制御 0 : 入力 1 : 出力
2	P82D	P82端子の入出力制御 0 : 入力 1 : 出力
1	P81D	P81端子の入出力制御 0 : 入力 1 : 出力
0	P80D	P80端子の入出力制御 0 : 入力 1 : 出力

■ ポート8モードレジスタ (P8MD : 0x0000A060) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P8MD51-0		-		P8MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P8MD31-0		-		P8MD21-0		-			P8MD10	-			P8MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P8MD51-0	P85端子の機能選択 00: 汎用ポート機能(P85端子) 01: 特殊機能(PWM05_A端子) 1X: 特殊機能(TM19BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P8MD41-0	P84端子の機能選択 00: 汎用ポート機能(P84端子) 01: 特殊機能(PWM04_A端子) 1X: 特殊機能(TM19AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P8MD31-0	P83端子の機能選択 00: 汎用ポート機能(P83端子) 01: 特殊機能(PWM03_A端子) 1X: 特殊機能(TM18BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P8MD21-0	P82端子の機能選択 00: 汎用ポート機能(P82端子) 01: 特殊機能(PWM02_A端子) 1X: 特殊機能(TM18AO_HR端子)
7-5	-	必ず"0"を読出します。
4	P8MD10	P81端子の機能選択 0: 汎用ポート機能(P81端子) 1: 特殊機能(PWM01端子)
3-1	-	必ず"0"を読出します。
0	P8MD00	P80端子の機能選択 0: 汎用ポート機能(P80端子) 1: 特殊機能(PWM00端子)

■ ポート8プルアップ制御レジスタ (P8PLU : 0x0000A038) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85R	P84R	P83R	P82R	P81R	P80R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85R	P85端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P84R	P84端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P83R	P83端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P82R	P82端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P81R	P81端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P80R	P80端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

18.9 ポート9

ポート9の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P9MDレジスタ）（表18.9.1参照）

・端子の入出力制御が可能（P9DIRレジスタ）（表18.9.1参照）

・プルアップ抵抗付加の選択が可能（P9PLUレジスタ）

ポート9の端子機能とレジスタ設定値を表18.9.1に示します。

表 18.9.1 ポート 9 の端子機能とレジスタ設定値

端子名	端子機能	P9MDレジスタ/P9MD01, P9MD00 ビット	P9DIRレジスタ/P90Dビット
P90	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM10_A出力	01	1
	TM20AIO入力	10	0
	TM20AIO出力	10	1
	TM16AO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD11, P9MD10 ビット	P9DIRレジスタ/P91Dビット
P91	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM11_A出力	01	1
	TM20BIO入力	10	0
	TM20BIO出力	10	1
	TM16BO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD21, P9MD20 ビット	P9DIRレジスタ/P92Dビット
P92	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM12_A出力	01	1
	TM21AIO入力	10	0
	TM21AIO出力	10	1
	TM17AO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD31, P9MD30 ビット	P9DIRレジスタ/P93Dビット
P93	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM13_A出力	01	1
	TM21BIO入力	10	0
	TM21BIO出力	10	1
	TM17BO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD41, P9MD40 ビット	P9DIRレジスタ/P94Dビット
P94	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM14出力	01	1
	TM22AIO入力	1X	0
	TM22AIO出力	1X	1

端子名	端子機能	P9MDレジスタ/P9MD51, P9MD50 ビット	P9DIRレジスタ/P95Dビット
P95	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM15出力	01	1
	TM22BIO入力	1X	0
	TM22BIO出力	1X	1

18.9.1 ポート9の制御レジスタ

ポート9の制御レジスタの一覧を表18.9.2に示します。

表 18.9.2 ポート 9 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート9	P9OUT	0x0000A009	R/W	8	ポート9出力データレジスタ	XVIII-43
	P9IN	0x0000A019	R	8	ポート9入力データレジスタ	XVIII-44
	P9DIR	0x0000A029	R/W	8	ポート9入出力制御レジスタ	XVIII-44
	P9MD	0x0000A064	R/W	8, 16, 32	ポート9モードレジスタ	XVIII-45
	P9PLU	0x0000A039	R/W	8	ポート9プルアップ制御レジスタ	XVIII-46

■ ポート9出力データレジスタ (P9OUT : 0x0000A009) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P950	P940	P930	P920	P910	P900
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P950	P95端子の出力データを設定してください。
4	P940	P94端子の出力データを設定してください。
3	P930	P93端子の出力データを設定してください。
2	P920	P92端子の出力データを設定してください。
1	P910	P91端子の出力データを設定してください。
0	P900	P90端子の出力データを設定してください。

端子にデータを出力するときは、P9OUTレジスタにデータを書込んだ後、P9DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート9入力データレジスタ (P9IN : 0x0000A019) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95I	P94I	P93I	P92I	P91I	P90I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95I	P95端子の入力データを読出します。
4	P94I	P94端子の入力データを読出します。
3	P93I	P93端子の入力データを読出します。
2	P92I	P92端子の入力データを読出します。
1	P91I	P91端子の入力データを読出します。
0	P90I	P90端子の入力データを読出します。

端子の入力データを読出す時は、P9DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P9INレジスタの値を読出してください。

■ ポート9入出力制御レジスタ (P9DIR : 0x0000A029) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95D	P94D	P93D	P92D	P91D	P90D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95D	P95端子の入出力制御 0 : 入力 1 : 出力
4	P94D	P94端子の入出力制御 0 : 入力 1 : 出力
3	P93D	P93端子の入出力制御 0 : 入力 1 : 出力
2	P92D	P92端子の入出力制御 0 : 入力 1 : 出力
1	P91D	P91端子の入出力制御 0 : 入力 1 : 出力
0	P90D	P90端子の入出力制御 0 : 入力 1 : 出力

■ ポート9モードレジスタ (P9MD : 0x0000A064) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P9MD51-0		-		P9MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P9MD31-0		-		P9MD21-0		-		P9MD11-0		-		P9MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P9MD51-0	P95端子の機能選択 00: 汎用ポート機能(P95端子) 01: 特殊機能(PWM15端子) 1X: 特殊機能(TM22BIO端子)
19-18	-	必ず"0"を読出します。
17-16	P9MD41-0	P94端子の機能選択 00: 汎用ポート機能(P94端子) 01: 特殊機能(PWM14端子) 1X: 特殊機能(TM22AIO端子)
15-14	-	必ず"0"を読出します。
13-12	P9MD31-0	P93端子の機能選択 00: 汎用ポート機能(P93端子) 01: 特殊機能(PWM13_A端子) 10: 特殊機能(TM21BIO端子) 11: 特殊機能(TM17BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P9MD21-0	P92端子の機能選択 00: 汎用ポート機能(P92端子) 01: 特殊機能(PWM12_A端子) 10: 特殊機能(TM21AIO端子) 11: 特殊機能(TM17AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P9MD11-0	P91端子の機能選択 00: 汎用ポート機能(P91端子) 01: 特殊機能(PWM11_A端子) 10: 特殊機能(TM20BIO端子) 11: 特殊機能(TM16BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P9MD01-0	P90端子の機能選択 00: 汎用ポート機能(P90端子) 01: 特殊機能(PWM10_A端子) 10: 特殊機能(TM20AIO端子) 11: 特殊機能(TM16AO_HR端子)

■ ポート9プルアップ制御レジスタ (P9PLU : 0x0000A039) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95R	P94R	P93R	P92R	P91R	P90R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95R	P95端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P94R	P94端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P93R	P93端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P92R	P92端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P91R	P91端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P90R	P90端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

18.10ポートB

ポートBの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PBMDレジスタ）（表18.10.1参照）

・端子の入出力制御が可能（PBDIRレジスタ）（表18.10.1参照）

・プルアップ抵抗付加の選択が可能（PBPLUレジスタ）

ポートBの端子機能とレジスタ設定値を表18.10.1に示します。

表 18.10.1 ポート B の端子機能とレジスタ設定値

端子名	端子機能	PBMDレジスタ/PBMD01, PBMD00 ビット	PBDIRレジスタ/PB0Dビット
PB0	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23AIO入力	01	0
	TM23AIO出力	01	1
	ADTRG0出力	10	1
	PWM12_B出力	11	1

端子名	端子機能	PBMDレジスタ/PBMD11, PBMD10 ビット	PBDIRレジスタ/PB1Dビット
PB1	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM23BIO入力	01	0
	TM23BIO出力	01	1
	ADTRG1出力	10	1
	PWM13_B出力	11	1

18.10.1 ポートBの制御レジスタ

ポートBの制御レジスタの一覧を表18.10.2に示します。

表 18.10.2 ポート B の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートB	PBOUT	0x0000A00B	R/W	8	ポートB出力データレジスタ	XVIII-48
	PBIN	0x0000A01B	R	8	ポートB入力データレジスタ	XVIII-48
	PBDIR	0x0000A02B	R/W	8	ポートB入出力制御レジスタ	XVIII-49
	PBMD	0x0000A06C	R/W	8, 16, 32	ポートBモードレジスタ	XVIII-49
	PBPLU	0x0000A03B	R/W	8	ポートBプルアップ制御レジスタ	XVIII-50

■ ポートB出力データレジスタ (PBOUT : 0x0000A00B) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						PB1O	PB0O
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	PB1O	PB1端子の出力データを設定してください。
0	PB0O	PB0端子の出力データを設定してください。

端子にデータを出力するときは、PBOUTレジスタにデータを書込んだ後、PBDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートB入力データレジスタ (PBIN : 0x0000A01B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						PB1I	PB0I
初期値	0	0	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	PB1I	PB1端子の入力データを読出します。
0	PB0I	PB0端子の入力データを読出します。

端子の入力データを読出す時は、PBDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PBINレジスタの値を読出してください。

■ ポートB入出力制御レジスタ (PBDIR : 0x0000A02B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						PB1D	PB0D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	PB1D	PB1端子の入出力制御 0 : 入力 1 : 出力
0	PB0D	PB0端子の入出力制御 0 : 入力 1 : 出力

■ ポートBモードレジスタ (PBMD : 0x0000A06C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-										PBMD11-0		-		PBMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-6	-	必ず"0"を読出します。
5-4	PBMD11-0	PB1端子の機能選択 00: 汎用ポート機能(PB1端子) 01: 特殊機能(TM23BIO端子) 10: 特殊機能(ADTRG1端子) 11: 特殊機能(PWM13_B端子)
3-2	-	必ず"0"を読出します。
1-0	PBMD01-0	PB0端子の機能選択 00: 汎用ポート機能(PB0端子) 01: 特殊機能(TM23AIO端子) 10: 特殊機能(ADTRG0端子) 11: 特殊機能(PWM12_B端子)

■ ポートBプルアップ制御レジスタ (PBPLU : 0x0000A03B) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						PB1R	PB0R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	PB1R	PB1端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	PB0R	PB0端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

18.11ポートC

ポートCの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PCMDレジスタ）（表18.11.1参照）

・端子の入出力制御が可能（PCDIRレジスタ）（表18.11.1参照）

・プルアップ抵抗付加の選択が可能（PCPLUレジスタ）

ポートCの端子機能とレジスタ設定値を表18.11.1に示します。

表 18.11.1 ポート C の端子機能とレジスタ設定値

端子名	端子機能	PCMDレジスタ/PCMD00ビット
PC0	汎用ポート入力	0
	ADIN00入力 VGAON入力(*1) CMPOREF入力	1

端子名	端子機能	PCMDレジスタ/PCMD10ビット
PC1	汎用ポート入力	0
	ADIN01入力 VGAOP0入力(*1) CMP0IN入力	1

端子名	端子機能	PCMDレジスタ/PCMD20ビット
PC2	汎用ポート入力	0
	ADIN02入力 VGAOP1入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD30ビット
PC3	汎用ポート入力	0
	ADIN03入力 VGAOP2入力(*1)	1

端子名	端子機能	PCMDレジスタ/PCMD40ビット	PCDIRレジスタ/PC4Dビット
PC4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN04入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD50ビット	PCDIRレジスタ/PC5Dビット
PC5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN05入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD60ビット	PCDIRレジスタ/PC6Dビット
PC6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN06入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD70ビット	PCDIRレジスタ/PC7Dビット
PC7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN07入力	1	X

*1 MN103HF45シリーズでは、特殊機能(VGAON,VGAOP0,VGAOP1,VGAOP2)を使用できません。

18.11.1 ポートCの制御レジスタ

ポートCの制御レジスタの一覧を表18.11.2に示します。

表 18.11.2 ポート C の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートC	PCOUT	0x0000A00C	R/W	8	ポートC出力データレジスタ	XVIII-53
	PCIN	0x0000A01C	R	8	ポートC入力データレジスタ	XVIII-54
	PCDIR	0x0000A02C	R/W	8	ポートC入出力制御レジスタ	XVIII-54
	PCMD	0x0000A070	R/W	8, 16, 32	ポートCモードレジスタ	XVIII-55
	PCPLU	0x0000A03C	R/W	8	ポートCプルアップ制御レジスタ	XVIII-56

■ ポートC出力データレジスタ (PCOUT : 0x0000A00C) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC70	PC60	PC50	PC40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC70	PC7端子の出力データを設定してください。
6	PC60	PC6端子の出力データを設定してください。
5	PC50	PC5端子の出力データを設定してください。
4	PC40	PC4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PCOUTレジスタにデータを書込んだ後、PCDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートC入力データレジスタ (PCIN : 0x0000A01C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7I	PC6I	PC5I	PC4I	PC3I	PC2I	PC1I	PC0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PC7I	PC7端子の入力データを読出します。
6	PC6I	PC6端子の入力データを読出します。
5	PC5I	PC5端子の入力データを読出します。
4	PC4I	PC4端子の入力データを読出します。
3	PC3I	PC3端子の入力データを読出します。
2	PC2I	PC2端子の入力データを読出します。
1	PC1I	PC1端子の入力データを読出します。
0	PC0I	PC0端子の入力データを読出します。

端子の入力データを読出す時は、PCDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PCINレジスタの値を読出してください。

■ ポートC入出力制御レジスタ (PCDIR : 0x0000A02C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7D	PC6D	PC5D	PC4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7D	PC7端子の入出力制御 0 : 入力 1 : 出力
6	PC6D	PC6端子の入出力制御 0 : 入力 1 : 出力
5	PC5D	PC5端子の入出力制御 0 : 入力 1 : 出力
4	PC4D	PC4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートCモードレジスタ (PCMD : 0x0000A070) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PCMD70	-			PCMD60	-			PCMD50	-			PCMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PCMD30	-			PCMD20	-			PCMD10	-			PCMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PCMD70	PC7端子の機能選択 0: 汎用ポート機能(PC7端子) 1: 特殊機能(ADIN07端子)
27-25	-	必ず"0"を読出します。
24	PCMD60	PC6端子の機能選択 0: 汎用ポート機能(PC6端子) 1: 特殊機能(ADIN06端子)
23-21	-	必ず"0"を読出します。
20	PCMD50	PC5端子の機能選択 0: 汎用ポート機能(PC5端子) 1: 特殊機能(ADIN05端子)
19-17	-	必ず"0"を読出します。
16	PCMD40	PC4端子の機能選択 0: 汎用ポート機能(PC4端子) 1: 特殊機能(ADIN04端子)
15-13	-	必ず"0"を読出します。
12	PCMD30	PC3端子の機能選択 0: 汎用ポート機能(PC3端子) 1: 特殊機能(ADIN03/VGAOP2端子)(*1)
11-9	-	必ず"0"を読出します。
8	PCMD20	PC2端子の機能選択 0: 汎用ポート機能(PC2端子) 1: 特殊機能(ADIN02/VGAOP1端子)(*1)
7-5	-	必ず"0"を読出します。
4	PCMD10	PC1端子の機能選択 0: 汎用ポート機能(PC1端子) 1: 特殊機能(ADIN01/VGAOP0/CMP0IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PCMD00	PC0端子の機能選択 0: 汎用ポート機能(PC0端子) 1: 特殊機能(ADIN00/VGAON/CMP0REF端子)(*1)

*1 MN103HF45シリーズでは、特殊機能(VGAON, VGAOP0, VGAOP1, VGAOP2)を使用できません。

■ ポートCプルアップ制御レジスタ (PCPLU : 0x0000A03C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7R	PC6R	PC5R	PC4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7R	PC7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PC6R	PC6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PC5R	PC5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PC4R	PC4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

18.12ポートD

ポートDの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PDMDレジスタ）（表18.12.1参照）

・端子の入出力制御が可能（PDDIRレジスタ）（表18.12.1参照）

・プルアップ抵抗付加の選択が可能（PDPLUレジスタ）

ポートDの端子機能とレジスタ設定値を表18.12.1に示します。

表 18.12.1 ポート D の端子機能とレジスタ設定値

端子名	端子機能	PDMDレジスタ/PDMD00ビット
PD0	汎用ポート入力	0
	ADIN08入力 VGA1N入力(*1) CMP1REF入力	1

端子名	端子機能	PDMDレジスタ/PDMD10ビット
PD1	汎用ポート入力	0
	ADIN09入力 VGA1P0入力(*1) CMP1IN入力	1

端子名	端子機能	PDMDレジスタ/PDMD20ビット
PD2	汎用ポート入力	0
	ADIN10入力 VGA1P1入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD30ビット
PD3	汎用ポート入力	0
	ADIN11入力 VGA1P2入力(*1)	1

端子名	端子機能	PDMDレジスタ/PDMD40ビット	PDDIRレジスタ/PD4Dビット
PD4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN12入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD50ビット	PDDIRレジスタ/PD5Dビット
PD5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN13入力	1	X

*1 MN103HF45シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

18.12.1 ポートDの制御レジスタ

ポートDの制御レジスタの一覧を表18.12.2に示します。

表 18.12.2 ポート D の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートD	PDOUT	0x0000A00D	R/W	8	ポートD出力データレジスタ	XVIII-59
	PDIN	0x0000A01D	R	8	ポートD入力データレジスタ	XVIII-60
	PDDIR	0x0000A02D	R/W	8	ポートD入出力制御レジスタ	XVIII-60
	PDMD	0x0000A074	R/W	8, 16, 32	ポートDモードレジスタ	XVIII-61
	PDPLU	0x0000A03D	R/W	8	ポートDプルアップ制御レジスタ	XVIII-62

■ ポートD出力データレジスタ (PDOUT : 0x0000A00D) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PD50	PD40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PD50	PD5端子の出力データを設定してください。
4	PD40	PD4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PDOUTレジスタにデータを書込んだ後、PDDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートD入力データレジスタ (PDIN : 0x0000A01D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PD5I	PD4I	PD3I	PD2I	PD1I	PD0I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PD5I	PD5端子の入力データを読出します。
4	PD4I	PD4端子の入力データを読出します。
3	PD3I	PD3端子の入力データを読出します。
2	PD2I	PD2端子の入力データを読出します。
1	PD1I	PD1端子の入力データを読出します。
0	PD0I	PD0端子の入力データを読出します。

端子の入力データを読出す時は、PDDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PDINレジスタの値を読出してください。

■ ポートD入出力制御レジスタ (PDDIR : 0x0000A02D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PD5D	PD4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PD5D	PD5端子の入出力制御 0 : 入力 1 : 出力
4	PD4D	PD4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートDモードレジスタ (PDMD : 0x0000A074) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PDMD50	-			PDMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PDMD30	-			PDMD20	-			PDMD10	-			PDMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PDMD50	PD5端子の機能選択 0: 汎用ポート機能(PD5端子) 1: 特殊機能(ADIN13端子)
19-17	-	必ず"0"を読出します。
16	PDMD40	PD4端子の機能選択 0: 汎用ポート機能(PD4端子) 1: 特殊機能(ADIN12端子)
15-13	-	必ず"0"を読出します。
12	PDMD30	PD3端子の機能選択 0: 汎用ポート機能(PD3端子) 1: 特殊機能(ADIN11/VGA1P2端子)(*1)
11-9	-	必ず"0"を読出します。
8	PDMD20	PD2端子の機能選択 0: 汎用ポート機能(PD2端子) 1: 特殊機能(ADIN10/VGA1P1端子)(*1)
7-5	-	必ず"0"を読出します。
4	PDMD10	PD1端子の機能選択 0: 汎用ポート機能(PD1端子) 1: 特殊機能(ADIN09/VGA1P0/CMP1IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PDMD00	PD0端子の機能選択 0: 汎用ポート機能(PD0端子) 1: 特殊機能(ADIN08/VGA1N/CMP1REF端子)(*1)

*1 MN103HF45シリーズでは、特殊機能(VGA1N,VGA1P0,VGA1P1,VGA1P2)を使用できません。

■ ポートDプルアップ制御レジスタ (PDPLU : 0x0000A03D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PD5R	PD4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PD5R	PD5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PD4R	PD4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

18.13ポートE

ポートEの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PEMDレジスタ）（表18.13.1参照）

・プルアップ抵抗付加の選択が可能（PEPLUレジスタ）

ポートEの端子機能とレジスタ設定値を表18.13.1に示します。

表 18.13.1 ポート E の端子機能とレジスタ設定値

端子名	端子機能	PEMDレジスタ/PEMD00ビット
PE0	汎用ポート入力	0
	ADIN16入力 VGA2N入力(*1) CMP2REF入力	1

端子名	端子機能	PEMDレジスタ/PEMD10ビット
PE1	汎用ポート入力	0
	ADIN17入力 VGA2P0入力(*1) CMP2IN入力	1

*1 MN103HF45シリーズでは、特殊機能(VGA2N,VGA2P)を使用できません。

18.13.1 ポートEの制御レジスタ

ポートEの制御レジスタの一覧を表18.13.2に示します。

表 18.13.2 ポート E の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートE	PEIN	0x0000A01E	R	8	ポートE入力データレジスタ	XVIII-64
	PEMD	0x0000A078	R/W	8, 16, 32	ポートEモードレジスタ	XVIII-65

■ ポートE入力データレジスタ (PEIN : 0x0000A01E) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						PE1I	PE0I
初期値	0	0	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
1	PE1I	PE1端子の入力データを読出します。
0	PE0I	PE0端子の入力データを読出します。

■ ポートEモードレジスタ (PEMD : 0x0000A078) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-											PEMD10	-			PEMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-5	-	必ず"0"を読出します。
4	PEMD10	PE1端子の機能選択 0: 汎用ポート機能(PE1端子) 1: 特殊機能(ADIN17/VGA2P/CMP2IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PEMD00	PE0端子の機能選択 0: 汎用ポート機能(PE0端子) 1: 特殊機能(ADIN16/VGA2N/CMP2REF端子)(*1)

*1 MN103HF45シリーズでは、特殊機能(VGA2N,VGA2P)を使用できません。

第19章　I/Oポート（MN103HFx4シリーズ）

19

19.1 I/Oポートの概要

本LSIは、汎用ポート機能と特殊機能を兼用するI/Oポートを搭載しています。搭載数は計50本（ポート0、2～6、8、9、C、D)です。

19.1.1　I/Oポートの一覧

I/Oポートの一覧を表19.1.1に示します。

表 19.1.1　I/O ポートの一覧

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート0	P00	TM0IO/IRQ00/DA0OUT	I/O	入出力禁止	なし	汎用ポート
	P01	TM1IO/IRQ01/DA1OUT	I/O	入出力禁止	なし	汎用ポート
	P02	TM4IO/IRQ02/CANTXD_A	I/O	入出力禁止	なし	汎用ポート
	P03	TM5IO/IRQ03/CANRXD_A	I/O	入出力禁止	なし	汎用ポート
ポート2	P20	SBO0_A/SDA0_A/SBT0_B/SCL0_B	I/O	入出力禁止	なし	汎用ポート
	P21	SBT0_A/SCL0_A/SBO0_B/SDA0_B	I/O	入出力禁止	なし	汎用ポート
	P22	SBI0	I/O	入出力禁止	なし	汎用ポート
	P23	SBO1_A/SBT1_B/LINTXD_A	I/O	入出力禁止	なし	汎用ポート
	P24	SBT1_A/SBO1_B/LINTXD_B	I/O	入出力禁止	なし	汎用ポート
	P25	SBI1/LINRXD	I/O	入出力禁止	なし	汎用ポート
ポート3	P30	SBO3_A/SBT3_B	I/O	入出力禁止	なし	汎用ポート
	P31	SBT3_A/SBO3_B	I/O	入出力禁止	なし	汎用ポート
	P32	SBI3	I/O	入出力禁止	なし	汎用ポート
	P33	SBCS3/ADTRG2	I/O	入出力禁止	なし	汎用ポート
ポート4	P40	TM6IO/IRQ08	I/O	入出力禁止	なし	汎用ポート
	P41	TM7IO/IRQ09	I/O	入出力禁止	なし	汎用ポート
	P42	TM2IO/IRQ10/CANTXD_B	I/O	入出力禁止	なし	汎用ポート
	P43	TM3IO/IRQ11/CANRXD_B	I/O	入出力禁止	なし	汎用ポート
	P46	TM17AIO/TM10IO/IRQ04/PWM04_B	I/O	入出力禁止	なし	汎用ポート
	P47	TM17BIO/TM11IO/IRQ05/PWM05_B	I/O	入出力禁止	なし	汎用ポート
ポート5	P50	TM16AIO/PWM02_B/ADTRG0	I/O	入出力禁止	なし	汎用ポート
	P51	TM16BIO/PWM03_B/ADTRG1	I/O	入出力禁止	なし	汎用ポート
ポート6	P60	TM18AIO/PWM10_B	I/O	入出力禁止	なし	汎用ポート
	P61	TM18BIO/PWM11_B	I/O	入出力禁止	なし	汎用ポート
	P64	TM19AIO/PWMBCST0/CMP0OUT	I/O	入出力禁止	なし	汎用ポート
	P65	TM19BIO/PWMBCST1/CMP1OUT	I/O	入出力禁止	なし	汎用ポート
ポート8	P80	PWM00	I/O	入出力禁止	なし	汎用ポート
	P81	PWM01	I/O	入出力禁止	なし	汎用ポート
	P82	PWM02_A/TM18A0_HR	I/O	入出力禁止	なし	汎用ポート
	P83	PWM03_A/TM18B0_HR	I/O	入出力禁止	なし	汎用ポート
	P84	PWM04_A/TM19A0_HR	I/O	入出力禁止	なし	汎用ポート
	P85	PWM05_A/TM19B0_HR	I/O	入出力禁止	なし	汎用ポート

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポート9	P90	PWM10_A/TM20AIO/TM16AO_HR	I/O	入出力禁止	なし	汎用ポート
	P91	PWM11_A/TM20BIO/TM16BO_HR	I/O	入出力禁止	なし	汎用ポート
	P92	PWM12/TM21AIO/TM17AO_HR	I/O	入出力禁止	なし	汎用ポート
	P93	PWM13/TM21BIO/TM17BO_HR	I/O	入出力禁止	なし	汎用ポート
	P94	PWM14	I/O	入出力禁止	なし	汎用ポート
	P95	PWM15	I/O	入出力禁止	なし	汎用ポート
ポートC	PC0	ADIN00/VGAON(*1)/CMP0REF	I	入力禁止	なし	汎用ポート
	PC1	ADIN01/VGA0P(*1)/CMP0IN	I	入力禁止	なし	汎用ポート
	PC2	ADIN02	I	入力禁止	なし	汎用ポート
	PC3	ADIN03	I	入力禁止	なし	汎用ポート
	PC4	ADIN04	I/O	入出力禁止	なし	汎用ポート
	PC5	ADIN05	I/O	入出力禁止	なし	汎用ポート
	PC6	ADIN06	I/O	入出力禁止	なし	汎用ポート
	PC7	ADIN07	I/O	入出力禁止	なし	汎用ポート
ポートD	PD0	ADIN08/VGA1N(*1)/CMP1REF	I	入力禁止	なし	汎用ポート
	PD1	ADIN09/VGA1P(*1)/CMP1IN	I	入力禁止	なし	汎用ポート
	PD6	ADIN14	I/O	入出力禁止	なし	汎用ポート
	PD7	ADIN15	I/O	入出力禁止	なし	汎用ポート

*1 MN103HF44シリーズでは、特殊機能(VGAON,VGA1N,VGA0P,VGA1P)を使用できません。

19.2 ポート0

ポート0の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能 (P0MDレジスタ)(表19.2.1参照)

・端子の入出力制御が可能 (P0DIRレジスタ)(表19.2.1参照)

・プルアップ抵抗付加の選択が可能 (P0PLUレジスタ)

・Nchオープンドレイン出力の選択が可能 (P0ODCレジスタ)

ポート0の端子機能とレジスタ設定値を表19.2.1に示します。

表 19.2.1 ポート 0 の端子機能とレジスタ設定値

端子名	端子機能	P0MDレジスタ/P0MD01, P0MD00 ビット	P0DIRレジスタ/P00Dビット
P00	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ00入力	01	0
	TM0IO入力	10	0
	TM0IO出力	10	1
	DA0OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD11, P0MD10 ビット	P0DIRレジスタ/P01Dビット
P01	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ01入力	01	0
	TM1IO入力	10	0
	TM1IO出力	10	1
	DA1OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD21, P0MD20 ビット	P0DIRレジスタ/P02Dビット
P02	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ02入力	01	0
	TM4IO入力	10	0
	TM4IO出力	10	1
	CANTXD_A出力	11	1

端子名	端子機能	P0MDレジスタ/P0MD31, P0MD30 ビット	P0DIRレジスタ/P03Dビット
P03	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ03入力	01	0
	TM5IO入力	10	0
	TM5IO出力	10	1
	CANRXD_A入力	11	0

19.2.1　ポート0の制御レジスタ

ポート0の制御レジスタの一覧を表19.2.2に示します。

表 19.2.2 ポート 0 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート0	P0OUT	0x0000A000	R/W	8	ポート0出力データレジスタ	XIX-5
	P0IN	0x0000A010	R	8	ポート0入力データレジスタ	XIX-6
	P0DIR	0x0000A020	R/W	8	ポート0入出力制御レジスタ	XIX-6
	P0MD	0x0000A040	R/W	8, 16, 32	ポート0モードレジスタ	XIX-7
	P0PLU	0x0000A030	R/W	8	ポート0プルアップ制御レジスタ	XIX-8
	P0ODC	0x0000A090	R/W	8	ポート0Nchオープンドレイン制御レジスタ	XIX-8

■ ポート0出力データレジスタ (P0OUT : 0x0000A000) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P030	P020	P010	P000
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P030	P03端子の出力データを設定してください。
2	P020	P02端子の出力データを設定してください。
1	P010	P01端子の出力データを設定してください。
0	P000	P00端子の出力データを設定してください。

端子にデータを出力するときは、P0OUTレジスタにデータを書込んだ後、P0DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート0入力データレジスタ (P0IN : 0x0000A010) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P03I	P02I	P01I	P00I
初期値	0	0	0	0	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P03I	P03端子の入力データを読出します。
2	P02I	P02端子の入力データを読出します。
1	P01I	P01端子の入力データを読出します。
0	P00I	P00端子の入力データを読出します。

端子の入力データを読出す時は、P0DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P0INレジスタの値を読出してください。

■ ポート0入出力制御レジスタ (P0DIR : 0x0000A020) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P03D	P02D	P01D	P00D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P03D	P03端子の入出力制御 0 : 入力 1 : 出力
2	P02D	P02端子の入出力制御 0 : 入力 1 : 出力
1	P01D	P01端子の入出力制御 0 : 入力 1 : 出力
0	P00D	P00端子の入出力制御 0 : 入力 1 : 出力

■ ポート0モードレジスタ (POMD : 0x0000A040) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		POMD31-0		-		POMD21-0		-		POMD11-0		-		POMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-14	-	必ず"0"を読出します。
13-12	POMD31-0	P03端子の機能選択 00: 汎用ポート機能(P03端子) 01: 特殊機能(IRQ03端子) 10: 特殊機能(TM5IO端子) 11: 特殊機能(CANRXD_A端子)
11-10	-	必ず"0"を読出します。
9-8	POMD21-0	P02端子の機能選択 00: 汎用ポート機能(P02端子) 01: 特殊機能(IRQ02端子) 10: 特殊機能(TM4IO端子) 11: 特殊機能(CANTXD_A端子)
7-6	-	必ず"0"を読出します。
5-4	POMD11-0	P01端子の機能選択 00: 汎用ポート機能(P01端子) 01: 特殊機能(IRQ01端子) 10: 特殊機能(TM1IO端子) 11: 特殊機能(DA1OUT端子)
3-2	-	必ず"0"を読出します。
1-0	POMD01-0	P00端子の機能選択 00: 汎用ポート機能(P00端子) 01: 特殊機能(IRQ00端子) 10: 特殊機能(TM0IO端子) 11: 特殊機能(DA0OUT端子)

■ ポート0プルアップ制御レジスタ (P0PLU : 0x0000A030) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P03R	P02R	P01R	P00R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P03R	P03端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P02R	P02端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P01R	P01端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P00R	P00端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート0Nchオープンドレイン制御レジスタ (P0ODC : 0x0000A090) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P00DC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P00DC2	P02端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_A端子選択時のみ有効
1-0	-	必ず"0"を読出します。

19.3 ポート2

ポート2の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P2MDレジスタ）（表19.3.1参照）

・端子の入出力制御が可能（P2DIRレジスタ）（表19.3.1参照）

・プルアップ抵抗付加の選択が可能（P2PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P2ODCレジスタ）

ポート2の端子機能とレジスタ設定値を表19.3.1に示します。

表 19.3.1 ポート 2 の端子機能とレジスタ設定値

端子名	端子機能	P2MDレジスタ/P2MD01, P2MD00 ビット	P2DIRレジスタ/P20Dビット
P20	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO0_A/SDA0_A入力 (*1)	10	0
	SBO0_A/SDA0_A出力 (*1)	10	1
	SBT0_B/SCL0_B入力 (*1)	11	0
	SBT0_B/SCL0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD11, P2MD10 ビット	P2DIRレジスタ/P21Dビット
P21	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT0_A/SCL0_A入力 (*1)	10	0
	SBT0_A/SCL0_A出力 (*1)	10	1
	SBO0_B/SDA0_B入力 (*1)	11	0
	SBO0_B/SDA0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD20ビット	P2DIRレジスタ/P22Dビット
P22	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI0入力 (*1)	1	0

端子名	端子機能	P2MDレジスタ/P2MD31, P2MD30 ビット	P2DIRレジスタ/P23Dビット
P23	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO1_A/LINTXD_A入力 (*1)	10	0
	SBO1_A/LINTXD_A出力 (*1)	10	1
	SBT1_B入力 (*1)	11	0
	SBT1_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD41, P2MD40 ビット	P2DIRレジスタ/P24Dビット
P24	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT1_A入力 (*1)	10	0
	SBT1_A出力 (*1)	10	1
	SBO1_B/LINTXD_B入力 (*1)	11	0
	SBO1_B/LINTXD_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD50ビット	P2DIRレジスタ/P25Dビット
P25	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI1/LINRXD入力 (*1)	1	0

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

19.3.1　ポート2の制御レジスタ

ポート2の制御レジスタの一覧を表19.3.2に示します。

表 19.3.2 ポート 2 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート2	P2OUT	0x0000A002	R/W	8	ポート2出力データレジスタ	XIX-11
	P2IN	0x0000A012	R	8	ポート2入力データレジスタ	XIX-12
	P2DIR	0x0000A022	R/W	8	ポート2入出力制御レジスタ	XIX-12
	P2MD	0x0000A048	R/W	8, 16, 32	ポート2モードレジスタ	XIX-13
	P2PLU	0x0000A032	R/W	8	ポート2プルアップ制御レジスタ	XIX-14
	P2ODC	0x0000A092	R/W	8	ポート2Nchオープンドレイン制御レジスタ	XIX-15

■ ポート2出力データレジスタ (P2OUT : 0x0000A002) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P250	P240	P230	P220	P210	P200
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P250	P25端子の出力データを設定してください。
4	P240	P24端子の出力データを設定してください。
3	P230	P23端子の出力データを設定してください。
2	P220	P22端子の出力データを設定してください。
1	P210	P21端子の出力データを設定してください。
0	P200	P20端子の出力データを設定してください。

端子にデータを出力するときは、P2OUTレジスタにデータを書込んだ後、P2DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート2入力データレジスタ (P2IN : 0x0000A012) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25I	P24I	P23I	P22I	P21I	P20I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25I	P25端子の入力データを読出します。
4	P24I	P24端子の入力データを読出します。
3	P23I	P23端子の入力データを読出します。
2	P22I	P22端子の入力データを読出します。
1	P21I	P21端子の入力データを読出します。
0	P20I	P20端子の入力データを読出します。

端子の入力データを読出す時は、P2DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P2INレジスタの値を読出してください。

■ ポート2入出力制御レジスタ (P2DIR : 0x0000A022) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25D	P24D	P23D	P22D	P21D	P20D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25D	P25端子の入出力制御 0 : 入力 1 : 出力
4	P24D	P24端子の入出力制御 0 : 入力 1 : 出力
3	P23D	P23端子の入出力制御 0 : 入力 1 : 出力
2	P22D	P22端子の入出力制御 0 : 入力 1 : 出力
1	P21D	P21端子の入出力制御 0 : 入力 1 : 出力
0	P20D	P20端子の入出力制御 0 : 入力 1 : 出力

■ ポート2モードレジスタ (P2MD : 0x0000A048) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P2MD50	-		P2MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P2MD31-0		-			P2MD20	-		P2MD11-0		-		P2MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P2MD50	P25端子の機能選択 0: 汎用ポート機能(P25端子) 1: 特殊機能(SBI1/LINRXD端子)
19-18	-	必ず"0"を読出します。
17-16	P2MD41-0	P24端子の機能選択 0X: 汎用ポート機能(P24端子) 10: 特殊機能(SBT1_A端子) 11: 特殊機能(SBO1_B/LINTXD_B端子)
15-14	-	必ず"0"を読出します。
13-12	P2MD31-0	P23端子の機能選択 0X: 汎用ポート機能(P23端子) 10: 特殊機能(SBO1_A/LINTXD_A端子) 11: 特殊機能(SBT1_B端子)
11-9	-	必ず"0"を読出します。
8	P2MD20	P22端子の機能選択 0: 汎用ポート機能(P22端子) 1: 特殊機能(SBI0端子)
7-6	-	必ず"0"を読出します。
5-4	P2MD11-0	P21端子の機能選択 0X: 汎用ポート機能(P21端子) 10: 特殊機能(SBT0_A/SCL0_A端子) 11: 特殊機能(SBO0_B/SDA0_B端子)
3-2	-	必ず"0"を読出します。
1-0	P2MD01-0	P20端子の機能選択 0X: 汎用ポート機能(P20端子) 10: 特殊機能(SBO0_A/SDA0_A端子) 11: 特殊機能(SBT0_B/SCL0_B端子)

■ ポート2プルアップ制御レジスタ (P2PLU : 0x0000A032) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25R	P24R	P23R	P22R	P21R	P20R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25R	P25端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P24R	P24端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P23R	P23端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P22R	P22端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P21R	P21端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P20R	P20端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート2Nchオープンドレイン制御レジスタ (P2ODC : 0x0000A092) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P2ODC4	P2ODC3	-	P2ODC1	P2ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P2ODC4	P24端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT1_A、SBO1_B端子選択時のみ有効
3	P2ODC3	P23端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO1_A、SBT1_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P2ODC1	P21端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT0_A、SBO0_B端子選択時のみ有効
0	P2ODC0	P20端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO0_A、SBT0_B端子選択時のみ有効

19.4 ポート3

ポート3の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P3MDレジスタ）（表19.4.1参照）

・端子の入出力制御が可能（P3DIRレジスタ）（表19.4.1参照）

・プルアップ抵抗付加の選択が可能（P3PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P3ODCレジスタ）

ポート3の端子機能とレジスタ設定値を表19.4.1に示します。

表 19.4.1 ポート 3 の端子機能とレジスタ設定値

端子名	端子機能	P3MDレジスタ/P3MD01, P3MD00ビット	P3DIRレジスタ/P30Dビット
P30	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO3_A入力 (*1)	10	0
	SBO3_A出力 (*1)	10	1
	SBT3_B入力 (*1)	11	0
	SBT3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD11, P3MD10ビット	P3DIRレジスタ/P31Dビット
P31	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT3_A入力 (*1)	10	0
	SBT3_A出力 (*1)	10	1
	SBO3_B入力 (*1)	11	0
	SBO3_B出力 (*1)	11	1

端子名	端子機能	P3MDレジスタ/P3MD20ビット	P3DIRレジスタ/P32Dビット
P32	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI3入力 (*1)	1	0

端子名	端子機能	P3MDレジスタ/P3MD31, P3MD30ビット	P3DIRレジスタ/P33Dビット
P33	汎用ポート入力	00	0
	汎用ポート出力	00	1
	ADTRG2出力	01	1
	SBCS3入力	1X	0
	SBCS3出力	1X	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

19.4.1　ポート3の制御レジスタ

ポート3の制御レジスタの一覧を表19.4.2に示します。

表 19.4.2 ポート 3 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセス サイズ	レジスタ名称	参照 ページ
ポート3	P3OUT	0x0000A003	R/W	8	ポート3出力データレジスタ	XIX-17
	P3IN	0x0000A013	R	8	ポート3入力データレジスタ	XIX-18
	P3DIR	0x0000A023	R/W	8	ポート3入出力制御レジスタ	XIX-18
	P3MD	0x0000A04C	R/W	8, 16, 32	ポート3モードレジスタ	XIX-19
	P3PLU	0x0000A033	R/W	8	ポート3プルアップ制御レジスタ	XIX-20
	P3ODC	0x0000A093	R/W	8	ポート3Nchオープンドレイン制御レジスタ	XIX-20

■ ポート3出力データレジスタ (P3OUT : 0x0000A003) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P330	P320	P310	P300
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P330	P33端子の出力データを設定してください。
2	P320	P32端子の出力データを設定してください。
1	P310	P31端子の出力データを設定してください。
0	P300	P30端子の出力データを設定してください。

端子にデータを出力するときは、P3OUTレジスタにデータを書込んだ後、P3DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート3入力データレジスタ (P3IN : 0x0000A013) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P33I	P32I	P31I	P30I
初期値	0	0	0	0	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P33I	P33端子の入力データを読出します。
2	P32I	P32端子の入力データを読出します。
1	P31I	P31端子の入力データを読出します。
0	P30I	P30端子の入力データを読出します。

端子の入力データを読出す時は、P3DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P3INレジスタの値を読出してください。

■ ポート3入出力制御レジスタ (P3DIR : 0x0000A023) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P33D	P32D	P31D	P30D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P33D	P33端子の入出力制御 0 : 入力 1 : 出力
2	P32D	P32端子の入出力制御 0 : 入力 1 : 出力
1	P31D	P31端子の入出力制御 0 : 入力 1 : 出力
0	P30D	P30端子の入出力制御 0 : 入力 1 : 出力

■ ポート3モードレジスタ (P3MD : 0x0000A04C) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P3MD31-0		-			P3MD20	-		P3MD11-0		-		P3MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-14	-	必ず"0"を読出します。
13-12	P3MD31-0	P33端子の機能選択 00: 汎用ポート機能(P33端子) 01: 特殊機能(ADTRG2端子) 1X: 特殊機能(SBCS3端子)
11-9	-	必ず"0"を読出します。
8	P3MD20	P32端子の機能選択 0: 汎用ポート機能(P32端子) 1: 特殊機能(SBI3端子)
7-6	-	必ず"0"を読出します。
5-4	P3MD11-0	P31端子の機能選択 0X: 汎用ポート機能(P31端子) 10: 特殊機能(SBT3_A端子) 11: 特殊機能(SBO3_B端子)
3-2	-	必ず"0"を読出します。
1-0	P3MD01-0	P30端子の機能選択 0X: 汎用ポート機能(P30端子) 10: 特殊機能(SBO3_A端子) 11: 特殊機能(SBT3_B端子)

■ ポート3プルアップ制御レジスタ (P3PLU : 0x0000A033) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P33R	P32R	P31R	P30R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P33R	P33端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P32R	P32端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P31R	P31端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P30R	P30端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート3Nchオープンドレイン制御レジスタ (P30DC : 0x0000A093) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P30DC3	-	P30DC1	P30DC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P30DC3	P33端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBCS3端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P30DC1	P31端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT3_A、SBO3_B端子選択時のみ有効
0	P30DC0	P30端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO3_A、SBT3_B端子選択時のみ有効

19.5 ポート4

ポート4の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P4MDレジスタ）（表19.5.1参照）

・端子の入出力制御が可能（P4DIRレジスタ）（表19.5.1参照）

・プルアップ抵抗付加の選択が可能（P4PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P4ODCレジスタ）

ポート4の端子機能とレジスタ設定値を表19.5.1に示します。

表 19.5.1 ポート 4 の端子機能とレジスタ設定値

端子名	端子機能	P4MDレジスタ/P4MD01, P4MD00 ビット	P4DIRレジスタ/P40Dビット
P40	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM6IO入力	01	0
	TM6IO出力	01	1
	IRQ08入力	1X	0

端子名	端子機能	P4MDレジスタ/P4MD11, P4MD10 ビット	P4DIRレジスタ/P41Dビット
P41	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM7IO入力	01	0
	TM7IO出力	01	1
	IRQ09入力	1X	0

端子名	端子機能	P4MDレジスタ/P4MD21, P4MD20 ビット	P4DIRレジスタ/P42Dビット
P42	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM2IO入力	01	0
	TM2IO出力	01	1
	IRQ10入力	10	0
	CANTXD_B出力	11	1

端子名	端子機能	P4MDレジスタ/P4MD31, P4MD30 ビット	P4DIRレジスタ/P43Dビット
P43	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM3IO入力	01	0
	TM3IO出力	01	1
	IRQ11入力	10	0
	CANRXD_B入力	11	0

端子名	端子機能	P4MDレジスタ/P4MD61, P4MD60 ビット	P4DIRレジスタ/P46Dビット
P46	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM10IO入力	001	0
	TM10IO出力	001	1
	IRQ04入力	010	0
	TM17AIO入力	011	0
	TM17AIO出力	011	1
	PWM04_B出力	1XX	1

端子名	端子機能	P4MDレジスタ/P4MD70ビット	P4DIRレジスタ/P47Dビット
P47	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM11IO入力	001	0
	TM11IO出力	001	1
	IRQ05入力	010	0
	TM17BIO入力	011	0
	TM17BIO出力	011	1
	PWM05_B出力	1XX	1

19.5.1 ポート4の制御レジスタ

ポート4の制御レジスタの一覧を表19.5.2に示します。

表 19.5.2 ポート 4 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート4	P4OUT	0x0000A004	R/W	8	ポート4出力データレジスタ	XIX-23
	P4IN	0x0000A014	R	8	ポート4入力データレジスタ	XIX-24
	P4DIR	0x0000A024	R/W	8	ポート4入出力制御レジスタ	XIX-24
	P4MD	0x0000A050	R/W	8, 16, 32	ポート4モードレジスタ	XIX-25
	P4PLU	0x0000A034	R/W	8	ポート4プルアップ制御レジスタ	XIX-26
	P4ODC	0x0000A094	R/W	8	ポート4Nchオープンドレイン制御レジスタ	XIX-26

■ ポート4出力データレジスタ (P4OUT : 0x0000A004) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P470	P460	-		P430	P420	P410	P400
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P470	P47端子の出力データを設定してください。
6	P460	P46端子の出力データを設定してください。
5-4	-	必ず"0"を読出します。
3	P430	P43端子の出力データを設定してください。
2	P420	P42端子の出力データを設定してください。
1	P410	P41端子の出力データを設定してください。
0	P400	P40端子の出力データを設定してください。

端子にデータを出力するときは、P4OUTレジスタにデータを書込んだ後、P4DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート4入力データレジスタ (P4IN : 0x0000A014) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47I	P46I	-		P43I	P42I	P41I	P40I
初期値	X	X	0	0	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	P47I	P47端子の入力データを読出します。
6	P46I	P46端子の入力データを読出します。
5-4	-	必ず"0"を読出します。
3	P43I	P43端子の入力データを読出します。
2	P42I	P42端子の入力データを読出します。
1	P41I	P41端子の入力データを読出します。
0	P40I	P40端子の入力データを読出します。

端子の入力データを読出す時は、P4DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P4INレジスタの値を読出してください。

■ ポート4入出力制御レジスタ (P4DIR : 0x0000A024) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	-		P43D	P42D	P41D	P40D
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47D	P47端子の入出力制御 0 : 入力 1 : 出力
6	P46D	P46端子の入出力制御 0 : 入力 1 : 出力
5-4	-	必ず"0"を読出します。
3	P43D	P43端子の入出力制御 0 : 入力 1 : 出力
2	P42D	P42端子の入出力制御 0 : 入力 1 : 出力
1	P41D	P41端子の入出力制御 0 : 入力 1 : 出力
0	P40D	P40端子の入出力制御 0 : 入力 1 : 出力

■ ポート4モードレジスタ (P4MD : 0x0000A050) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-	P4MD72-0			-	P4MD62-0			-							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P4MD31-0		-		P4MD21-0		-		P4MD11-0		-		P4MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31	-	必ず"0"を読出します。
30-28	P4MD72-0	P47端子の機能選択 000: 汎用ポート機能(P47端子) 001: 特殊機能(TM11IO端子) 010: 特殊機能(IRQ05端子) 011: 特殊機能(TM17BIO端子) 1XX: 特殊機能(PWM05_B端子)
27	-	必ず"0"を読出します。
26-24	P4MD62-0	P46端子の機能選択 000: 汎用ポート機能(P46端子) 001: 特殊機能(TM10IO端子) 010: 特殊機能(IRQ04端子) 011: 特殊機能(TM17AIO端子) 1XX: 特殊機能(PWM04_B端子)
23-14	-	必ず"0"を読出します。
13-12	P4MD31-0	P43端子の機能選択 00: 汎用ポート機能(P43端子) 01: 特殊機能(TM3IO端子) 10: 特殊機能(IRQ11端子) 11: 特殊機能(CANRXD_B端子)
11-10	-	必ず"0"を読出します。
9-8	P4MD21-0	P42端子の機能選択 00: 汎用ポート機能(P42端子) 01: 特殊機能(TM2IO端子) 10: 特殊機能(IRQ10端子) 11: 特殊機能(CANTXD_B端子)
7-6	-	必ず"0"を読出します。
5-4	P4MD11-0	P41端子の機能選択 00: 汎用ポート機能(P41端子) 01: 特殊機能(TM7IO端子) 1X: 特殊機能(IRQ09端子)
3-2	-	必ず"0"を読出します。
1-0	P4MD01-0	P40端子の機能選択 00: 汎用ポート機能(P40端子) 01: 特殊機能(TM6IO端子) 1X: 特殊機能(IRQ08端子)

■ ポート4プルアップ制御レジスタ (P4PLU : 0x0000A034) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	P47R	P46R	-		P43R	P42R	P41R	P40R
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7	P47R	P47端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	P46R	P46端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5-4	-	必ず"0"を読出します。
3	P43R	P43端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P42R	P42端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P41R	P41端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P40R	P40端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート4Nchオープンドレイン制御レジスタ (P4ODC : 0x0000A094) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P4ODC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P4ODC2	P42端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD_B端子選択時のみ有効
1-0	-	必ず"0"を読出します。

19.6 ポート5

ポート5の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P5MDレジスタ）（表19.6.1参照）

・端子の入出力制御が可能（P5DIRレジスタ）（表19.6.1参照）

・プルアップ抵抗付加の選択が可能（P5PLUレジスタ）

ポート5の端子機能とレジスタ設定値を表19.6.1に示します。

表 19.6.1 ポート 5 の端子機能とレジスタ設定値

端子名	端子機能	P5MDレジスタ/P5MD00ビット	P5DIRレジスタ/P50Dビット
P50	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16AIO入力	01	0
	TM16AIO出力	01	1
	ADTRG0出力	10	1
	PWM02_B出力	11	1

端子名	端子機能	P5MDレジスタ/P5MD10ビット	P5DIRレジスタ/P51Dビット
P51	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM16BIO入力	01	0
	TM16BIO出力	01	1
	ADTRG1出力	10	1
	PWM03_B出力	11	1

19.6.1　ポート5の制御レジスタ

ポート5の制御レジスタの一覧を表19.6.2に示します。

表 19.6.2 ポート 5 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート5	P5OUT	0x0000A005	R/W	8	ポート5出力データレジスタ	XIX-28
	P5IN	0x0000A015	R	8	ポート5入力データレジスタ	XIX-29
	P5DIR	0x0000A025	R/W	8	ポート5入出力制御レジスタ	XIX-29
	P5MD	0x0000A054	R/W	8, 16, 32	ポート5モードレジスタ	XIX-30
	P5PLU	0x0000A035	R/W	8	ポート5プルアップ制御レジスタ	XIX-30

■ ポート5出力レジスタ (P5OUT : 0x0000A005) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P510	P500
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P510	P51端子の出力データを設定してください。
0	P500	P50端子の出力データを設定してください。

端子にデータを出力するときは、P5OUTレジスタにデータを書込んだ後、P5DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート5入力データレジスタ (P5IN : 0x0000A015) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P51I	P50I
初期値	0	0	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P51I	P51端子の入力データを読出します。
0	P50I	P50端子の入力データを読出します。

端子の入力データを読出す時は、P5DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P5INレジスタの値を読出してください。

■ ポート5入出力制御レジスタ (P5DIR : 0x0000A025) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P51D	P50D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P51D	P51端子の入出力制御 0 : 入力 1 : 出力
0	P50D	P50端子の入出力制御 0 : 入力 1 : 出力

■ ポート5モードレジスタ (P5MD : 0x0000A054) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-										P5MD11-0		-		P5MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-6	-	必ず"0"を読出します。
5-4	P5MD11-0	P51端子の機能選択 00: 汎用ポート機能(P51端子) 01: 特殊機能(TM16BIO端子) 10: 特殊機能(ADTRG1端子) 11: 特殊機能(PWM03_B端子)
3-2	-	必ず"0"を読出します。
1-0	P5MD01-0	P50端子の機能選択 00: 汎用ポート機能(P50端子) 01: 特殊機能(TM16AIO端子) 10: 特殊機能(ADTRG0端子) 11: 特殊機能(PWM02_B端子)

■ ポート5プルアップ制御レジスタ (P5PLU : 0x0000A035) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P51R	P50R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P51R	P51端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P50R	P50端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

19.7 ポート6

ポート6の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P6MDレジスタ）（表19.7.1参照）

・端子の入出力制御が可能（P6DIRレジスタ）（表19.7.1参照）

・プルアップ抵抗付加の選択が可能（P6PLUレジスタ）

ポート6の端子機能とレジスタ設定値を表19.7.1に示します。

表 19.7.1 ポート 6 の端子機能とレジスタ設定値

端子名	端子機能	P6MDレジスタ/P6MD00ビット	P6DIRレジスタ/P60Dビット
P60	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18AIO入力	01	0
	TM18AIO出力	01	1
	PWM10_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD10ビット	P6DIRレジスタ/P61Dビット
P61	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18BIO入力	01	0
	TM18BIO出力	01	1
	PWM11_B出力	1X	1

端子名	端子機能	P6MDレジスタ/P6MD41, P6MD40 ビット	P6DIRレジスタ/P64Dビット
P64	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19AIO入力	01	0
	TM19AIO出力	01	1
	PWMBCST0出力	10	1
	CMP0OUT出力	11	X

端子名	端子機能	P6MDレジスタ/P6MD51, P6MD50 ビット	P6DIRレジスタ/P65Dビット
P65	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM19BIO入力	01	0
	TM19BIO出力	01	1
	PWMBCST1出力	10	1
	CMP1OUT出力	11	X

19.7.1　ポート6の制御レジスタ

ポート6の制御レジスタの一覧を表19.7.2に示します。

表 19.7.2 ポート 6 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート6	P6OUT	0x0000A006	R/W	8	ポート6出力データレジスタ	XIX-32
	P6IN	0x0000A016	R	8	ポート6入力データレジスタ	XIX-33
	P6DIR	0x0000A026	R/W	8	ポート6入出力制御レジスタ	XIX-33
	P6MD	0x0000A058	R/W	8, 16, 32	ポート6モードレジスタ	XIX-34
	P6PLU	0x0000A036	R/W	8	ポート6プルアップ制御レジスタ	XIX-35

■ ポート6出力データレジスタ (P6OUT : 0x0000A006) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P650	P640	-		P610	P600
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P650	P65端子の出力データを設定してください。
4	P640	P64端子の出力データを設定してください。
3-2	-	必ず"0"を読出します。
1	P610	P61端子の出力データを設定してください。
0	P600	P60端子の出力データを設定してください。

端子にデータを出力するときは、P6OUTレジスタにデータを書込んだ後、P6DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート6入力データレジスタ (P6IN : 0x0000A016) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65I	P64I	-		P61I	P60I
初期値	0	0	X	X	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65I	P65端子の入力データを読出します。
4	P64I	P64端子の入力データを読出します。
3-2	-	必ず"0"を読出します。
1	P61I	P61端子の入力データを読出します。
0	P60I	P60端子の入力データを読出します。

端子の入力データを読出す時は、P6DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P6INレジスタの値を読出してください。

■ ポート6入出力制御レジスタ (P6DIR : 0x0000A026) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65D	P64D	-		P61D	P60D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65D	P65端子の入出力制御 0 : 入力 1 : 出力
4	P64D	P64端子の入出力制御 0 : 入力 1 : 出力
3-2	-	必ず"0"を読出します。
1	P61D	P61端子の入出力制御 0 : 入力 1 : 出力
0	P60D	P60端子の入出力制御 0 : 入力 1 : 出力

■ ポート6モードレジスタ (P6MD : 0x0000A058) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P6MD51-0		-		P6MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-										P6MD11-0		-		P6MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P6MD51-0	P65端子の機能選択 00: 汎用ポート機能(P65端子) 01: 特殊機能(TM19BIO端子) 10: 特殊機能(PWMBCST1端子) 11: 特殊機能(CMP1OUT端子)
19-18	-	必ず"0"を読出します。
17-16	P6MD41-0	P64端子の機能選択 00: 汎用ポート機能(P64端子) 01: 特殊機能(TM19AIO端子) 10: 特殊機能(PWMBCST0端子) 11: 特殊機能(CMP0OUT端子)
15-6	-	必ず"0"を読出します。
5-4	P6MD11-0	P61端子の機能選択 00: 汎用ポート機能(P61端子) 01: 特殊機能(TM18BIO端子) 1X: 特殊機能(PWM11_B端子)
3-2	-	必ず"0"を読出します。
1-0	P6MD01-0	P60端子の機能選択 00: 汎用ポート機能(P60端子) 01: 特殊機能(TM18AIO端子) 1X: 特殊機能(PWM10_B端子)

■ ポート6プルアップ制御レジスタ (P6PLU : 0x0000A036) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65R	P64R	-		P61R	P60R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65R	P65端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P64R	P64端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-2	-	必ず"0"を読出します。
1	P61R	P61端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P60R	P60端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

19.8 ポート8

ポート8の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P8MDレジスタ）（表19.8.1参照）

・端子の入出力制御が可能（P8DIRレジスタ）（表19.8.1参照）

・プルアップ抵抗付加の選択が可能（P8PLUレジスタ）

ポート8の端子機能とレジスタ設定値を表19.8.1に示します。

表 19.8.1 ポート 8 の端子機能とレジスタ設定値

端子名	端子機能	P8MDレジスタ/P8MD01, P8MD00 ビット	P8DIRレジスタ/P80Dビット
P80	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM00出力	1	1

端子名	端子機能	P8MDレジスタ/P8MD11, P8MD10 ビット	P8DIRレジスタ/P81Dビット
P81	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM01出力	1	1

端子名	端子機能	P8MDレジスタ/P8MD21, P8MD20 ビット	P8DIRレジスタ/P82Dビット
P82	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM02_A出力	01	1
	TM18A0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD31, P8MD30 ビット	P8DIRレジスタ/P83Dビット
P83	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM03_A出力	01	1
	TM18B0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD41, P8MD40 ビット	P8DIRレジスタ/P84Dビット
P84	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM04_A出力	01	1
	TM19AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD51, P8MD50 ビット	P8DIRレジスタ/P85Dビット
P85	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM05_A出力	01	1
	TM19BO_HR出力	1X	1

19.8.1 ポート8の制御レジスタ

ポート8の制御レジスタの一覧を表19.8.2に示します。

表 19.8.2 ポート 8 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート8	P8OUT	0x0000A008	R/W	8	ポート8出力データレジスタ	XIX-38
	P8IN	0x0000A018	R	8	ポート8入力データレジスタ	XIX-39
	P8DIR	0x0000A028	R/W	8	ポート8入出力制御レジスタ	XIX-39
	P8MD	0x0000A060	R/W	8, 16, 32	ポート8モードレジスタ	XIX-40
	P8PLU	0x0000A038	R/W	8	ポート8プルアップ制御レジスタ	XIX-41

■ ポート8出力データレジスタ (P8OUT : 0x0000A008) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P850	P840	P830	P820	P810	P800
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P850	P85端子の出力データを設定してください。
4	P840	P84端子の出力データを設定してください。
3	P830	P83端子の出力データを設定してください。
2	P820	P82端子の出力データを設定してください。
1	P810	P81端子の出力データを設定してください。
0	P800	P80端子の出力データを設定してください。

端子にデータを出力するときは、P8OUTレジスタにデータを書込んだ後、P8DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート8入力データレジスタ (P8IN : 0x0000A018) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85I	P84I	P83I	P82I	P81I	P80I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85I	P85端子の入力データを読出します。
4	P84I	P84端子の入力データを読出します。
3	P83I	P83端子の入力データを読出します。
2	P82I	P82端子の入力データを読出します。
1	P81I	P81端子の入力データを読出します。
0	P80I	P80端子の入力データを読出します。

端子の入力データを読出す時は、P8DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P8INレジスタの値を読出してください。

■ ポート8入出力制御レジスタ (P8DIR : 0x0000A028) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85D	P84D	P83D	P82D	P81D	P80D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85D	P85端子の入出力制御 0 : 入力 1 : 出力
4	P84D	P84端子の入出力制御 0 : 入力 1 : 出力
3	P83D	P83端子の入出力制御 0 : 入力 1 : 出力
2	P82D	P82端子の入出力制御 0 : 入力 1 : 出力
1	P81D	P81端子の入出力制御 0 : 入力 1 : 出力
0	P80D	P80端子の入出力制御 0 : 入力 1 : 出力

■ ポート8モードレジスタ (P8MD : 0x0000A060) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P8MD51-0		-		P8MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P8MD31-0		-		P8MD21-0		-			P8MD10	-			P8MD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P8MD51-0	P85端子の機能選択 00: 汎用ポート機能(P85端子) 01: 特殊機能(PWM05_A端子) 1X: 特殊機能(TM19BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P8MD41-0	P84端子の機能選択 00: 汎用ポート機能(P84端子) 01: 特殊機能(PWM04_A端子) 1X: 特殊機能(TM19AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P8MD31-0	P83端子の機能選択 00: 汎用ポート機能(P83端子) 01: 特殊機能(PWM03_A端子) 1X: 特殊機能(TM18BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P8MD21-0	P82端子の機能選択 00: 汎用ポート機能(P82端子) 01: 特殊機能(PWM02_A端子) 1X: 特殊機能(TM18AO_HR端子)
7-5	-	必ず"0"を読出します。
4	P8MD10	P81端子の機能選択 0: 汎用ポート機能(P81端子) 1: 特殊機能(PWM01端子)
3-1	-	必ず"0"を読出します。
0	P8MD00	P80端子の機能選択 0: 汎用ポート機能(P80端子) 1: 特殊機能(PWM00端子)

■ ポート8プルアップ制御レジスタ (P8PLU : 0x0000A038) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85R	P84R	P83R	P82R	P81R	P80R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85R	P85端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P84R	P84端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P83R	P83端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P82R	P82端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P81R	P81端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P80R	P80端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

19.9 ポート9

ポート9の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P9MDレジスタ）（表19.9.1参照）

・端子の入出力制御が可能（P9DIRレジスタ）（表19.9.1参照）

・プルアップ抵抗付加の選択が可能（P9PLUレジスタ）

ポート9の端子機能とレジスタ設定値を表19.9.1に示します。

表 19.9.1 ポート 9 の端子機能とレジスタ設定値

端子名	端子機能	P9MDレジスタ/P9MD01, P9MD00 ビット	P9DIRレジスタ/P90Dビット
P90	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM10_A出力	01	1
	TM20AIO入力	10	0
	TM20AIO出力	10	1
	TM16AO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD11, P9MD10 ビット	P9DIRレジスタ/P91Dビット
P91	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM11_A出力	01	1
	TM20BIO入力	10	0
	TM20BIO出力	10	1
	TM16BO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD21, P9MD20 ビット	P9DIRレジスタ/P92Dビット
P92	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM12出力	01	1
	TM21AIO入力	10	0
	TM21AIO出力	10	1
	TM17AO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD31, P9MD30 ビット	P9DIRレジスタ/P93Dビット
P93	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM13出力	01	1
	TM21BIO入力	10	0
	TM21BIO出力	10	1
	TM17BO_HR出力	11	1

端子名	端子機能	P9MDレジスタ/P9MD41, P9MD40 ビット	P9DIRレジスタ/P94Dビット
P94	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM14出力	1	1

端子名	端子機能	P9MDレジスタ/P9MD51, P9MD50 ビット	P9DIRレジスタ/P95Dビット
P95	汎用ポート入力	0	0
	汎用ポート出力	0	1
	PWM15出力	1	1

19.9.1 ポート9の制御レジスタ

ポート9の制御レジスタの一覧を表19.9.2に示します。

表 19.9.2 ポート 9 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート9	P9OUT	0x0000A009	R/W	8	ポート9出力データレジスタ	XIX-44
	P9IN	0x0000A019	R	8	ポート9入力データレジスタ	XIX-45
	P9DIR	0x0000A029	R/W	8	ポート9入出力制御レジスタ	XIX-45
	P9MD	0x0000A064	R/W	8, 16, 32	ポート9モードレジスタ	XIX-46
	P9PLU	0x0000A039	R/W	8	ポート9プルアップ制御レジスタ	XIX-47

■ ポート9出力データレジスタ (P9OUT : 0x0000A009) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P950	P940	P930	P920	P910	P900
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P950	P95端子の出力データを設定してください。
4	P940	P94端子の出力データを設定してください。
3	P930	P93端子の出力データを設定してください。
2	P920	P92端子の出力データを設定してください。
1	P910	P91端子の出力データを設定してください。
0	P900	P90端子の出力データを設定してください。

端子にデータを出力するときは、P9OUTレジスタにデータを書込んだ後、P9DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート9入力データレジスタ (P9IN : 0x0000A019) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95I	P94I	P93I	P92I	P91I	P90I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95I	P95端子の入力データを読出します。
4	P94I	P94端子の入力データを読出します。
3	P93I	P93端子の入力データを読出します。
2	P92I	P92端子の入力データを読出します。
1	P91I	P91端子の入力データを読出します。
0	P90I	P90端子の入力データを読出します。

端子の入力データを読出す時は、P9DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P9INレジスタの値を読出してください。

■ ポート9入出力制御レジスタ (P9DIR : 0x0000A029) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95D	P94D	P93D	P92D	P91D	P90D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95D	P95端子の入出力制御 0 : 入力 1 : 出力
4	P94D	P94端子の入出力制御 0 : 入力 1 : 出力
3	P93D	P93端子の入出力制御 0 : 入力 1 : 出力
2	P92D	P92端子の入出力制御 0 : 入力 1 : 出力
1	P91D	P91端子の入出力制御 0 : 入力 1 : 出力
0	P90D	P90端子の入出力制御 0 : 入力 1 : 出力

■ ポート9モードレジスタ (P9MD : 0x0000A064) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P9MD50	-			P9MD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P9MD31-0		-		P9MD21-0		-		P9MD11-0		-		P9MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P9MD50	P95端子の機能選択 0: 汎用ポート機能(P95端子) 1: 特殊機能(PWM15端子)
19-17	-	必ず"0"を読出します。
16	P9MD40	P94端子の機能選択 0: 汎用ポート機能(P94端子) 1: 特殊機能(PWM14端子)
15-14	-	必ず"0"を読出します。
13-12	P9MD31-0	P93端子の機能選択 00: 汎用ポート機能(P93端子) 01: 特殊機能(PWM13端子) 10: 特殊機能(TM21BIO端子) 11: 特殊機能(TM17BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P9MD21-0	P92端子の機能選択 00: 汎用ポート機能(P92端子) 01: 特殊機能(PWM12端子) 10: 特殊機能(TM21AIO端子) 11: 特殊機能(TM17AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P9MD11-0	P91端子の機能選択 00: 汎用ポート機能(P91端子) 01: 特殊機能(PWM11_A端子) 10: 特殊機能(TM20BIO端子) 11: 特殊機能(TM16BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P9MD01-0	P90端子の機能選択 00: 汎用ポート機能(P90端子) 01: 特殊機能(PWM10_A端子) 10: 特殊機能(TM20AIO端子) 11: 特殊機能(TM16AO_HR端子)

■ ポート9プルアップ制御レジスタ (P9PLU : 0x0000A039) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P95R	P94R	P93R	P92R	P91R	P90R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P95R	P95端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P94R	P94端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P93R	P93端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P92R	P92端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P91R	P91端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P90R	P90端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

19.10ポートC

ポートCの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PCMDレジスタ）（表19.10.1参照）

・端子の入出力制御が可能（PCDIRレジスタ）（表19.10.1参照）

・プルアップ抵抗付加の選択が可能（PCPLUレジスタ）

ポートCの端子機能とレジスタ設定値を表19.10.1に示します。

表 19.10.1 ポート C の端子機能とレジスタ設定値

端子名	端子機能	PCMDレジスタ/PCMD00ビット
PC0	汎用ポート入力	0
	ADIN00入力 VGAON入力(*1) CMPOREF入力	1

端子名	端子機能	PCMDレジスタ/PCMD10ビット
PC1	汎用ポート入力	0
	ADIN01入力 VGAOP入力(*1) CMP0IN入力	1

端子名	端子機能	PCMDレジスタ/PCMD20ビット
PC2	汎用ポート入力	0
	ADIN02入力	1

端子名	端子機能	PCMDレジスタ/PCMD30ビット
PC3	汎用ポート入力	0
	ADIN03入力	1

端子名	端子機能	PCMDレジスタ/PCMD40ビット	PCDIRレジスタ/PC4Dビット
PC4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN04入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD50ビット	PCDIRレジスタ/PC5Dビット
PC5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN05入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD60ビット	PCDIRレジスタ/PC6Dビット
PC6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN06入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD70ビット	PCDIRレジスタ/PC7Dビット
PC7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN07入力	1	X

*1 MN103HF44シリーズでは、特殊機能(VGAON,VGAOP)を使用できません。

19.10.1 ポートCの制御レジスタ

ポートCの制御レジスタの一覧を表19.10.2に示します。

表 19.10.2 ポート C の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートC	PCOUT	0x0000A00C	R/W	8	ポートC出力データレジスタ	XIX-50
	PCIN	0x0000A01C	R	8	ポートC入力データレジスタ	XIX-51
	PCDIR	0x0000A02C	R/W	8	ポートC入出力制御レジスタ	XIX-51
	PCMD	0x0000A070	R/W	8, 16, 32	ポートCモードレジスタ	XIX-52
	PCPLU	0x0000A03C	R/W	8	ポートCプルアップ制御レジスタ	XIX-53

■ ポートC出力データレジスタ (PCOUT : 0x0000A00C) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC70	PC60	PC50	PC40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC70	PC7端子の出力データを設定してください。
6	PC60	PC6端子の出力データを設定してください。
5	PC50	PC5端子の出力データを設定してください。
4	PC40	PC4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PCOUTレジスタにデータを書込んだ後、PCDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートC入力データレジスタ (PCIN : 0x0000A01C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7I	PC6I	PC5I	PC4I	PC3I	PC2I	PC1I	PC0I
初期値	X	X	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PC7I	PC7端子の入力データを読出します。
6	PC6I	PC6端子の入力データを読出します。
5	PC5I	PC5端子の入力データを読出します。
4	PC4I	PC4端子の入力データを読出します。
3	PC3I	PC3端子の入力データを読出します。
2	PC2I	PC2端子の入力データを読出します。
1	PC1I	PC1端子の入力データを読出します。
0	PC0I	PC0端子の入力データを読出します。

端子の入力データを読出す時は、PCDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PCINレジスタの値を読出してください。

■ ポートC入出力制御レジスタ (PCDIR : 0x0000A02C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7D	PC6D	PC5D	PC4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7D	PC7端子の入出力制御 0 : 入力 1 : 出力
6	PC6D	PC6端子の入出力制御 0 : 入力 1 : 出力
5	PC5D	PC5端子の入出力制御 0 : 入力 1 : 出力
4	PC4D	PC4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートCモードレジスタ (PCMD : 0x0000A070) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PCMD70	-			PCMD60	-			PCMD50	-			PCMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PCMD30	-			PCMD20	-			PCMD10	-			PCMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PCMD70	PC7端子の機能選択 0: 汎用ポート機能(PC7端子) 1: 特殊機能(ADIN07端子)
27-25	-	必ず"0"を読出します。
24	PCMD60	PC6端子の機能選択 0: 汎用ポート機能(PC6端子) 1: 特殊機能(ADIN06端子)
23-21	-	必ず"0"を読出します。
20	PCMD50	PC5端子の機能選択 0: 汎用ポート機能(PC5端子) 1: 特殊機能(ADIN05端子)
19-17	-	必ず"0"を読出します。
16	PCMD40	PC4端子の機能選択 0: 汎用ポート機能(PC4端子) 1: 特殊機能(ADIN04端子)
15-13	-	必ず"0"を読出します。
12	PCMD30	PC3端子の機能選択 0: 汎用ポート機能(PC3端子) 1: 特殊機能(ADIN03端子)
11-9	-	必ず"0"を読出します。
8	PCMD20	PC2端子の機能選択 0: 汎用ポート機能(PC2端子) 1: 特殊機能(ADIN02端子)
7-5	-	必ず"0"を読出します。
4	PCMD10	PC1端子の機能選択 0: 汎用ポート機能(PC1端子) 1: 特殊機能(ADIN01/VGAOP/CMPOIN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PCMD00	PC0端子の機能選択 0: 汎用ポート機能(PC0端子) 1: 特殊機能(ADIN00/VGAON/CMPOREF端子)(*1)

*1 MN103HF44シリーズでは、特殊機能(VGAON,VGAOP)を使用できません。

■ ポートCプルアップ制御レジスタ (PCPLU : 0x0000A03C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PC7R	PC6R	PC5R	PC4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R/W	R/W	R	R	R	R

bp	ビット名	説明
7	PC7R	PC7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PC6R	PC6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5	PC5R	PC5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PC4R	PC4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

19.11ポートD

ポートDの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PDMDレジスタ）（表19.11.1参照）

・端子の入出力制御が可能（PDDIRレジスタ）（表19.11.1参照）

・プルアップ抵抗付加の選択が可能（PDPLUレジスタ）

ポートDの端子機能とレジスタ設定値を表19.11.1に示します。

表 19.11.1 ポート D の端子機能とレジスタ設定値

端子名	端子機能	PDMDレジスタ/PDMD0ビット
PD0	汎用ポート入力	0
	ADIN08入力 VGA1N入力(*1) CMP1REF入力	1

端子名	端子機能	PDMDレジスタ/PDMD1ビット
PD1	汎用ポート入力	0
	ADIN09入力 VGA1P入力(*1) CMP1IN入力	1

端子名	端子機能	PDMDレジスタ/PDMD6ビット	PDDIRレジスタ/PD6Dビット
PD6	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN14入力	1	X

端子名	端子機能	PDMDレジスタ/PDMD7ビット	PDDIRレジスタ/PD7Dビット
PD7	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN15入力	1	X

*1 MN103HF44シリーズでは、特殊機能(VGA1N,VGA1P)を使用できません。

19.11.1 ポートDの制御レジスタ

ポートDの制御レジスタの一覧を表19.11.2に示します。

表 19.11.2 ポート D の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセス サイズ	レジスタ名称	参照 ページ
ポートD	PDOUT	0x0000A00D	R/W	8	ポートD出力データレジスタ	XIX-55
	PDIN	0x0000A01D	R	8	ポートD入力データレジスタ	XIX-56
	PDDIR	0x0000A02D	R/W	8	ポートD入出力制御レジスタ	XIX-56
	PDMD	0x0000A074	R/W	8, 16, 32	ポートDモードレジスタ	XIX-57
	PDPLU	0x0000A03D	R/W	8	ポートDプルアップ制御レジスタ	XIX-58

■ ポートD出力データレジスタ (PDOUT : 0x0000A00D) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD70	PD60	-					
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R	R	R	R	R	R

bp	ビット名	説明
7	PD70	PD7端子の出力データを設定してください。
6	PD60	PD6端子の出力データを設定してください。
5-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PDOUTレジスタにデータを書込んだ後、PDDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートD入力データレジスタ (PDIN : 0x0000A01D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7I	PD6I	-				PD1I	PD0I
初期値	X	X	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7	PD7I	PD7端子の入力データを読出します。
6	PD6I	PD6端子の入力データを読出します。
5-2	-	必ず"0"を読出します。
1	PD1I	PD1端子の入力データを読出します。
0	PD0I	PD0端子の入力データを読出します。

端子の入力データを読出す時は、PDDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PDINレジスタの値を読出してください。

■ ポートD入出力制御レジスタ (PDDIR : 0x0000A02D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7D	PD6D	-					
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R	R	R	R	R	R

bp	ビット名	説明
7	PD7D	PD7端子の入出力制御 0 : 入力 1 : 出力
6	PD6D	PD6端子の入出力制御 0 : 入力 1 : 出力
5-0	-	必ず"0"を読出します。

■ ポートDモードレジスタ (PDMD : 0x0000A074) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-			PDMD70	-			PDMD60	-							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-											PDMD10	-			PDMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-29	-	必ず"0"を読出します。
28	PDMD70	PD7端子の機能選択 0: 汎用ポート機能(PD7端子) 1: 特殊機能(ADIN15端子)
27-25	-	必ず"0"を読出します。
24	PDMD60	PD6端子の機能選択 0: 汎用ポート機能(PD6端子) 1: 特殊機能(ADIN14端子)
23-5	-	必ず"0"を読出します。
4	PDMD10	PD1端子の機能選択 0: 汎用ポート機能(PD1端子) 1: 特殊機能(ADIN09/VGA1P/CMP1IN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PDMD00	PD0端子の機能選択 0: 汎用ポート機能(PD0端子) 1: 特殊機能(ADIN08/VGA1N/CMP1REF端子)(*1)

*1 MN103HF44シリーズでは、特殊機能(VGA1N,VGA1P)を使用できません。

■ ポートDプルアップ制御レジスタ (PDPLU : 0x0000A03D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	PD7R	PD6R	-					
初期値	0	0	0	0	0	0	0	0
アクセス	R/W	R/W	R	R	R	R	R	R

bp	ビット名	説明
7	PD7R	PD7端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
6	PD6R	PD6端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
5-0	-	必ず"0"を読出します。

第20章　I/Oポート（MN103HFx3シリーズ）

20

20.1 I/Oポートの概要

本LSIは、汎用ポート機能と特殊機能を兼用するI/Oポートを搭載しています。搭載数は計32本（ポート0、2、4～6、8、C、D)です。

20.1.1　I/Oポートの一覧

I/Oポートの一覧を表20.1.1に示します。

表 20.1.1　I/O ポートの一覧

ポート	汎用ポート機能	特殊機能	I/O	初期状態		
				I/O	プルアップ抵抗	機能
ポートP0	P00	TM0IO/IRQ00/DA0OUT	I/O	入出力禁止	なし	汎用ポート
	P01	TM1IO/IRQ01/DA1OUT	I/O	入出力禁止	なし	汎用ポート
	P02	TM4IO/IRQ02/CANTXD	I/O	入出力禁止	なし	汎用ポート
	P03	TM5IO/IRQ03/CANRXD	I/O	入出力禁止	なし	汎用ポート
ポートP2	P20	SBO0_A/SDA0_A/SBT0_B/SCL0_B	I/O	入出力禁止	なし	汎用ポート
	P21	SBT0_A/SCL0_A/SBO0_B/SDA0_B	I/O	入出力禁止	なし	汎用ポート
	P22	SBI0	I/O	入出力禁止	なし	汎用ポート
	P23	SBO1_A/SBT1_B/LINTXD_A	I/O	入出力禁止	なし	汎用ポート
	P24	SBT1_A/SBO1_B/LINTXD_B	I/O	入出力禁止	なし	汎用ポート
	P25	SBI1/LINRXD	I/O	入出力禁止	なし	汎用ポート
ポートP4	P40	TM17AIO/TM6IO/IRQ08/PWM00_B	I/O	入出力禁止	なし	汎用ポート
	P41	TM17BIO/TM7IO/IRQ09/PWM01_B	I/O	入出力禁止	なし	汎用ポート
ポートP5	P50	TM16AIO/SBO3_A/SBT3_B/IRQ10/ PWM02_B/ADTRG0	I/O	入出力禁止	なし	汎用ポート
	P51	TM16BIO/SBT3_A/SBO3_B/IRQ11/ PWM03_B/ADTRG1	I/O	入出力禁止	なし	汎用ポート
ポートP6	P60	TM18AIO/CMP0OUT	I/O	入出力禁止	なし	汎用ポート
	P61	TM18BIO/PWMBCST0/CMP1OUT	I/O	入出力禁止	なし	汎用ポート
	P64	TM19AIO/SBI3/PWM04_B/TM19AO_HR	I/O	入出力禁止	なし	汎用ポート
	P65	TM19BIO/SBCS3/PWM05_B/TM19BO_HR	I/O	入出力禁止	なし	汎用ポート
ポートP8	P80	PWM00_A/TM16AO_HR	I/O	入出力禁止	なし	汎用ポート
	P81	PWM01_A/TM16BO_HR	I/O	入出力禁止	なし	汎用ポート
	P82	PWM02_A/TM17AO_HR	I/O	入出力禁止	なし	汎用ポート
	P83	PWM03_A/TM17BO_HR	I/O	入出力禁止	なし	汎用ポート
	P84	PWM04_A/TM18AO_HR	I/O	入出力禁止	なし	汎用ポート
	P85	PWM05_A/TM18BO_HR	I/O	入出力禁止	なし	汎用ポート
ポートPC	PC0	ADIN00/VGAON(*1)/CMP0REF	I	入力禁止	なし	汎用ポート
	PC1	ADIN01/VGA0P(*1)/CMP0IN	I	入力禁止	なし	汎用ポート
	PC2	ADIN02	I	入力禁止	なし	汎用ポート
	PC3	ADIN03	I	入力禁止	なし	汎用ポート
	PC4	ADIN04	I/O	入出力禁止	なし	汎用ポート
	PC5	ADIN05	I/O	入出力禁止	なし	汎用ポート
ポートPD	PD0	ADIN08/VGA1N(*1)/CMP1REF	I	入力禁止	なし	汎用ポート
	PD1	ADIN09/VGA1P(*1)/CMP1IN	I	入力禁止	なし	汎用ポート

*1 MN103HF43シリーズでは、特殊機能(VGAON,VGA1N,VGAOP,VGA1P)を使用できません。

20.2 ポート0

ポート0の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能 (P0MDレジスタ)(表20.2.1参照)

・端子の入出力制御が可能 (P0DIRレジスタ)(表20.2.1参照)

・プルアップ抵抗付加の選択が可能 (P0PLUレジスタ)

・Nchオープンドレイン出力の選択が可能 (P0ODCレジスタ)

ポート0の端子機能とレジスタ設定値を表20.2.1に示します。

表 20.2.1 ポート 0 の端子機能とレジスタ設定値

端子名	端子機能	P0MDレジスタ/P0MD01, P0MD00 ビット	P0DIRレジスタ/P00Dビット
P00	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ00入力	01	0
	TM0IO入力	10	0
	TM0IO出力	10	1
	DA0OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD11, P0MD10 ビット	P0DIRレジスタ/P01Dビット
P01	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ01入力	01	0
	TM1IO入力	10	0
	TM1IO出力	10	1
	DA1OUT出力	11	X

端子名	端子機能	P0MDレジスタ/P0MD21, P0MD20 ビット	P0DIRレジスタ/P02Dビット
P02	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ02入力	01	0
	TM4IO入力	10	0
	TM4IO出力	10	1
	CANTXD出力	11	1

端子名	端子機能	P0MDレジスタ/P0MD31, P0MD30 ビット	P0DIRレジスタ/P03Dビット
P03	汎用ポート入力	00	0
	汎用ポート出力	00	1
	IRQ03入力	01	0
	TM5IO入力	10	0
	TM5IO出力	10	1
	CANRXD入力	11	0

20.2.1 ポート0の制御レジスタ

ポート0の制御レジスタの一覧を表20.2.2に示します。

表 20.2.2 ポート 0 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート0	P0OUT	0x0000A000	R/W	8	ポート0出力データレジスタ	XX-5
	P0IN	0x0000A010	R	8	ポート0入力データレジスタ	XX-6
	P0DIR	0x0000A020	R/W	8	ポート0入出力制御レジスタ	XX-6
	P0MD	0x0000A040	R/W	8, 16, 32	ポート0モードレジスタ	XX-7
	P0PLU	0x0000A030	R/W	8	ポート0プルアップ制御レジスタ	XX-8
	P0ODC	0x0000A090	R/W	8	ポート0Nchオープンドレイン制御レジスタ	XX-8

■ ポート0出力データレジスタ (P0OUT : 0x0000A000) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P030	P020	P010	P000
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P030	P03端子の出力データを設定してください。
2	P020	P02端子の出力データを設定してください。
1	P010	P01端子の出力データを設定してください。
0	P000	P00端子の出力データを設定してください。

端子にデータを出力するときは、P0OUTレジスタにデータを書込んだ後、P0DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート0入力データレジスタ (P0IN : 0x0000A010) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P03I	P02I	P01I	P00I
初期値	0	0	0	0	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P03I	P03端子の入力データを読出します。
2	P02I	P02端子の入力データを読出します。
1	P01I	P01端子の入力データを読出します。
0	P00I	P00端子の入力データを読出します。

端子の入力データを読出す時は、P0DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P0INレジスタの値を読出してください。

■ ポート0入出力制御レジスタ (P0DIR : 0x0000A020) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P03D	P02D	P01D	P00D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P03D	P03端子の入出力制御 0 : 入力 1 : 出力
2	P02D	P02端子の入出力制御 0 : 入力 1 : 出力
1	P01D	P01端子の入出力制御 0 : 入力 1 : 出力
0	P00D	P00端子の入出力制御 0 : 入力 1 : 出力

■ ポート0モードレジスタ (POMD : 0x0000A040) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		POMD31-0		-		POMD21-0		-		POMD11-0		-		POMD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-14	-	必ず"0"を読出します。
13-12	POMD31-0	P03端子の機能選択 00: 汎用ポート機能(P03端子) 01: 特殊機能(IRQ03端子) 10: 特殊機能(TM5IO端子) 11: 特殊機能(CANRXD端子)
11-10	-	必ず"0"を読出します。
9-8	POMD21-0	P02端子の機能選択 00: 汎用ポート機能(P02端子) 01: 特殊機能(IRQ02端子) 10: 特殊機能(TM4IO端子) 11: 特殊機能(CANTXD端子)
7-6	-	必ず"0"を読出します。
5-4	POMD11-0	P01端子の機能選択 00: 汎用ポート機能(P01端子) 01: 特殊機能(IRQ01端子) 10: 特殊機能(TM1IO端子) 11: 特殊機能(DA1OUT端子)
3-2	-	必ず"0"を読出します。
1-0	POMD01-0	P00端子の機能選択 00: 汎用ポート機能(P00端子) 01: 特殊機能(IRQ00端子) 10: 特殊機能(TM0IO端子) 11: 特殊機能(DA0OUT端子)

■ ポート0プルアップ制御レジスタ (P0PLU : 0x0000A030) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-				P03R	P02R	P01R	P00R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-4	-	必ず"0"を読出します。
3	P03R	P03端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P02R	P02端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P01R	P01端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P00R	P00端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート0Nchオープンドレイン制御レジスタ (P0ODC : 0x0000A090) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-					P00DC2	-	
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R/W	R	R

bp	ビット名	説明
7-3	-	必ず"0"を読出します。
2	P00DC2	P02端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *CANTXD端子選択時のみ有効
1-0	-	必ず"0"を読出します。

20.3 ポート2

ポート2の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P2MDレジスタ）（表20.3.1参照）

・端子の入出力制御が可能（P2DIRレジスタ）（表20.3.1参照）

・プルアップ抵抗付加の選択が可能（P2PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P2ODCレジスタ）

ポート2の端子機能とレジスタ設定値を表20.3.1に示します。

表 20.3.1 ポート 2 の端子機能とレジスタ設定値

端子名	端子機能	P2MDレジスタ/P2MD01, P2MD00 ビット	P2DIRレジスタ/P20Dビット
P20	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO0_A/SDA0_A入力 (*1)	10	0
	SBO0_A/SDA0_A出力 (*1)	10	1
	SBT0_B/SCL0_B入力 (*1)	11	0
	SBT0_B/SCL0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD11, P2MD10 ビット	P2DIRレジスタ/P21Dビット
P21	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT0_A/SCL0_A入力 (*1)	10	0
	SBT0_A/SCL0_A出力 (*1)	10	1
	SBO0_B/SDA0_B入力 (*1)	11	0
	SBO0_B/SDA0_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD20ビット	P2DIRレジスタ/P22Dビット
P22	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI0入力 (*1)	1	0

端子名	端子機能	P2MDレジスタ/P2MD31, P2MD30 ビット	P2DIRレジスタ/P23Dビット
P23	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBO1_A/LINTXD_A入力 (*1)	10	0
	SBO1_A/LINTXD_A出力 (*1)	10	1
	SBT1_B入力 (*1)	11	0
	SBT1_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD41, P2MD40 ビット	P2DIRレジスタ/P24Dビット
P24	汎用ポート入力	0X	0
	汎用ポート出力	0X	1
	SBT1_A入力 (*1)	10	0
	SBT1_A出力 (*1)	10	1
	SBO1_B/LINTXD_B入力 (*1)	11	0
	SBO1_B/LINTXD_B出力 (*1)	11	1

端子名	端子機能	P2MDレジスタ/P2MD50ビット	P2DIRレジスタ/P25Dビット
P25	汎用ポート入力	0	0
	汎用ポート出力	0	1
	SBI1/LINRXD入力 (*1)	1	0

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

20.3.1　ポート2の制御レジスタ

ポート2の制御レジスタの一覧を表20.3.2に示します。

表 20.3.2 ポート 2 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート2	P2OUT	0x0000A002	R/W	8	ポート2出力データレジスタ	XX-11
	P2IN	0x0000A012	R	8	ポート2入力データレジスタ	XX-12
	P2DIR	0x0000A022	R/W	8	ポート2入出力制御レジスタ	XX-12
	P2MD	0x0000A048	R/W	8, 16, 32	ポート2モードレジスタ	XX-13
	P2PLU	0x0000A032	R/W	8	ポート2プルアップ制御レジスタ	XX-14
	P2ODC	0x0000A092	R/W	8	ポート2Nchオープンドレイン制御レジスタ	XX-15

■ ポート2出力データレジスタ (P2OUT : 0x0000A002) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P250	P240	P230	P220	P210	P200
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P250	P25端子の出力データを設定してください。
4	P240	P24端子の出力データを設定してください。
3	P230	P23端子の出力データを設定してください。
2	P220	P22端子の出力データを設定してください。
1	P210	P21端子の出力データを設定してください。
0	P200	P20端子の出力データを設定してください。

端子にデータを出力するときは、P2OUTレジスタにデータを書込んだ後、P2DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート2入力データレジスタ (P2IN : 0x0000A012) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25I	P24I	P23I	P22I	P21I	P20I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25I	P25端子の入力データを読出します。
4	P24I	P24端子の入力データを読出します。
3	P23I	P23端子の入力データを読出します。
2	P22I	P22端子の入力データを読出します。
1	P21I	P21端子の入力データを読出します。
0	P20I	P20端子の入力データを読出します。

端子の入力データを読出す時は、P2DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P2INレジスタの値を読出してください。

■ ポート2入出力制御レジスタ (P2DIR : 0x0000A022) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25D	P24D	P23D	P22D	P21D	P20D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25D	P25端子の入出力制御 0 : 入力 1 : 出力
4	P24D	P24端子の入出力制御 0 : 入力 1 : 出力
3	P23D	P23端子の入出力制御 0 : 入力 1 : 出力
2	P22D	P22端子の入出力制御 0 : 入力 1 : 出力
1	P21D	P21端子の入出力制御 0 : 入力 1 : 出力
0	P20D	P20端子の入出力制御 0 : 入力 1 : 出力

■ ポート2モードレジスタ (P2MD : 0x0000A048) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											P2MD50	-		P2MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P2MD31-0		-			P2MD20	-		P2MD11-0		-		P2MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	P2MD50	P25端子の機能選択 0: 汎用ポート機能(P25端子) 1: 特殊機能(SBI1/LINRXD端子)
19-18	-	必ず"0"を読出します。
17-16	P2MD41-0	P24端子の機能選択 0X: 汎用ポート機能(P24端子) 10: 特殊機能(SBT1_A端子) 11: 特殊機能(SBO1_B/LINTXD_B端子)
15-14	-	必ず"0"を読出します。
13-12	P2MD31-0	P23端子の機能選択 0X: 汎用ポート機能(P23端子) 10: 特殊機能(SBO1_A/LINTXD_A端子) 11: 特殊機能(SBT1_B端子)
11-9	-	必ず"0"を読出します。
8	P2MD20	P22端子の機能選択 0: 汎用ポート機能(P22端子) 1: 特殊機能(SBI0端子)
7-6	-	必ず"0"を読出します。
5-4	P2MD11-0	P21端子の機能選択 0X: 汎用ポート機能(P21端子) 10: 特殊機能(SBT0_A/SCL0_A端子) 11: 特殊機能(SBO0_B/SDA0_B端子)
3-2	-	必ず"0"を読出します。
1-0	P2MD01-0	P20端子の機能選択 0X: 汎用ポート機能(P20端子) 10: 特殊機能(SBO0_A/SDA0_A端子) 11: 特殊機能(SBT0_B/SCL0_B端子)

■ ポート2プルアップ制御レジスタ (P2PLU : 0x0000A032) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P25R	P24R	P23R	P22R	P21R	P20R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P25R	P25端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P24R	P24端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P23R	P23端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P22R	P22端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P21R	P21端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P20R	P20端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート2Nchオープンドレイン制御レジスタ (P2ODC : 0x0000A092) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-			P2ODC4	P2ODC3	-	P2ODC1	P2ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R/W	R	R/W	R/W

bp	ビット名	説明
7-5	-	必ず"0"を読出します。
4	P2ODC4	P24端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT1_A、SBO1_B端子選択時のみ有効
3	P2ODC3	P23端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO1_A、SBT1_B端子選択時のみ有効
2	-	必ず"0"を読出します。
1	P2ODC1	P21端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT0_A、SBO0_B端子選択時のみ有効
0	P2ODC0	P20端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO0_A、SBT0_B端子選択時のみ有効

20.4 ポート4

ポート4の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P4MDレジスタ）（表20.4.1参照）

・端子の入出力制御が可能（P4DIRレジスタ）（表20.4.1参照）

・プルアップ抵抗付加の選択が可能（P4PLUレジスタ）

ポート4の端子機能とレジスタ設定値を表20.4.1に示します。

表 20.4.1 ポート 4 の端子機能とレジスタ設定値

端子名	端子機能	P4MDレジスタ/P4MD01，P4MD00ビット	P4DIRレジスタ/P40Dビット
P40	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM6IO入力	001	0
	TM6IO出力	001	1
	IRQ08入力	010	0
	TM17AIO入力	011	0
	TM17AIO出力	011	1
	PWM00_B出力	1XX	1

端子名	端子機能	P4MDレジスタ/P4MD11，P4MD10ビット	P4DIRレジスタ/P41Dビット
P41	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM7IO入力	001	0
	TM7IO出力	001	1
	IRQ09入力	010	0
	TM17BIO入力	011	0
	TM17BIO出力	011	1
	PWM01_B出力	1XX	1

20.4.1　ポート4の制御レジスタ

ポート4の制御レジスタの一覧を表20.4.2に示します。

表 20.4.2 ポート 4 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート4	P4OUT	0x0000A004	R/W	8	ポート4出力データレジスタ	XX-17
	P4IN	0x0000A014	R	8	ポート4入力データレジスタ	XX-18
	P4DIR	0x0000A024	R/W	8	ポート4入出力制御レジスタ	XX-18
	P4MD	0x0000A050	R/W	8, 16, 32	ポート4モードレジスタ	XX-19
	P4PLU	0x0000A034	R/W	8	ポート4プルアップ制御レジスタ	XX-19

■ ポート4出力データレジスタ (P4OUT : 0x0000A004) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P410	P400
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P410	P41端子の出力データを設定してください。
0	P400	P40端子の出力データを設定してください。

端子にデータを出力するときは、P4OUTレジスタにデータを書込んだ後、P4DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート4入力データレジスタ (P4IN : 0x0000A014) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P41I	P40I
初期値	0	0	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P41I	P41端子の入力データを読出します。
0	P40I	P40端子の入力データを読出します。

端子の入力データを読出す時は、P4DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P4INレジスタの値を読出してください。

■ ポート4入出力制御レジスタ (P4DIR : 0x0000A024) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P41D	P40D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P41D	P41端子の入出力制御 0 : 入力 1 : 出力
0	P40D	P40端子の入出力制御 0 : 入力 1 : 出力

■ ポート4モードレジスタ (P4MD : 0x0000A050) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-									P4MD12-0			-	P4MD02-0		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R/W	RW	R/W	R	R/W	R/W	R/W

bp	ビット名	説明
31-7	-	必ず"0"を読出します。
6-4	P4MD12-0	P41端子の機能選択 000: 汎用ポート機能(P41端子) 001: 特殊機能(TM7IO端子) 010: 特殊機能(IRQ09端子) 011: 特殊機能(TM17BIO端子) 1XX: 特殊機能(PWM01_B端子)
3	-	必ず"0"を読出します。
2-0	P4MD02-0	P40端子の機能選択 000: 汎用ポート機能(P40端子) 001: 特殊機能(TM6IO端子) 010: 特殊機能(IRQ08端子) 011: 特殊機能(TM17AIO端子) 1XX: 特殊機能(PWM00_B端子)

■ ポート4プルアップ制御レジスタ (P4PLU : 0x0000A034) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P41R	P40R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P41R	P41端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P40R	P40端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

20.5 ポート5

ポート5の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P5MDレジスタ）（表20.5.1参照）

・端子の入出力制御が可能（P5DIRレジスタ）（表20.5.1参照）

・プルアップ抵抗付加の選択が可能（P5PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P5ODCレジスタ）

ポート5の端子機能とレジスタ設定値を表20.5.1に示します。

表 20.5.1 ポート 5 の端子機能とレジスタ設定値

端子名	端子機能	P5MDレジスタ/P5MD00ビット	P5DIRレジスタ/P50Dビット
P50	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM16AIO入力	001	0
	TM16AIO出力	001	1
	ADTRG0出力	010	1
	IRQ10入力	011	0
	SBO3_A入力 (*1)	100	0
	SBO3_A出力 (*1)	100	1
	SBT3_B入力 (*1)	101	0
	SBT3_B出力 (*1)	101	1
	PWMO2_B出力	11X	1

端子名	端子機能	P5MDレジスタ/P5MD10ビット	P5DIRレジスタ/P51Dビット
P51	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM16BIO入力	001	0
	TM16BIO出力	001	1
	ADTRG1出力	010	1
	IRQ11入力	011	0
	SBT3_A入力 (*1)	100	0
	SBT3_A出力 (*1)	100	1
	SBO3_B入力 (*1)	101	0
	SBO3_B出力 (*1)	101	1
	PWMO3_B出力	11X	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

20.5.1　ポート5の制御レジスタ

ポート5の制御レジスタの一覧を表20.5.2に示します。

表 20.5.2 ポート 5 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート5	P5OUT	0x0000A005	R/W	8	ポート5出力データレジスタ	XX-21
	P5IN	0x0000A015	R	8	ポート5入力データレジスタ	XX-22
	P5DIR	0x0000A025	R/W	8	ポート5入出力制御レジスタ	XX-22
	P5MD	0x0000A054	R/W	8, 16, 32	ポート5モードレジスタ	XX-23
	P5PLU	0x0000A035	R/W	8	ポート5プルアップ制御レジスタ	XX-23
	P5ODC	0x0000A095	R/W	8	ポート5Nchオープンドレイン制御レジスタ	XX-24

■ ポート5出力レジスタ (P5OUT : 0x0000A005) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P510	P500
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P510	P51端子の出力データを設定してください。
0	P500	P50端子の出力データを設定してください。

端子にデータを出力するときは、P5OUTレジスタにデータを書込んだ後、P5DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート5入力データレジスタ (P5IN : 0x0000A015) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P51I	P50I
初期値	0	0	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P51I	P51端子の入力データを読出します。
0	P50I	P50端子の入力データを読出します。

端子の入力データを読出す時は、P5DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P5INレジスタの値を読出してください。

■ ポート5入出力制御レジスタ (P5DIR : 0x0000A025) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P51D	P50D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P51D	P51端子の入出力制御 0 : 入力 1 : 出力
0	P50D	P50端子の入出力制御 0 : 入力 1 : 出力

■ ポート5モードレジスタ (P5MD : 0x0000A054) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-									P5MD12-0			-	P5MD02-0		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

bp	ビット名	説明
31-7	-	必ず"0"を読出します。
6-4	P5MD12-0	P51端子の機能選択 000: 汎用ポート機能(P51端子) 001: 特殊機能(TM16BIO端子) 010: 特殊機能(ADTRG1端子) 011: 特殊機能(IRQ11端子) 100: 特殊機能(SBT3_A端子) 101: 特殊機能(SBO3_B端子) 11X: 特殊機能(PWMO3_B端子)
3	-	必ず"0"を読出します。
2-0	P5MD02-0	P50端子の機能選択 000: 汎用ポート機能(P50端子) 001: 特殊機能(TM16AIO端子) 010: 特殊機能(ADTRG0端子) 011: 特殊機能(IRQ10端子) 100: 特殊機能(SBO3_A端子) 101: 特殊機能(SBT3_B端子) 11X: 特殊機能(PWMO2_B端子)

■ ポート5プルアップ制御レジスタ (P5PLU : 0x0000A035) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P51R	P50R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P51R	P51端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P50R	P50端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート5Nchオープンドレイン制御レジスタ (P5ODC : 0x0000A095) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						P5ODC1	P5ODC0
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R/W	R/W

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	P5ODC1	P51端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBT3_A、SBO3_B端子選択時のみ有効
0	P5ODC0	P50端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBO3_A、SBT3_B端子選択時のみ有効

20.6 ポート6

ポート6の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P6MDレジスタ）（表20.6.1参照）

・端子の入出力制御が可能（P6DIRレジスタ）（表20.6.1参照）

・プルアップ抵抗付加の選択が可能（P6PLUレジスタ）

・Nchオープンドレイン出力の選択が可能（P6ODCレジスタ）

ポート6の端子機能とレジスタ設定値を表20.6.1に示します。

表 20.6.1 ポート 6 の端子機能とレジスタ設定値

端子名	端子機能	P6MDレジスタ/P6MD00ビット	P6DIRレジスタ/P60Dビット
P60	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18AIO入力	01	0
	TM18AIO出力	01	1
	CMP0OUT出力	1X	X

端子名	端子機能	P6MDレジスタ/P6MD10ビット	P6DIRレジスタ/P61Dビット
P61	汎用ポート入力	00	0
	汎用ポート出力	00	1
	TM18BIO入力	01	0
	TM18BIO出力	01	1
	CMP1OUT出力	10	X
	PWMBCST0出力	11	1

端子名	端子機能	P6MDレジスタ/P6MD41, P6MD40 ビット	P6DIRレジスタ/P64Dビット
P64	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM19AIO入力	001	0
	TM19AIO出力	001	1
	SBI3入力 (*1)	010	0
	PWM04_B出力	011	1
	TM19AO_HR出力	1XX	1

端子名	端子機能	P6MDレジスタ/P6MD51, P6MD50 ビット	P6DIRレジスタ/P65Dビット
P65	汎用ポート入力	000	0
	汎用ポート出力	000	1
	TM19BIO入力	001	0
	TM19BIO出力	001	1
	SBCS3入力	010	0
	SBCS3出力	010	1
	PWM05_B出力	011	1
	TM19BO_HR出力	1XX	1

*1 シリアル通信を行う場合は、シリアルインタフェース制御レジスタを設定する必要があります。詳細は、【 第25章 シリアルインタフェース 】を参照してください。

20.6.1　ポート6の制御レジスタ

ポート6の制御レジスタの一覧を表20.6.2に示します。

表 20.6.2 ポート 6 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート6	P6OUT	0x0000A006	R/W	8	ポート6出力データレジスタ	XX-27
	P6IN	0x0000A016	R	8	ポート6入力データレジスタ	XX-28
	P6DIR	0x0000A026	R/W	8	ポート6入出力制御レジスタ	XX-28
	P6MD	0x0000A058	R/W	8, 16, 32	ポート6モードレジスタ	XX-29
	P6PLU	0x0000A036	R/W	8	ポート6プルアップ制御レジスタ	XX-30
	P6ODC	0x0000A096	R/W	8	ポート6Nchオープンドレイン制御	XX-30

■ ポート6出力データレジスタ (P6OUT : 0x0000A006) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P650	P640	-		P610	P600
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P650	P65端子の出力データを設定してください。
4	P640	P64端子の出力データを設定してください。
3-2	-	必ず"0"を読出します。
1	P610	P61端子の出力データを設定してください。
0	P600	P60端子の出力データを設定してください。

端子にデータを出力するときは、P6OUTレジスタにデータを書込んだ後、P6DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート6入力データレジスタ (P6IN : 0x0000A016) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65I	P64I	-		P61I	P60I
初期値	0	0	X	X	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65I	P65端子の入力データを読出します。
4	P64I	P64端子の入力データを読出します。
3-2	-	必ず"0"を読出します。
1	P61I	P61端子の入力データを読出します。
0	P60I	P60端子の入力データを読出します。

端子の入力データを読出す時は、P6DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P6INレジスタの値を読出してください。

■ ポート6入出力制御レジスタ (P6DIR : 0x0000A026) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65D	P64D	-		P61D	P60D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65D	P65端子の入出力制御 0 : 入力 1 : 出力
4	P64D	P64端子の入出力制御 0 : 入力 1 : 出力
3-2	-	必ず"0"を読出します。
1	P61D	P61端子の入出力制御 0 : 入力 1 : 出力
0	P60D	P60端子の入出力制御 0 : 入力 1 : 出力

■ ポート6モードレジスタ (P6MD : 0x0000A058) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-									P6MD52-0			-	P6MD42-0		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	RW	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-										P6MD11-0		-		P6MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-23	-	必ず"0"を読出します。
22-20	P6MD52-0	P65端子の機能選択 000: 汎用ポート機能(P65端子) 001: 特殊機能(TM19BIO端子) 010: 特殊機能(SBCS3端子) 011: 特殊機能(PWM05_B端子) 1XX: 特殊機能(TM19BO_HR端子)
19	-	必ず"0"を読出します。
18-16	P6MD42-0	P64端子の機能選択 000: 汎用ポート機能(P64端子) 001: 特殊機能(TM19AIO端子) 010: 特殊機能(SBI3端子) 011: 特殊機能(PWM04_B端子) 1XX: 特殊機能(TM19AO_HR端子)
15-6	-	必ず"0"を読出します。
5-4	P6MD11-0	P61端子の機能選択 00: 汎用ポート機能(P61端子) 01: 特殊機能(TM18BIO端子) 10: 特殊機能(CMP1OUT端子) 11: 特殊機能(PWMBCST0端子)
3-2	-	必ず"0"を読出します。
1-0	P6MD01-0	P60端子の機能選択 00: 汎用ポート機能(P60端子) 01: 特殊機能(TM18AIO端子) 1X: 特殊機能(CMP0OUT端子)

■ ポート6プルアップ制御レジスタ (P6PLU : 0x0000A036) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P65R	P64R	-		P61R	P60R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P65R	P65端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P64R	P64端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-2	-	必ず"0"を読出します。
1	P61R	P61端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P60R	P60端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

■ ポート6Nchオープンドレイン制御レジスタ (P6ODC : 0x0000A096) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P6ODC5	-				
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P6ODC5	P65端子のNchオープンドレイン出力選択 0 : プッシュプル出力 1 : Nchオープンドレイン出力 *SBCS3端子選択時のみ有効
4-0	-	必ず"0"を読出します。

20.7 ポート8

ポート8の特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（P8MDレジスタ）（表20.7.1参照）

・端子の入出力制御が可能（P8DIRレジスタ）（表20.7.1参照）

・プルアップ抵抗付加の選択が可能（P8PLUレジスタ）

ポート8の端子機能とレジスタ設定値を表20.7.1に示します。

表 20.7.1 ポート 8 の端子機能とレジスタ設定値

端子名	端子機能	P8MDレジスタ/P8MD01, P8MD00 ビット	P8DIRレジスタ/P80Dビット
P80	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM00_A出力	01	1
	TM16A0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD11, P8MD10 ビット	P8DIRレジスタ/P81Dビット
P81	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM01_A出力	01	1
	TM16B0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD21, P8MD20 ビット	P8DIRレジスタ/P82Dビット
P82	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM02_A出力	01	1
	TM17A0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD31, P8MD30 ビット	P8DIRレジスタ/P83Dビット
P83	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM03_A出力	01	1
	TM17B0_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD41, P8MD40ビット	P8DIRレジスタ/P84Dビット
P84	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM04_A出力	01	1
	TM18AO_HR出力	1X	1

端子名	端子機能	P8MDレジスタ/P8MD51, P8MD50ビット	P8DIRレジスタ/P85Dビット
P85	汎用ポート入力	00	0
	汎用ポート出力	00	1
	PWM05_A出力	01	1
	TM18BO_HR出力	1X	1

20.7.1 ポート8の制御レジスタ

ポート8の制御レジスタの一覧を表20.7.2に示します。

表 20.7.2 ポート 8 の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポート8	P8OUT	0x0000A008	R/W	8	ポート8出力データレジスタ	XX-33
	P8IN	0x0000A018	R	8	ポート8入力データレジスタ	XX-34
	P8DIR	0x0000A028	R/W	8	ポート8入出力制御レジスタ	XX-34
	P8MD	0x0000A060	R/W	8, 16, 32	ポート8モードレジスタ	XX-35
	P8PLU	0x0000A038	R/W	8	ポート8プルアップ制御レジスタ	XX-36

■ ポート8出力データレジスタ (P8OUT : 0x0000A008) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P850	P840	P830	P820	P810	P800
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P850	P85端子の出力データを設定してください。
4	P840	P84端子の出力データを設定してください。
3	P830	P83端子の出力データを設定してください。
2	P820	P82端子の出力データを設定してください。
1	P810	P81端子の出力データを設定してください。
0	P800	P80端子の出力データを設定してください。

端子にデータを出力するときは、P8OUTレジスタにデータを書込んだ後、P8DIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポート8入力データレジスタ (P8IN : 0x0000A018) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85I	P84I	P83I	P82I	P81I	P80I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85I	P85端子の入力データを読出します。
4	P84I	P84端子の入力データを読出します。
3	P83I	P83端子の入力データを読出します。
2	P82I	P82端子の入力データを読出します。
1	P81I	P81端子の入力データを読出します。
0	P80I	P80端子の入力データを読出します。

端子の入力データを読出す時は、P8DIRレジスタの入出力制御ビットを"0"(入力)に設定した後、P8INレジスタの値を読出してください。

■ ポート8入出力制御レジスタ (P8DIR : 0x0000A028) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85D	P84D	P83D	P82D	P81D	P80D
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85D	P85端子の入出力制御 0 : 入力 1 : 出力
4	P84D	P84端子の入出力制御 0 : 入力 1 : 出力
3	P83D	P83端子の入出力制御 0 : 入力 1 : 出力
2	P82D	P82端子の入出力制御 0 : 入力 1 : 出力
1	P81D	P81端子の入出力制御 0 : 入力 1 : 出力
0	P80D	P80端子の入出力制御 0 : 入力 1 : 出力

■ ポート8モードレジスタ (P8MD : 0x0000A060) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-										P8MD51-0		-		P8MD41-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-		P8MD31-0		-		P8MD21-0		-		P8MD11-0		-		P8MD01-0	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

bp	ビット名	説明
31-22	-	必ず"0"を読出します。
21-20	P8MD51-0	P85端子の機能選択 00: 汎用ポート機能(P85端子) 01: 特殊機能(PWM05_A端子) 1X: 特殊機能(TM18BO_HR端子)
19-18	-	必ず"0"を読出します。
17-16	P8MD41-0	P84端子の機能選択 00: 汎用ポート機能(P84端子) 01: 特殊機能(PWM04_A端子) 1X: 特殊機能(TM18AO_HR端子)
15-14	-	必ず"0"を読出します。
13-12	P8MD31-0	P83端子の機能選択 00: 汎用ポート機能(P83端子) 01: 特殊機能(PWM03_A端子) 1X: 特殊機能(TM17BO_HR端子)
11-10	-	必ず"0"を読出します。
9-8	P8MD21-0	P82端子の機能選択 00: 汎用ポート機能(P82端子) 01: 特殊機能(PWM02_A端子) 1X: 特殊機能(TM17AO_HR端子)
7-6	-	必ず"0"を読出します。
5-4	P8MD11-0	P81端子の機能選択 00: 汎用ポート機能(P81端子) 01: 特殊機能(PWM01_A端子) 1X: 特殊機能(TM16BO_HR端子)
3-2	-	必ず"0"を読出します。
1-0	P8MD01-0	P80端子の機能選択 00: 汎用ポート機能(P80端子) 01: 特殊機能(PWM00_A端子) 1X: 特殊機能(TM16AO_HR端子)

■ ポート8プルアップ制御レジスタ (P8PLU : 0x0000A038) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		P85R	P84R	P83R	P82R	P81R	P80R
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R/W	R/W	R/W	R/W

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	P85R	P85端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	P84R	P84端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3	P83R	P83端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
2	P82R	P82端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
1	P81R	P81端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
0	P80R	P80端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する

20.8 ポートC

ポートCの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能（PCMDレジスタ）（表20.8.1参照）

・端子の入出力制御が可能（PCDIRレジスタ）（表20.8.1参照）

・プルアップ抵抗付加の選択が可能（PCPLUレジスタ）

ポートCの端子機能とレジスタ設定値を表20.8.1に示します。

表 20.8.1 ポート C の端子機能とレジスタ設定値

端子名	端子機能	PCMDレジスタ/PCMD10ビット
PC0	汎用ポート入力	0
	ADIN00入力 VGAON入力(*1) CMPOREF入力	1

端子名	端子機能	PCMDレジスタ/PCMD10ビット
PC1	汎用ポート入力	0
	ADIN01入力 VGAOP入力(*1) CMPOIN入力	1

端子名	端子機能	PCMDレジスタ/PCMD20ビット
PC2	汎用ポート入力	0
	ADIN02入力	1

端子名	端子機能	PCMDレジスタ/PCMD30ビット
PC3	汎用ポート入力	0
	ADIN03入力	1

端子名	端子機能	PCMDレジスタ/PCMD40ビット	PCDIRレジスタ/PC4Dビット
PC4	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN04入力	1	X

端子名	端子機能	PCMDレジスタ/PCMD50ビット	PCDIRレジスタ/PC5Dビット
PC5	汎用ポート入力	0	0
	汎用ポート出力	0	1
	ADIN05入力	1	X

*1 MN103HF43シリーズでは、特殊機能(VGAON,VGAOP)を使用できません。

20.8.1 ポートCの制御レジスタ

ポートCの制御レジスタの一覧を表20.8.2に示します。

表 20.8.2 ポート C の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートC	PCOUT	0x0000A00C	R/W	8	ポートC出力データレジスタ	XX-38
	PCIN	0x0000A01C	R	8	ポートC入力データレジスタ	XX-39
	PCDIR	0x0000A02C	R/W	8	ポートC入出力制御レジスタ	XX-39
	PCMD	0x0000A070	R/W	8, 16, 32	ポートCモードレジスタ	XX-40
	PCPLU	0x0000A03C	R/W	8	ポートCプルアップ制御レジスタ	XX-41

■ ポートC出力データレジスタ (PCOUT : 0x0000A00C) [8ビットアアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PC50	PC40	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PC50	PC5端子の出力データを設定してください。
4	PC40	PC4端子の出力データを設定してください。
3-0	-	必ず"0"を読出します。

端子にデータを出力するときは、PCOUTレジスタにデータを書込んだ後、PCDIRレジスタの入出力制御ビットを"1"(出力)に設定してください。

■ ポートC入力データレジスタ (PCIN : 0x0000A01C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PC5I	PC4I	PC3I	PC2I	PC1I	PC0I
初期値	0	0	X	X	X	X	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PC5I	PC5端子の入力データを読出します。
4	PC4I	PC4端子の入力データを読出します。
3	PC3I	PC3端子の入力データを読出します。
2	PC2I	PC2端子の入力データを読出します。
1	PC1I	PC1端子の入力データを読出します。
0	PC0I	PC0端子の入力データを読出します。

端子の入力データを読出す時は、PCDIRレジスタの入出力制御ビットを"0"(入力)に設定した後、PCINレジスタの値を読出してください。

■ ポートC入出力制御レジスタ (PCDIR : 0x0000A02C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PC5D	PC4D	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PC5D	PC5端子の入出力制御 0 : 入力 1 : 出力
4	PC4D	PC4端子の入出力制御 0 : 入力 1 : 出力
3-0	-	必ず"0"を読出します。

■ ポートCモードレジスタ (PCMD : 0x0000A070) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-											PCMD50	-			PCMD40
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-			PCMD30	-			PCMD20	-			PCMD10	-			PCMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-21	-	必ず"0"を読出します。
20	PCMD50	PC5端子の機能選択 0: 汎用ポート機能(PC5端子) 1: 特殊機能(ADINO5端子)
19-17	-	必ず"0"を読出します。
16	PCMD40	PC4端子の機能選択 0: 汎用ポート機能(PC4端子) 1: 特殊機能(ADINO4端子)
15-13	-	必ず"0"を読出します。
12	PCMD30	PC3端子の機能選択 0: 汎用ポート機能(PC3端子) 1: 特殊機能(ADINO3端子)
11-9	-	必ず"0"を読出します。
8	PCMD20	PC2端子の機能選択 0: 汎用ポート機能(PC2端子) 1: 特殊機能(ADINO2端子)
7-5	-	必ず"0"を読出します。
4	PCMD10	PC1端子の機能選択 0: 汎用ポート機能(PC1端子) 1: 特殊機能(ADINO1/VGAOP/CMPOIN端子)(*1)
3-1	-	必ず"0"を読出します。
0	PCMD00	PC0端子の機能選択 0: 汎用ポート機能(PC0端子) 1: 特殊機能(ADINO0/VGAON/CMPOREF端子)(*1)

*1 MN103HF43シリーズでは、特殊機能(VGAON,VGAOP)を使用できません。

■ ポートCプルアップ制御レジスタ (PCPLU : 0x0000A03C) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-		PC5R	PC4R	-			
初期値	0	0	0	0	0	0	0	0
アクセス	R	R	R/W	R/W	R	R	R	R

bp	ビット名	説明
7-6	-	必ず"0"を読出します。
5	PC5R	PC5端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
4	PC4R	PC4端子のプルアップ抵抗の付加選択 0 : 付加しない 1 : 付加する
3-0	-	必ず"0"を読出します。

20.9 ポートD

ポートDの特長を以下に示します。

・汎用ポート機能と特殊機能の選択が可能 (PDMDレジスタ) (表20.9.1参照)

・プルアップ抵抗付加の選択が可能 (PDPLUレジスタ)

ポートDの端子機能とレジスタ設定値を表20.9.1に示します。

表 20.9.1 ポート D の端子機能とレジスタ設定値

端子名	端子機能	PDMDレジスタ/PDMD00ビット
PD0	汎用ポート入力	0
	ADIN08入力 VGA1N入力(*1) CMP1REF入力	1

端子名	端子機能	PDMDレジスタ/PDMD10ビット
PD1	汎用ポート入力	0
	ADIN09入力 VGA1P入力(*1) CMP1IN入力	1

*1 MN103HF43シリーズでは、特殊機能(VGA1N,VGA1P)を使用できません。

20.9.1　ポートDの制御レジスタ

ポートDの制御レジスタの一覧を表20.9.2に示します。

表 20.9.2 ポート D の制御レジスター覧

ポート	レジスタ略称	アドレス	アクセス	アクセスサイズ	レジスタ名称	参照ページ
ポートD	PDIN	0x0000A01D	R	8	ポートD入力データレジスタ	XX-43
	PDMD	0x0000A074	R/W	8, 16, 32	ポートDモードレジスタ	XX-44

■ ポートD入力データレジスタ (PDIN : 0x0000A01D) [8ビットアクセスレジスタ]

bp	7	6	5	4	3	2	1	0
ビット名	-						PD1I	PD0I
初期値	0	0	0	0	0	0	X	X
アクセス	R	R	R	R	R	R	R	R

bp	ビット名	説明
7-2	-	必ず"0"を読出します。
1	PD1I	PD1端子の入力データを読出します。
0	PD0I	PD0端子の入力データを読出します。

■ ポートDモードレジスタ (PDMD : 0x0000A074) [8, 16, 32ビットアクセスレジスタ]

bp	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名	-															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

bp	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	-											PDMD10	-			PDMD00
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アクセス	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

bp	ビット名	説明
31-5	-	必ず"0"を読出します。
4	PDMD10	PD1端子の機能選択 0: 汎用ポート機能(PD1端子) 1: 特殊機能(ADIN09/VGA1P/CMP1IN端子) (*1)
3-1	-	必ず"0"を読出します。
0	PDMD00	PD0端子の機能選択 0: 汎用ポート機能(PD0端子) 1: 特殊機能(ADIN08/VGA1N/CMP1REF端子) (*1)

*1 MN103HF43シリーズでは、特殊機能(VGA1N,VGA1P)を使用できません。

お問い合わせ窓口

マニュアルに記載されている技術的内容についてのお問い合せは、下記の URL からお願いします。

パナソニック株式会社

URL: http://www.semicon.panasonic.co.jp

マイクロコンピュータに関する技術情報は、

- マイクロコンピュータホームページ
  http://www.semicon.panasonic.co.jp/micom/

MN103HF43/44/45/46/47/48 シリーズ
MN103HF53/54/55/56/57/58 シリーズ
LSI 説明書 前編

第 1.0 版　2013 年 9 月 9 日

発　行　パナソニック株式会社

編集・制作　パナソニック株式会社

© Panasonic Corporation 2013

パナソニック株式会社
オートモーティブ＆インダストリアルシステムズ社
セミコンダクター事業部

〒617-8520
京都府長岡京市神足焼町 1 番地
TEL.075-951-8151

http://www.semicon.panasonic.co.jp

010413
Printed in Japan